

ZALEŻNOŚCI CZASOWE W UKŁADZIE REJESTRACJI DANYCH Z SYSTEMU ELEKTROENERGETYCZNEGO

Romuald MAŚNICKI¹, Damian HALLMANN²

1. Akademia Morska w Gdyni
tel.: 58 6901 490 e-mail: romas@am.gdynia.pl
2. Akademia Morska w Gdyni
tel.: 58 6901 363 e-mail: d.hallmann@we.am.gdynia.pl

Streszczenie: W artykule przedstawione zostały relacje czasowe pomiędzy procesami i operacjami realizowanymi podczas rejestracji danych z systemu elektroenergetycznego, zapisywanych do pamięci przenośnej, od momentu ich przetworzenia na postać cyfrową w przetwornikach ADC, poprzez konwersję w FPGA i gromadzenie w pamięci procesora DSP, ich ponowne wysłanie do układu FPGA, gdzie są one buforowane w ramach 4 kB, a następnie wysłane za pomocą interfejsu SPI do pamięci procesora GPP, pracującego pod kontrolą systemu operacyjnego Linux. W module GPP, działającym w środowisku Linux, dane zapisywane są na nośniku USB. Jest to proces krytyczny, wpływający na ograniczenie szybkości rejestracji danych. Przeprowadzono analizę czasową operacji realizowanych sekwencyjnie w poszczególnych blokach i występujących ograniczeń czasowych.

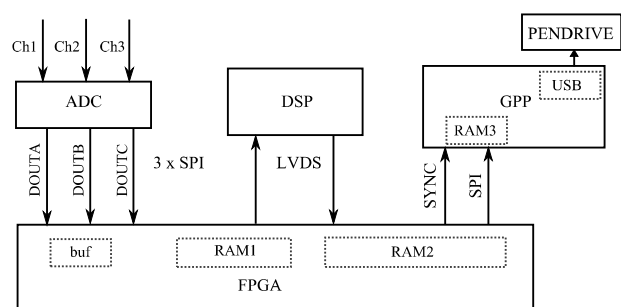
Słowa kluczowe: FPGA, ADC, DSP, synchronizacja danych.

1. KONFIGURACJA URZĄDZENIA

W Katedrze Elektroenergetyki Okrętowej Akademii Morskiej w Gdyni zaprojektowano i wykonano estymator/analizator, który realizuje zestaw funkcji pomiarowych umożliwiających wyznaczenie parametrów jakości energii elektrycznej [1], m. in.: wartości skutecznych napięć i prądów, częstotliwości napięcia, współczynników asymetrii napięć, zakłóceń, takich jak: harmoniczne, interharmoniczne i podharmoniczne, zaburzeń napięcia w zakresie od 50 harmonicznej do 9 kHz, zaburzeń typu: *transient* i *notching*, a także mocy, współczynników rozdziału mocy między zespołami prądowórczymi pracującymi równolegle oraz współczynników rozdziału prądów dla oceny przeciążeń wybranych generatorów.

Wartości tych parametrów są udostępniane użytkownikowi na wyświetlaczu urządzenia, jak również zapisywane w pamięci przenośnej (karta SD lub pendrive). W założeniach funkcjonalnych urządzenia, opracowanych w oparciu o standard [2], przewiduje się rejestrację i przechowywanie danych, realizowane w określonych reżimach czasowych. Umożliwia to prowadzenie dodatkowej oceny wyników badań w trybie *off-line*, jak również weryfikację algorytmów wyznaczania wartości poszczególnych parametrów.

Na rysunku 1 przedstawiono strukturę połączeń między układami wewnętrznymi urządzenia.



Rys. 1. Schemat blokowy układów funkcjonalnych urządzenia

Objaśnienia akronimów na rysunku 1:

Ch1, Ch2, Ch3 - kanały pomiarowe napięć sieciowych,
ADC - blok przetworników analogowo-cyfrowych,
DOUTA, DOUTB, DOUTC - linie interfejsu szeregowego do wyprowadzania danych cyfrowych z bloku ADC,
DSP - procesor sygnałowy; podstawowym jego zadaniem jest wyznaczenie wskaźników jakości energii elektrycznej,
GPP - procesor ogólnego przeznaczenia; centralny element interfejsu użytkownika,
SPI, LVDS - standardy wykorzystywanych interfejsów,
SYNC - linie synchronizacji procesów przesyłania danych,
FPGA - układ sprzęgający porty interfejsów o różnych standardach,
buf, RAM1, RAM2 - rejestry skonfigurowane w układzie FPGA, wykorzystywane w operacjach przetwarzania i transmisji danych,
RAM3 - rejestr utworzony w układzie GPP dla odbioru danych z FPGA,
USB - port w układzie GPP, wykorzystywany do rejestracji danych w pamięci przenośnej (*pendrive*).

Układ ADC (ang. *Analog-to-Digital Converter*) został zrealizowany z wykorzystaniem przetworników AD7656 firmy *Analog Devices* [3]. Jego zadaniem jest przetwarzanie wartości chwilowych sygnałów z systemu elektroenergetycznego na postać cyfrową. Układ ten posiada możliwość komunikacji z innymi urządzeniami poprzez potrójny interfejs *SPI* (ang. *Serial Peripheral Interface*) [4], gdzie w jednym cyklu zegara synchronizującego komunikację wysyłane są dane na 3 liniach interfejsu (*DOUTA, DOUTB, DOUTC*).

Układ FPGA (ang. *Field Programmable Gate Array*) pełni rolę układu pośredniczącego pomiędzy portami interfejsów o różnych standardach, w przetwornikach ADC oraz procesorach DSP (ang. *Digital Signal Processing*) i GPP (ang. *General Purpose Processor*). W urządzeniu

zastosowano układ *Xilinx Spartan 3 XC3S1000* [5]. Istnieją w nim możliwości programowania wejść/wyjść jako linie symetryczne, bądź niesymetryczne.

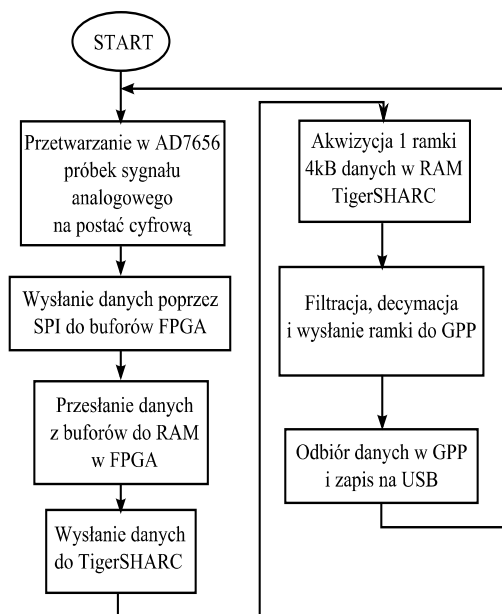
Funkcje procesora sygnałowego DSP realizuje *TigerSHARC TS201* firmy *Analog Devices* [6]. Nie posiada on możliwości połączenia z urządzeniami zewnętrznymi za pomocą interfejsu *SPI*, lecz ma wbudowane porty do wymiany informacji w standardzie *LVDS* (ang. *Low Voltage Differential Signaling*) [6, 7].

Jako *GPP* zastosowano procesor *LPC3250* z rodziny *ARM9* na płycie bazowej *phyCORE-LPC3250* firmy *NXP* [8]. Procesor ten ma standardowo dostęp do peryferii, takich jak: czytnik kart *SD* (ang. *Secure Digital*), interfejs *USB* (ang. *Universal Serial Bus*), kontroler sieci *Ethernet*, interfejsy: *UART* (ang. *Universal Asynchronous Receiver and Transmitter*), *SPI* oraz *I²C* (ang. *Inter-Integrated Circuit*), wyświetlacz *LCD* (ang. *Liquid-Crystal Display*), z możliwością zainstalowania systemu wbudowanego *Linux* lub *Windows CE 6.0*. System *Linux* jest obecnie wykorzystywany w większości urządzeń multimedialnych, jak np. w telefonach komórkowych czy tabletach. Obydwa wspomniane systemy nie są systemami czasu rzeczywistego, co wiąże się z ograniczonymi możliwościami kontroli *on-line* nad peryferiami.

2. ALGORYTM REJESTRACJI PRÓBEK NAPIĘCIA

Algorytm rejestracji próbek napięć z systemu elektroenergetycznego został przedstawiony na rysunku 2.

Próbki sygnałów analogowych w kanałach pomiarowych *Ch1*, *Ch2* oraz *Ch3* (rys.1) są przetwarzane na postać cyfrową w przetwornikach *ADC*. Cyfrowe wyniki przetwarzania w każdym z kanałów są przesyłane za pośrednictwem interfejsu *SPI* do bufora w *FPGA*.



Rys. 2. Algorytm rejestracji próbek sygnałów z systemu elektroenergetycznego

W następnym etapie dane są przepisane z buforów w *FPGA* do pamięci *BlockRAM* (ang. *Block Random Access Memory*) w *FPGA*, a następnie do procesora *DSP* z pomocą protokołu *LVDS* (na jeden kanał interfejsu przypadają 2 komórki *BlockRAM*) w ramach 128-bitowych. W pamięci procesora *DSP* dane są gromadzone w ramach o objętości 4 kB. Podczas gromadzenia danych w *DSP* realizowane są

procedury ich filtracji i decymacji. Po zgromadzeniu w pamięci *DSP* (rys. 1) 510 ramek danych z *FPGA*, formowane są ramki danych o objętości 4 kB i wysłane do procesora *GPP*. W pierwszej fazie ramka 4 kB jest przesyłana do *FPGA* z wykorzystaniem protokołu *LVDS*, a następnie z *FPGA* do *GPP* dane są wysyłane za pośrednictwem interfejsu *SPI*. Ramka danych jest odbierana w *GPP* z wykorzystaniem oprogramowania funkcjonującego w środowisku *Linux*. Odbiór danych rozpoczyna się po wykryciu zbocza na linii *SYNC*, sygnalizującej koniec buforowania danych z *DSP*. Linia ta zapewnia synchronizację komunikacji przez port *SPI*, między *FPGA* i *GPP*.

3. RELACJE CZASOWE W TRANSMISJI DANYCH Z ADC DO DSP

Rejestracja wyników przetwarzania analogowo-cyfrowego wartości chwilowych napięć w systemie elektroenergetycznym wiąże się z wykonywaniem szeregu operacji na strumieniu danych cyfrowych. Próbkę napięć w trzech fazach przetwarzane są w *ADC* na słowa 16-bitowe z szybkością 210 kS/s w każdym z kanałów pomiarowych. W efekcie, w ciągu 1 s z przetworników *ADC* pozyskiwanych jest 10,08 Mb danych. W strumieniu danych muszą znaleźć się dodatkowo informacje kontrolne, powiększające objętość danych.

Relacje czasowe procesów, począwszy od przetwarzania sygnału analogowego na postać cyfrową w przetworniku *ADC* (przetwarzającego z szybkością 210 kS/s) do zapisu danych w ramach 4 kB w pamięci *SRAM* (ang. *Static RAM*) procesora *DSP*, zostały przedstawione na rysunku 3. Czas konwersji sygnału analogowego na postać cyfrową w przetworniku *ADC* jest stały, równy $t_{ADC} = 3 \mu s$ (przebiegi: ADC_{CONV}). W czasie t_{tr} odbywa się odbiór danych w *FPGA* za pośrednictwem *SPI*, równocześnie z trzech kanałów *ADC*: *DOUTA*, *DOUTB*, *DOUTC* (przebiegi: $ADC-buf_{FPGA}$). Czas ten jest zależny od częstotliwości zegara synchronizującego odczyt danych z *ADC* poprzez *SPI* i w warunkach urządzenia wynosi $t_{tr} = 943 \text{ ns}$. Na czas akwizycji danych t_{ACQ} w *FPGA* (przebieg: buf_{FPGA}) składa się przetwarzanie wartości chwilowych sygnału na postać cyfrową oraz przesyłanie wyników przetwarzania do *FPGA* (1).

$$t_{ACQ} = t_{ADC} + t_{tr} = 3,943 \mu s \quad (1)$$

W czasie trwania kolejnego cyklu przetwarzania w przetworniku *ADC* (bloki oznaczone "2" na przebiegach ADC_{CONV}), dane są przepisywane z buforów w *FPGA* do pamięci wewnętrznej *BlockRAM* w tym układzie (przebieg: $buf-RAM$).

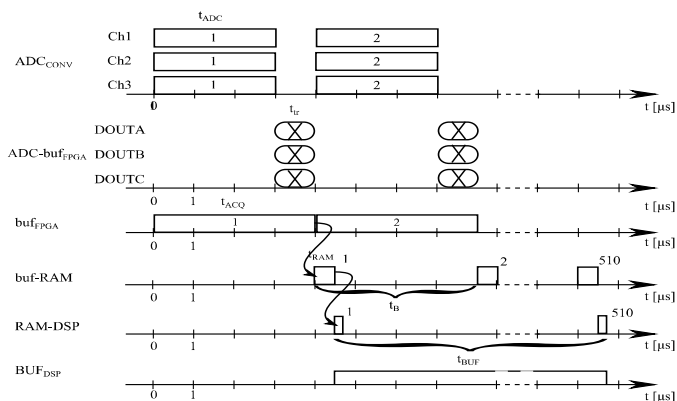
Z pamięci *BlockRAM* dane są wysłane z wykorzystaniem protokołu *LVDS* do procesora *DSP* w czasie t_{RAM} (2) (przebieg: $RAM-DSP$). W pojedynczej operacji, za pośrednictwem interfejsu *LVDS* przesyłana jest 128-bitowa ramka danych z szybkością 200 Mb/s. Na sześciu bajtach ramki zapisane są dane z *ADC*. Dodatkowo, dwa bajty zawierają informacje kontrolne, zaś pozostała część ramki jest niewykorzystana.

$$t_{RAM} = \frac{l_p}{v_R} = 640 \text{ ns} \quad (2)$$

gdzie:

l_p - liczba bitów przesyłanych w ramce z *FPGA* do *DSP* (128 b),

v_R - szybkość przesyłania ramki z *FPGA* do *DSP* (200 Mb/s).



Rys. 3. Relacje czasowe w transmisji danych z *ADC* do *DSP*

W pamięci procesora *DSP* gromadzony jest blok danych 4 kB, na który składają się dane zawarte w 510 ramkach, kolejno przesyłanych z *FPGA* w czasie t_{BUF} (3) (przebieg: BUF_{DSP}) wraz z danymi kontrolnymi zawartymi na dwóch bajtach.

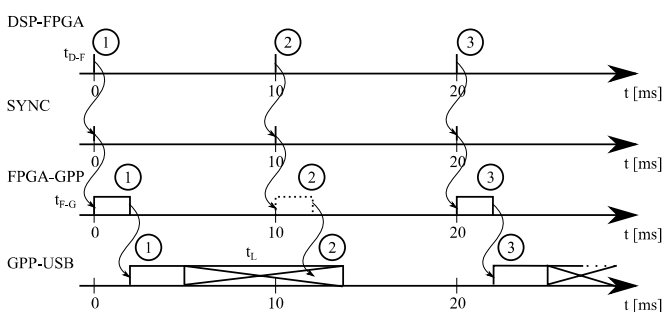
$$t_{BUF} = n_r \cdot t_B = 2,4 \text{ ms} \quad (3)$$

gdzie:

n_r - liczba ramek zapisywanych w procesorze *DSP* (510),

t_B - odstęp czasowy pomiędzy kolejnymi cyklami przetwarzania w *ADC*, wynikający z szybkości przetwarzania (210 kS/s).

Relacje czasowe, występujące przy przesyłaniu danych, od momentu zgromadzenia tych danych w ramkach 4 kB w pamięci procesora *DSP* do momentu ich zapisu w pamięci przenośnej *pendrive* zostały przedstawione na rysunku 4.



Rys. 4. Przesyłanie danych z *DSP* do *USB*

Przez port interfejsu *LVDS* ramka o objętości 4 kB jest przesyłana z procesora *DSP* do układu *FPGA* z szybkością 250 Mb/s w czasie t_{D-F} (4) (przebieg: $DSP-FPGA$).

$$t_{D-F} = \frac{n_b \cdot l_b}{n} \cdot t_{LVDS} = 131 \mu\text{s} \quad (4)$$

gdzie:

n_b - liczba bajtów wysyłanych w jednej ramce danych (4096 B),

l_b - liczba bitów przypadająca na jeden bajt (8 bitów),

n - liczba bitów przesyłana w jednym taktie zegara t_{LVDS} (2),

t_{LVDS} - czas wysłania 2 bitów danych (8 ns).

Po odebraniu ramki w *FPGA* ustawiany jest sygnał na linii *SYNC*, podłączonej do układu *GPP*, wykorzystywany do synchronizacji odbioru danych w *GPP* (przebieg: *SYNC*). Przesyłanie danych do *GPP* realizowane jest pod nadzorem oprogramowania (w *GPP*), które inicjowane jest przez przerwanie na linii *SYNC*. Transmisja ramki 4 kB przez *SPI* odbywa się w takt zegara o częstotliwości około 16 MHz. Czas przesłania takiej ramki, oznaczony jako t_{F-G} , wynosi (5) (przebieg: $FPGA-GPP$):

$$t_{F-G} = n_b \cdot l_b \cdot t_{SPI} = 2,048 \text{ ms} \quad (5)$$

gdzie:

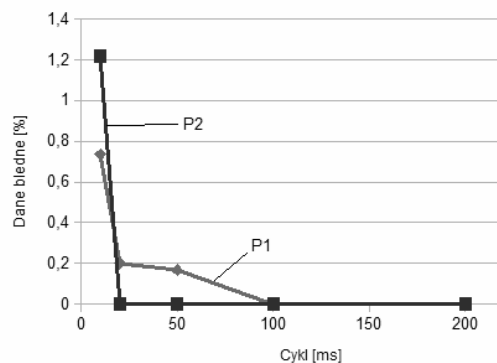
n_b - liczba bajtów wysyłanych w jednej ramce danych (4096 B),

l_b - liczba bitów w 1 bajcie (8 bitów),

t_{SPI} - czas wysłania 1 bitu przez *SPI* (62,5 ns).

Ramka buforowana jest w pamięci *GPP*, a następnie zapisywana do pamięci przenośnej *pendrive* (przebieg: $GPP-USB$) z wykorzystaniem sterowników portu *USB*, dostępnych w środowisku *Linux*. Na przebiegu $GPP-USB$ symbolem koperty oznaczono okresy zajętości procesora obsługą operacji jądra środowiska *Linux*, podczas których niemożliwa jest komunikacja za pośrednictwem portu *USB*.

Na rysunku 5 zamieszczono wyniki badań eksperymentalnych, uzyskane na drodze sprawdzania poprawności zapisu na *pendrive* znanych ramek testowych o objętości 4 kB, przesyłanych z *DSP*. Na poziomej osi przedstawiono cykle wysyłania ramek przez procesor *DSP*, tzn. różne odstępy czasowe pomiędzy transmisją kolejnych ramek testowych, zaś na osi pionowej przedstawiona została wartość błędnych ramek zapisanych na *pendrive*. Dla poszczególnych wartości odstępów czasowych pomiędzy ramkami danych, badania przeprowadzono w 30 seriach, po 1000 przesyłanych ramek w każdej serii. Badania przeprowadzono na dwóch pamięciach przenośnych, o różnych nominalnych szybkościach zapisu: *P1* o szybkości 10 Mb/s i *P2* o szybkości 50 Mb/s. Dla wszystkich doświadczeń, odchylenie standardowe σ wyników w poszczególnych seriach nie przekraczało wartości 0,01 % (dla *P2* w cyklach dłuższych od ok. 100 ms i dla *P1* w cyklach powyżej ok. 18 ms nie stwierdzono błędów zapisu ($\sigma = 0$ %)).



Rys. 5. Stopy błędów przy zapisie na różne urządzenia przenośne

Wyniki dodatkowych badań *pendrive* *P2*, przeprowadzone wg analogicznych procedur, dla cyklu transmisji danych zawartych w przedziale od 5 ms do 23 ms,

przedstawiono w Tabelcy 1. Zawarto tam wyniki obrazujące procentowy udział błędnych ramek, zapisanych w pamięci *pendrive P2*, w stosunku do wszystkich ramek wysyłanych z *DSP*, dla różnych odstępów czasu pomiędzy transmisją z *DSP* do *GPP* kolejnych ramek 4 kB.

Pojawianie się (*P2*) lub znaczne zwiększenie (*P1*) udziału błędnych ramek przy cyklach krótszych niż 18 ms wynika ze sposobu funkcjonowania środowiska *Linux* i ograniczeń czasowych w obsłudze sterownika portu *USB* w tym środowisku.

Tabelca 1. Udział ramek błędnie zapisanych na *pendrive P2* w stosunku do wszystkich ramek wysłanych z *DSP*

Cykl wysyłania ramki [ms]	Błędne ramki [%]
5	0,69
8	0,16
10	0,04
13	0,03
15	0,02
18	0
20	0
23	0

Analiza zależności czasowych w przedstawionym torze rejestracji danych z systemu elektroenergetycznego wskazuje, że bezbłędny zapis na *pendrive* pełnego strumienia danych będzie możliwy, gdy obsługa portu *USB*, związana zapisem danych w blokach 4 kB, będzie realizowana w czasie krótszym niż 2,4 ms (3).

4. WNIOSKI KOŃCOWE

W pracy dokonano analizy relacji czasowych w systemie cyfrowej rejestracji sygnałów z systemu elektroenergetycznego. Analizie poddano czas przesyłania danych od momentu przetwarzania sygnałów analogowych na postać cyfrową do momentu zapisu w pamięci przenośnej. Czasy wykonywania poszczególnych operacji w torze pomiędzy *ADC* a *GPP* są stosunkowo niewielkie wobec czasu niezbędnego z punktu widzenia ostatniej operacji - zapisu danych w pamięci *pendrive*. Próby zapisu

danych na *pendrive* w cyklach krótszych niż 18 ms powodują utratę części danych, bądź ich nadpisywanie. Brak błędów obserwowany był przy zapisie danych z krokiem czasowym nie mniejszym niż 18 ms. Jest to najniższe ogniwo toru rejestracji danych.

Czas potrzebny do zapisu danych na *pendrive* w procesorze działającym w systemie operacyjnym *Linux* jest trudny do jednoznacznego określenia. Środowisko to jest wielowątkowe, wobec czego procesy, które działają w tle, są uruchamiane w zależności od priorytetu, jaki został im nadany, poza kontrolą użytkownika.

Autorzy prowadzą dalsze prace nad możliwością uzyskania krótszych czasów akwizycji i zapisu danych na nośnik zewnętrzny urządzenia. Prowadzone są one w kierunku opracowania sterownika w języku procesora, który umożliwiłby zapis w krótszym czasie niż do tej pory oraz możliwość zapisu większej ilości danych przesyłanych do *GPP* za pośrednictwem układu *FPGA* z procesora *DSP*.

5. BIBLIOGRAFIA

1. Mindykowski J., Tarasiuk T., Mańnicki R., Górniak M., Szweda M., Wyniki badań eksperymentalnych uniwersalnego estymatora/analizatora jakości energii elektrycznej w wersji 2.0, PAK 2013 nr 04, s. 341-344.
2. International Standard IEC 61000-4-30, Electromagnetic compatibility (EMC) – Part 4-30: Testing and measurement techniques – Power quality measurement methods, 2003.
3. AD7656/AD7657/AD7658, Data sheet, Rev. D, Analog Devices, 2010.
4. Analog Devices, Interfacing to High Speed ADCs via SPI, Application Note AN-877, Rev. A 12/05.
5. Xilinx. Spartan-3 FPGA Family Data Sheet, Product Specification, Application Note DS099; 2005.
6. Xilinx. Analog Devices TigerSHARC Link Port, Application Note: Spartan-II and Spartan-3 Families, Virtex and Virtex-II Series, XAPP634 (v1.2), 2004.
7. National Semiconductor, LVDS Owner's Manual, 4th Edition, 2008.
8. PHYTEC, System on Module and Carrier Board Hardware Manual, January 27, 2009.

THE TIME RELATIONSHIP IN REGISTRATION OF DATA FROM ELECTRICAL POWER SYSTEM

The article presents the time relations between processes and operations carried out during the registration of data from the electrical power system, stored in *pendrive* portable memory. The authors present and analyze in terms of successive stages of registration of data containing information on the signals in the power system, starting from their conversion into digital form, by gathering in memory of the *DSP*, sending them using *LVDS* protocol to the *FPGA*, where they are cached in 4 kB frames and then sent via *SPI* interface to the memory of *GPP* processor operating under the *Linux* system. In the next step, using the tools and drivers available in this environment, data is stored on the *USB*. This operation is critical in saving the data stream from the power system, affecting the speed limit of data recording. Limitations of this operation are mainly due to the properties of the *Linux* system.

The paper describes the configuration and processes at the basic functional blocks of data recording track: *ADC*, *DSP*, *FPGA* and *GPP* with a *USB* port. An analysis of time constraints operations performed sequentially in individual blocks. "A bottleneck" for the data stream to the recording operation is under the control of the *USB* port of *GPP*. The article presents the results of data processing speed in individual blocks and the existing time constraints as well as the conclusions about the properties of the embedded operating system, installed in the system *GPP* and the possibility of using such solution in data recording systems.

Keywords: *FPGA*, *ADC*, *DSP*, data synchronization.