

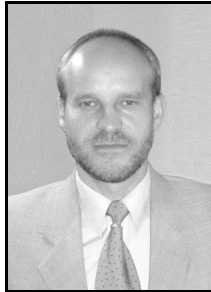
Ryszard SZPLET, Kamil PERKO

WOJSKOWA AKADEMIA TECHNICZNA,
ul. Gen. S. Kaliskiego 2, 00-908 Warszawa 49

Scalony licznik czasu z użyciem stempli czasowych

Dr inż. Ryszard SZPLET

Ukończył studia na Wydziale Elektroniki Wojskowej Akademii Technicznej. W 1997 r. obronił pracę doktorską. Odbył staż naukowy na Uniwersytecie w Oulu (Finlandia). Jest adiunktem w Instytucie Telekomunikacji WAT. Jego zainteresowania naukowe dotyczą precyzyjnej metrologii czasu i projektowania układów cyfrowych z użyciem układów programowalnych i specjalizowanych.



e-mail: rszplet@wat.edu.pl

Inż. Kamil PERKO

Jest absolwentem studiów inżynierskich na Wydziale Elektroniki Wojskowej Akademii Technicznej (2013). Obecnie kontynuuje naukę na drugim stopniu studiów o specjalności Systemy Telekomunikacyjne. Jego zainteresowania dotyczą między innymi zastosowań układów FPGA do precyzyjnej metrologii czasu.



e-mail: kamil.perko@student.wat.edu.pl

Streszczenie

W artykule opisane są projekt oraz wyniki badań czterokanałowego licznika czasu zrealizowanego w układzie programowalnym Spartan-6 firmy Xilinx. W liczniku zastosowana została metoda stempli czasowych, w której w wyniku pomiaru uzyskuje się informację o chwilach czasowych pojawienia się impulsów wejściowych na wspólnej skali czasu. Zastosowanie zegara o częstotliwości 500 MHz umożliwiło uzyskanie względnie wysokiej rozdzielczości (2 ns) i precyzji pomiarowej licznika (poniżej 1 ns).

Słowa kluczowe: licznik czasu, metoda stempli czasowych, układy programowalne.

An integrated time counter based on time stamps**Abstract**

This paper describes the design and test results of a four-channel time interval counter implemented in a programmable device Spartan-6 (Xilinx). The time stamps method has been applied (Fig. 1). In this method the measurement result delivers no information about the absolute value of the time interval between two input pulses, but carries information about the time moments of appearance of these pulses on a common time scale. This method, contrary to the conventional "start-stop" method, does not require resetting the time counter after each measurement. It eliminates the dead time and enables continuous measurements if a fast enough digital integrated circuit is used. Moreover, a multichannel time counter can be built without necessity to reproduce all blocks of a single-channel counter. It results in savings of the programmable logic resources. The main disadvantage of this method appears in difficulties of implementation. The most important seems to be a synchronization problem (Fig. 4), especially due to use of a high frequency clock signal (500 MHz). The use of such a clock makes it possible to obtain a relatively high resolution (2 ns without interpolation) and precision (less than 1 ns) of the counter. Flexibility of the method allows increasing the resolution and accuracy by using interpolation measurement channels.

Keywords: time counter, time stamps method, programmable devices.

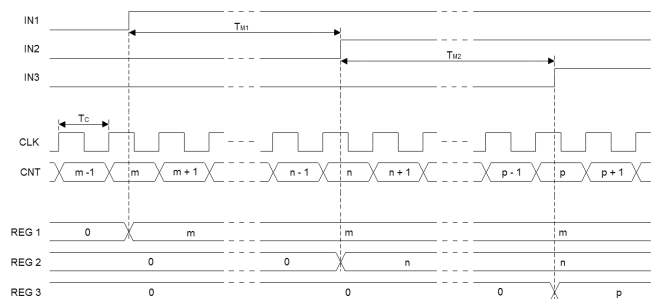
1. Wstęp

Precyzyjne liczniki czasu są obecnie powszechnie budowane jako scalone układy specjalizowane w technologii ASIC (*Application Specific Integrated Circuits*) CMOS [1]. Technologia ta daje dużą swobodę projektowania i zapewnia możliwość osiągania bardzo wysokich rozdzielczości i precyzji pomiaru. Jednakże, jest to technologia droga, a proces projektowo-wytwórczy długi. Alternatywą są programowalne układy FPGA (*Field Programmable Gate Array*) [1], które można rekonfigurować na dowolnym etapie procesu projektowania, przez co zmiany wnoszone do projektu są szybsze i tańsze [1, 2]. Najczęściej precyzyjne liczniki czasu buduje się jako układy jednocanałowe, działające w oparciu o interpolacyjną metodę NUTTA [3]. Jednak w niektórych zastosowaniach gdzie wymagana jest wielokanałowość i duża szybkość powtarzania

pomiarów stosuje się metodę stempli czasowych [4]. W artykule opisana jest budowa i wyniki badań czterokanałowego licznika czasu wykonanego w układzie programowalnym, z użyciem metody stempli czasowych.

2. Metoda stempli czasowych

Pomiar odcinków czasu metodą stempli czasowych polega na przyporządkowaniu stempli (metryczek) czasowych na wspólnej skali czasu do chwil rejestracji impulsów wejściowych (rys. 1).



Rys. 1. Pomiar odcinków czasu metodą stempli czasowych
Fig. 1. Time interval measurements with the time stamps method

Po pojawieniu się kolejnych impulsów wejściowych, np. IN1, IN2 i IN3, stany „m”, „n” i „p” licznika zliczającego okresy sygnału zegarowego przepisywane są do kolejnych rejestrów REG 1, REG 2 i REG 3. Informacje z rejestrów umożliwiają określenie wartości czasów T_{M1} , T_{M2} oraz T_{M3} , który jest sumą dwóch poprzednich czasów.

$$T_{M1} = (n - m) T_C, \quad (1)$$

$$T_{M2} = (p - n) T_C, \quad (2)$$

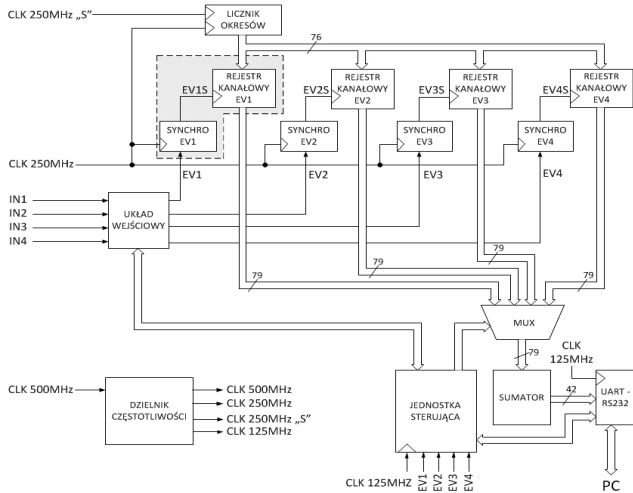
$$T_{M3} = T_{M1} + T_{M2} = (p - m) T_C. \quad (3)$$

Metoda stempli czasowych w odróżnieniu od typowo stosowanej metody „start-stopowej” jest szybsza, ze względu na brak konieczności zerowania licznika po każdym pomiarze. Ponadto, umożliwia wykonywanie pomiarów w trybie ciągłym przy odpowiednio dużej szybkości działania układu cyfrowego, w którym licznik został wykonany.

3. Projekt scalonego licznika czasu

Schemat blokowy zaprojektowanego licznika czasu pokazany jest na rys. 2. Licznik okresów, zawierający dwa liczniki synchroniczne reagujące na przeciwne zbocza sygnału zegarowego, zlicza okresy tego sygnału. Po pojawieniu się pierwszego impulsu na

jednym z wejść pomiarowych (INI-4) rozpoczyna się pomiar odcinka czasu. Sygnał wejściowy podany jest na wejście odpowiedniego bloku synchronizatora (SYNCHRO EV1-4), który synchronizuje ten sygnał z sygnałem wyzwalającym przepisanie zawartości rejestrów buforowych do rejestrów kanałowych. Rejestry buforowe, zintegrowane z licznikiem okresów, służą wydłużeniu czasu koniecznego do bezpiecznego przepisania stanu licznika okresów do rejestrów kanałowych. Rejestry kanałowe przechowują informację o chwili czasowej, w której wystąpiło zdarzenie zarejestrowane przez układ wejściowy. Każdy kanał pomiarowy zawiera dwa synchronizatory, z których jeden taktowany jest zboczem narastającym, a drugi zboczem opadającym sygnału zegarowego 250 MHz. Użycie dwu aktywnych zboczy sygnału zegarowego umożliwia potraktowanie tego układu, jako zegara o dwukrotnie wyższej częstotliwości (500 MHz). Po zapisaniu w rejestrze kanałowym obecnego stanu licznika okresów, jednostka sterująca określa szerszość czasową na przesłanie informacji do komputera PC i adresuje multiplekser stosownie do aktywnego kanału wejściowego. Następnie, wykonana zostaje operacja sumowania zawartości obydwu liczników okresów, zapamiętanych w rejestrze kanałowym, oraz przesłanie sumy poprzez moduł UART RS-232 do komputera.



Rys. 2. Schemat blokowy licznika czasu
Fig. 2. Block diagram of the time counter

Licznik może pracować w dwóch trybach. W pierwszym, trybie wielokanałowym, zdarzenia są rejestrowane niezależnie na każdym z wejść. W drugim, trybie wielostopowym, używane jest tylko pierwsze z wejść (INI1) układu wejściowego. Impulsy pojawiające się na tym wejściu są rejestrowane i przekazywane na wyjścia układu w kolejności od EV1 do EV4.

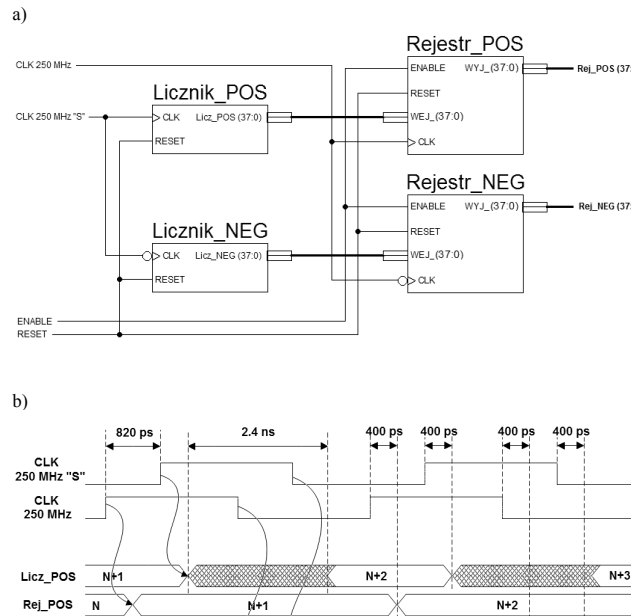
W liczniku okresów (Licznik_POS, Licznik_NEG) zastosowano dwa 38-bitowe liczniki dwójkowe (rys. 3a). Ponieważ czas ustalania się stanu pojedynczego 38-bitowego licznika z przeniesieniami szeregowymi (około 2.4 ns) jest dłuższy od okresu sygnału zegarowego (2 ns), zastosowano rozwiązanie, w którym jeden z liczników reaguje na zbocze narastające, a drugi na zbocze opadające sygnału zegarowego o częstotliwości 250 MHz. W ten sposób po zsumowaniu stanów liczników otrzymano rozdzielczość bloku licznika okresów równą okresowi zegara o częstotliwości 500 MHz. Z licznikami okresów połączone są rejestry buforowe (rys. 3a), również reagujące na przeciwne zbocza sygnału zegarowego. Rejestry buforowe taktowane są sygnałem zegarowym o tej samej częstotliwości co liczniki okresów, ale opóźnionym o około 820 ps. Dzięki temu możliwe jest bezpieczne przepisanie stanu liczników (rys. 3b), bez naruszenia czasów ustalania i trzymania (po około 450 ps każdy), wymaganych do poprawnego zapisania zawartości licznika do rejestru kanałowego. Zastosowanie liczników z rejestrami buforowymi umożliwia utrzy-

manie przez cały okres sygnału zegarowego (2 ns) stabilnej informacji o stanie licznika, aż do momentu kolejnej inkrementacji.

Zakres pomiarowy bloku liczników oblicza się sumując zakresy obydwu 38-bitowych liczników okresów. Po zsumowaniu otrzymuje się ekwiwalent 39 bitowego licznika, działającego z ekwiwalentną częstotliwością 500 MHz. Zakres pomiarowy zp licznika można obliczyć jako:

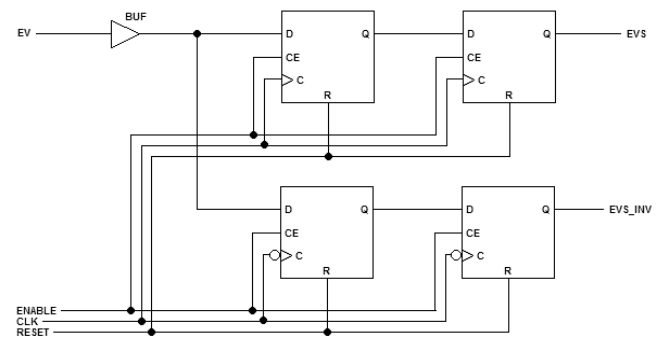
$$zp = 2^n / f, \tag{4}$$

gdzie częstotliwość $f = 500$ MHz, a liczba bitów licznika $n = 39$. Zatem zakres pomiarowy wynosi 18.3 minuty.



Rys. 3. Schemat blokowy licznika okresów (a) oraz przebiegi w układzie (b)
Fig. 3. Block diagram of the period counter (a) and related signals (b)

Jeśli dane na wejściu informacyjnym przerzutnika zmieniają się w bezpośredniej bliskości aktywnego zbocza sygnału zegarowego, na wyjściu przerzutnika może wystąpić efekt metastabilności. Powoduje on wydłużenie czasu propagacji lub przypadkowość w ustaleniu się stanu końcowego na wyjściu przerzutnika. Blok synchronizatora zastosowany w projekcie, to układ składający się z dwóch synchronizatorów podwójnych (rys. 4) [5], z czego jeden wyzwalany jest zboczem narastającym a drugi opadającym. Zastosowanie dwóch synchronizatorów było niezbędne, ze względu na krótki czas (około 2 ns) przewidziany na przepisanie zawartości rejestrów buforowych do rejestrów kanałowych.

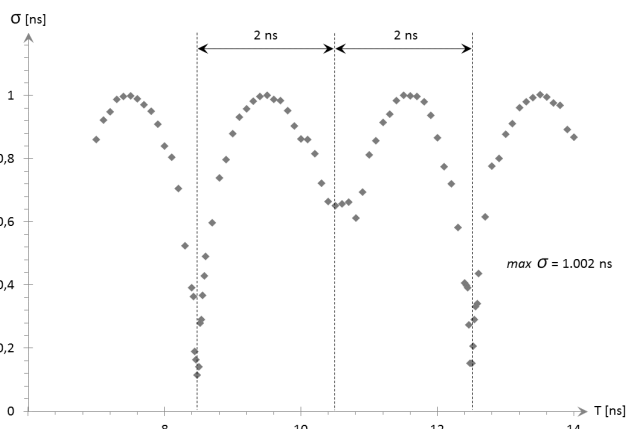


Rys. 4. Schemat układu synchronizatorów
Fig. 4. Diagram of two double synchronizers

Scalony licznik czasu został zaprojektowany z użyciem systemu *ISE Design Suite* i wykonany w układzie Spartan-6 (XC6SLX45T) firmy *Xilinx*. Do realizacji projektu użyto 4.4% komórek logicznych, 25% bloków PLL oraz 25% buforów globalnych układu.

4. Badania eksperymentalne

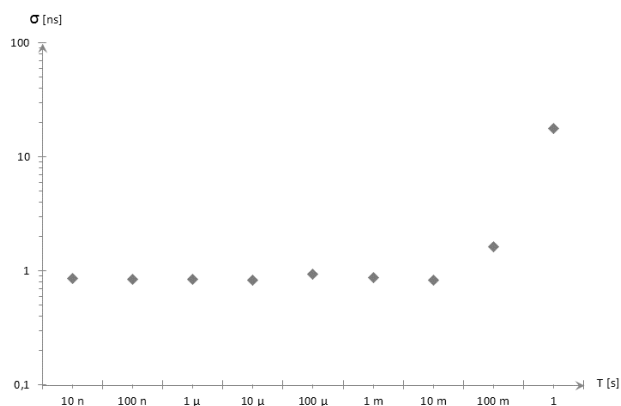
Niepewność pomiarowa opracowanego licznika została określona na podstawie serii 1200 asynchronicznych pomiarów, wykonanych dla każdego z 87 zmierzonych odcinków czasu w zakresie kilku okresów sygnału zegarowego (7 ns). Odcinki czasu zmierzone były w zakresie od 7 ns do 14 ns z krokiem 100 ps (w niektórych obszarach 20 ps). Maksymalna niepewność pomiarowa licznika wyrażona wartością odchylenia standardowego z próbki pomiarowej wynosi 1 ns. Na wykresie niepewności pomiarowej (rys. 5), widoczne są obszary o większej precyzji pomiarów. W zakresie mierzonych odcinków czasu bliskich krotności rozdzielczości licznika (krotności 2 ns), wartość niepewności pomiarowej jest mniejsza od wartości błędu kwantyzacji. Dla długości odcinków czasu bliskich krotności rozdzielczości pojedynczego 38-bitowego licznika okresów (krotności 4 ns), najczęściej działają synchronizatory wyzwalane jednakowym zboczem sygnału zegarowego, przez co wartość niepewności pomiarowej jest najniższa. Kształt przebiegu periodycznego w zakresie np. 10 ns - 12 ns opisany jest w [6].



Rys. 5. Niepewność pomiarowa licznika w zakresie pojedynczego okresu zegara

Fig. 5. Measurement uncertainty of the counter within a single period of the clock

Na rys. 6 pokazany jest wykres niepewności pomiarowej licznika w szerokim zakresie mierzonych odcinków czasu.



Rys. 6. Niepewność pomiarowa licznika w szerokim zakresie odcinków czasu

Fig. 6. Measurement uncertainty of the counter within a wide measurement range

Dla pomiarów odcinka czasu do 10 ms niepewność pomiarowa (odchylenie standardowe serii pomiarów) ma wartość około 1 ns, a dla dłuższych odcinków czasu niepewność pomiarowa wzrasta wykładniczo. Główną przyczyną wzrostu niepewności jest niestabilność źródła sygnału referencyjnego [1].

Czas martwy licznika to minimalny odcinek czasu jaki musi upłynąć po pomiarze w kanale do najbliższego zdarzenia na jego wejściu, które może być przez licznik zarejestrowane. W projekcie, ze względu na zastosowanie układu wejściowego umożliwiającego działanie w dwóch trybach, wyróżnia się dwa takie czasy.

Dla wielostopowego trybu pracy wykonano serię 100 asynchronicznych pomiarów dla każdego mierzonego odcinka czasu, w zakresie od 2.40 ns do 2.45 ns z krokiem co 10 ps, i obserwowano poprawność uzyskiwanych wyników. Na tej podstawie określono, że czas martwy licznika wynosi 2.42 ns. Czas ten wynika z konstrukcji układu wejściowego, to jest czasów propagacji i ustalenia przerzutników w tym układzie. Określono również, że minimalny czas trwania impulsu wejściowego, dla którego impuls jest jeszcze rejestrowany przez układ wejściowy wynosi 470 ps.

Dla wielokanałowego trybu pracy wykonano serię 100 asynchronicznych pomiarów dla każdego mierzonego odcinka czasu pomiędzy wejściami IN1 i IN2, w zakresie od -1 ns do 1 ns z krokiem co 100 ps. Określono, że w tym trybie pracy układu wejściowego zjawisko czasu martwego nie występuje.

5. Podsumowanie

Zaprojektowano i wykonano model licznika czasu z zastosowaniem metody stempli czasowych, wykonanego w reprogramowalnym układzie FPGA. Opracowany licznik charakteryzuje się zakresem pomiarowym 18.3 minuty, maksymalną niepewnością pomiarową około 1 ns (dla odcinków czasu do 10 ms), rozdzielczością równą 2 ns, brakiem czasu martwego dla trybu wielokanałowego oraz czasem martwym równym 2.42 ns dla trybu wielostopowego.

Projekt został sfinansowany ze środków Narodowego Centrum Nauki przyznanych na podstawie decyzji numer DEC-2011/01/B/ST7/03278.

6. Literatura

- [1] Kalisz J.: Review of methods for time interval measurements with picosecond resolution, 2004.
- [2] Szplet R., Jachna Z., Kwiatkowski P., Różyk K.: A 2.9 ps equivalent resolution interpolating time counter based on multiple independent coding lines, *Meas. Sci. Technol.* 24, 2013.
- [3] Nutt R.: Digital time intervalometer, *Rev. Sci. Instr.*, v. 39, no. 9, 1968, s. 1342-1345.
- [4] Zieliński M., Chaberski D., Kowalski M., Frankowski R., Grzelak S.: High-resolution time-interval measuring system implemented in single FPGA device. *Measurement*, Vol 35, No. 3, 2004.
- [5] Mantyniemi Antti, Rahkonen Timo, Kostamovaara Juha: A 9-channel Integrated Time to Digital Converter With Sub-nanosecond Resolution. *IEEE Midwest Symp. Circuits and Systems MWSCAS*, 1997.
- [6] Kalisz J., Pawłowski M., Pełka R.: Error analysis and design of the Mutt time-interval digitiser with picosecond resolution. *J. Phys. E: Sci. Instrum.* 20 pp. 1330-1341, 1987.

otrzymano / received: 20.05.2013

przyjęto do druku / accepted: 03.07.2013

artykuł recenzowany / revised paper