

Paweł KWIATKOWSKI, Rafał SZYMANOWSKI, Ryszard SZPLET

WOJSKOWA AKADEMIA TECHNICZNA,
ul. Gen. Sylwestra Kaliskiego, 00-908 Warszawa

Identyfikacja parametrów dynamicznych linii szybkich przeniesień oraz globalnych linii zegarowych w układach programowalnych Spartan-6

Mgr inż. Paweł KWIATKOWSKI

Jest absolwentem Wydziału Elektroniki Wojskowej Akademii Technicznej. Kontynuuje naukę na studiach doktoranckich. Jego zainteresowania naukowe dotyczą precyzyjnej metrologii czasu, w szczególności projektowania cyfrowych układów generacji i pomiaru odcinków czasu w programowalnych układach FPGA.



e-mail: pkwiatkowski@wat.edu.pl

Dr inż. Rafał SZYMANOWSKI

Adiunkt w Zakładzie Techniki Cyfrowej Instytutu Telekomunikacji WAT. Specjalista w zakresie cyfrowych układów rekonfigurowalnych oraz języka opisu sprzętu VHDL. Swoje zainteresowania badawcze rozszerzył o zagadnienia precyzyjnej metrologii odcinka czasu i analizy błędów pomiarowych.



e-mail: rszymanowski@wat.edu.pl

Streszczenie

W artykule przedstawiono analizę parametrów dynamicznych linii szybkich przeniesień arytmetycznych oraz globalnych linii zegarowych w układzie FPGA Spartan-6 firmy Xilinx. Określono opóźnienia sygnału zegarowego oraz impulsu propagującego się w liniach szybkich przeniesień w oparciu o model czasowy układu. Wyniki symulacji zweryfikowano eksperymentalnie. Ponadto, w artykule określono wpływ warunków otoczenia (temperatury i napięcia zasilania) na opóźnienia w układzie.

Słowa kluczowe: układy programowalne, przetworniki czasowo-cyfrowe, linie przeniesień arytmetycznych, globalne linie zegarowe.

Identification of dynamic parameters of fast carry chains and global clock networks in Spartan 6 FPGA devices

Abstract

This paper presents the analysis of dynamic parameters of fast carry chains and global clock network in Spartan-6 (Xilinx) FPGA devices. The clock signal distribution and the carry chain structure are described in Section 2 (Fig. 1) and in Section 3 (Fig. 3) [1], respectively. Based on the Spartan-6 timing model [2], propagation delays in 32 time coding lines were examined. A relatively large clock skew was observed on the border of some clock regions (Fig. 2). The look ahead carry propagation was also identified. This helped to improve the resolution of coding lines [3] by eliminating death bins. Thanks to the timing model, two different types of coding lines were identified in two kind of SLICEs (Section 3, SLICEL in Fig. 4a and SLICEM in Fig. 4b). The simulation results were compared with the experimental ones obtained from the statistical code density test [4]. The 3-dimensional maps of bin widths (delays) were created to show actual differences between each of 32 coding lines (Fig. 5). The influence of temperature (Fig. 6) and power supply (Fig. 7) on delays in FPGA were also tested based on the behavior of the time coding lines resolution (Section 4). The similar clock network distribution and carry chain structures are also used in the newest FPGAs from Xilinx (Artix, Kintex, Virtex-7). The presented results can be applied to a broad class of programmable devices.

Keywords: programmable device, time-to-digital converters, carry chains, global clock networks.

Dr inż. Ryszard SZPLET

Ukończył studia na Wydziale Elektroniki Wojskowej Akademii Technicznej. W 1997 r. obronił pracę doktorską. Odbił staż naukowy na Uniwersytecie w Oulu (Finlandia). Jest adiunktem w Instytucie Telekomunikacji WAT. Jego zainteresowania naukowe dotyczą precyzyjnej metrologii czasu i projektowania układów cyfrowych z użyciem układów programowalnych i specjalizowanych.



e-mail: rszplet@wat.edu.pl

1. Wstęp

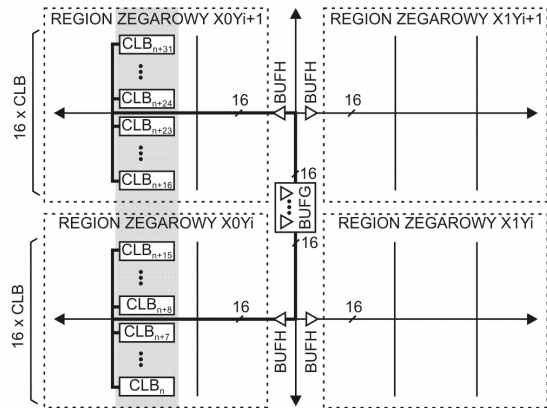
Projektowanie szybkich układów cyfrowych wymaga rozwiązania wielu problemów, z których najistotniejszym wydaje się zachowanie precyzyjnych relacji czasowych między sygnałami. Układami szczególnie wrażliwymi na nierównomierności opóźnień w sieciach dystrybucji sygnałów są linie kodujące przetworników czasowo-cyfrowych. Linie takie zostały użyte do precyzyjnej weryfikacji parametrów dynamicznych linii przeniesień (stosowanych do realizacji szybkich operacji arytmetycznych) oraz globalnych linii zegarowych. Linie przeniesień charakteryzują się najkrótszymi opóźnieniami jednostkowymi w układach programowalnych. W układach wykonanych w technologii CMOS 45 nm, do których należy rodzina Spartan-6, opóźnienia 4-komórek w linii przeniesień (1 SLICE) nie przekraczają 80 ps [2]. Jednakże opóźnienia te nie są jednakowe, co w przypadku przetworników czasowo-cyfrowych może przejawiać się utratą monotoniczności charakterystyki przetwarzania.

2. Dystrybucja sygnału zegarowego

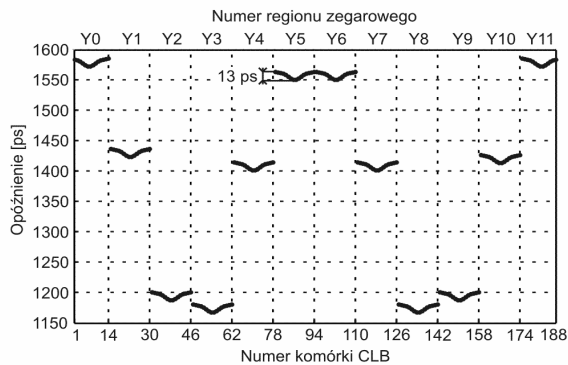
W układzie FPGA Spartan-6 do rozprowadzania sygnałów zegarowych stosuje się dedykowane globalne linie zegarowe, zapewniające zbliżone opóźnienia sygnału do dowolnych miejsc układu. Sposób ich dystrybucji pokazano na rys. 1. Linie globalne sterowane są poprzez 16 buforów globalnych BUF_G, umieszczonych w centralnej części logiki programowalnej układu. Stąd rozchodzą się na północ i południe, następnie poprzez bufony BUF_H rozgałęziają na wschód i zachód, i ponownie północ oraz południe. Obszary układu, w których linie globalne rozprowadzane są z jednego BUF_H nazywane są regionami zegarowymi. Region zegarowy zawiera 16 konfigurowalnych bloków logicznych CLB (ang. *Configurable Logic Block*) w kolumnie, a liczba kolumn zależy od wielkości układu. Regiony zegarowe znajdują się u góry oraz u dołu układu zawierają 14 CLB oraz bufony wejścia/wyjścia.

Dla celów testowych w układzie Spartan-6 typu xc6slx75 zaimplementowano linię kodującą w kolumnie X30, przebiegającą przez całą długość układu, czyli przez 188 CLB (12 regionów zegarowych). Przy użyciu aplikacji Xilinx FPGA Editor określono czasy propagacji sygnału zegarowego od wyjścia bufora BUF_G do kolejnych CLB (pogrubiona linia na rys. 1). Pokazane na rys. 2 wyniki otrzymano dla modelu czasowego podanego przez producenta dla najgorszego przypadku, w którym przyjęto temperaturę pracy 85°C oraz napięcie zasilające 1.14 V.

Na granicy dwóch regionów zegarowych różnice opóźnień sygnałów zegarowych osiągają 250 ps. Identyfikacja tych obszarów jest szczególnie istotna dla implementacji szybkich układów cyfrowych, w których istotna jest zależność parametrów czasowych pomiędzy sygnałami. Przykładem takiego układu jest cyfrowa linia kodująca stosowana w konwerterach czas-liczba [3].



Rys. 1. Sieć sygnału zegarowego w układzie FPGA Spartan-6
Fig. 1. The clock signal network in a Spartan-6 FPGA device

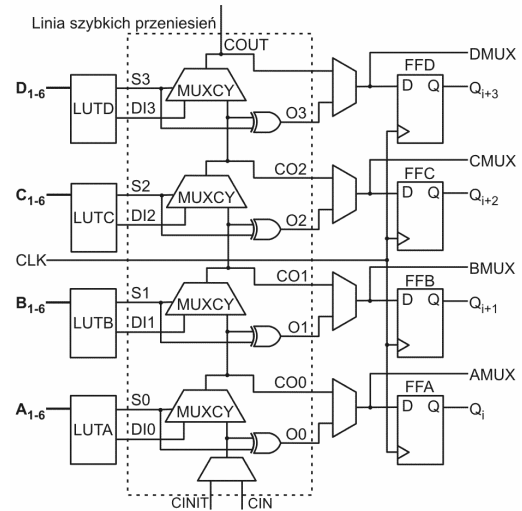


Rys. 2. Opóźnienie sygnału zegarowego od wyjścia BUFV do wejść kolejnych CLB w kolumnie X30
Fig. 2. Delay of the clock signal from the output of BUFV to subsequent CLB in column X30

3. Opóźnienia w linii szybkich przeniesień arytmetycznych

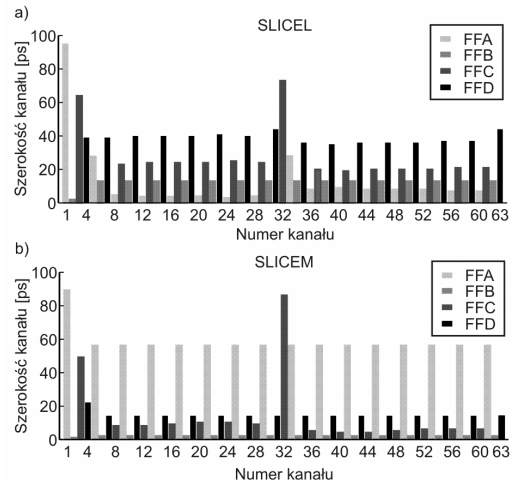
Głównymi elementami struktur FPGA firmy Xilinx są bloki CLB [1]. W układzie Spartan-6 każdy blok CLB składa się z dwóch komórek SLICE, spośród trzech możliwych typów: SLICEX, SLICEL lub SLICEM. Każda z komórek zawiera 4 generatory funkcji logicznej LUT (ang. *Look-up Table*) oraz 8 przerzutników D. Dodatkowo SLICEL oraz SLICEM zawierają fragmenty linii szybkich przeniesień arytmetycznych, utworzone przez 4 multipleksery MUXCY oraz 4 bramki XOR (rys. 3). Struktura ta charakteryzuje się opóźnieniami poniżej 80 ps [2]. Wyprowadzenia CIN i COUT łączone są dedykowanymi ścieżkami omijającymi matryce połączeniowe. Umożliwia to kaskadowe łączenie linii szybkich przeniesień w jednej kolumnie układu. Łącząc w ten sposób multipleksery MUXCY uzyskuje się linię opóźniającą. Po dołączeniu wyjść multiplekserów lub bramek XOR do wejść informacyjnych przerzutników powstaje cyfrowa linia kodująca.

Pokazana na rys. 3 struktura linii przeniesień sugeruje, iż sygnał doprowadzony do wejścia CINIT będzie propagował się kolejno do wejść sterujących przerzutników od FFA do FFD. W praktyce okazuje się, że w badanym układzie Spartan-6 (Speed Grade -3) sygnał ten może dotrzeć do wejścia danego przerzutnika zanim pojawi się na wejściu przerzutnika poprzedzającego. Jest to efekt przeniesienia w przód (ang. *look ahead*). Wynika stąd wniosek, iż podany w dokumentacji firmowej schemat linii przeniesień ma odmienną implementację układową. Z tego względu, w celu uzyskania monotoniczności, konieczne było wirtualne posortowanie kolejności załączania przerzutników.



Rys. 3. Linia szybkich przeniesień w komórce SLICE w układzie Spartan-6
Fig. 3. A fast carry chain structure in a single SLICE in a Spartan-6 device

W układzie Spartan-6 zaimplementowano 32 linie kodujące. Każda o długości 64 przerzutników, tak aby zmieściły się w obrębie jednego regionu zegarowego. Połowa linii została zaimplementowana w SLICEL a druga połowa w SLICEM. Na podstawie modelu czasowego określono właściwą kolejność przełączania się przerzutników, czyli momentów zmian sygnału na wyjściu ze stanu „0” na „1”. Czasy pomiędzy zmianami stanów na wyjściach kolejnych przerzutników określają szerokości przedziałów kwantowania linii kodującej, zwanych kanałami (rys. 4).



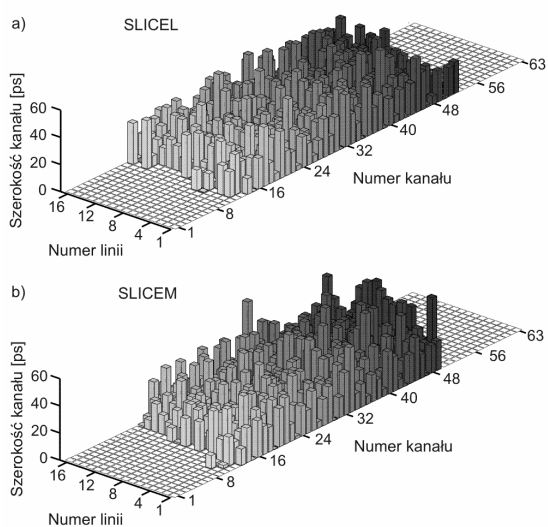
Rys. 4. Charakterystyka szerokości kanałów linii zaimplementowanej w jednym regionie zegarowym (symulacja) w SLICEL (a) oraz SLICEM (b)
Fig. 4. The bin widths of a coding line implemented in a single clock region (simulation) in SLICEL (a) and SLICEM (b)

Linie kodujące zaimplementowane w komórkach SLICEL mają inne szerokości kanałów niż linie w SLICEM. Każda linia danego typu, w obrębie regionu zegarowego, charakteryzuje się zbliżonymi opóźnieniami. Wynika to z powielenia struktury linii przeniesień w kolejnych kolumnach. Zauważalna jest powtarzalność opóźnień w obrębie jednej komórki SLICE (grupy 4 kanałów) oraz wpływ nierównomiernej propagacji sygnału zegarowego na szerokości kanałów (różnice opóźnień pomiędzy co czwartym kanałem). W miejscu krzyżowania się ścieżek COUT i CIN z liniami globalnymi (kanał 32) propagacja sygnału pomiędzy dwoma kolejnymi komórkami SLICE jest znacznie dłuższa niż w innych miejscach, co skutkuje większą szerokością tego kanału.

Na początku każdej linii kodującej znajduje się szeroki kanał. Jego pojawienie się wynika z wprowadzania sygnału wiodącego poprzez wejście CINIT komórki SLICE. Dalsze połączenia pomiędzy kolejnymi CLB realizowane są liniami COUT-CIN.

Stosując statystyczny test gęstości kodu utworzono histogramy zliczeń w poszczególnych kanałach, określające ich rzeczywiste szerokości [4]. Otrzymane wyniki są pokazane na rys. 5.

Kolejność sortowania przerzutników zweryfikowano przy użyciu generatora wzorcowych odcinków czasu GFT1006 (*Greenfield Technology*) dla jednej wybranej linii. Różni się ona od kolejności sortowania uzyskanej na podstawie analizy wyników symulacji czasowej układu. Takie samo sortowanie zastosowano dla każdej z zaimplementowanych 32 linii (16 SLICEL i 16 SLICEM). W obu przypadkach uzyskano duże różnice w szerokościach kanałów o tym samym numerze oraz podobną liczbę kanałów o zerowej szerokości. Deklarowany przez producenta model czasowy układu odbiega więc znacznie od rzeczywistego. Linie kodujące w obu typach komórek SLICE nie różnią się od siebie tak bardzo jak w teoretycznym modelu czasowym.



Rys. 5. Rzeczywiste szerokości kanałów 32 linii kodujących: SLICEL (a), SLICEM (b)

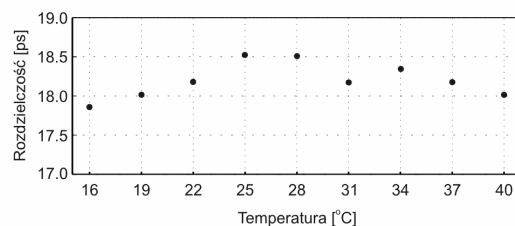
Fig. 5. The actual bin widths of 32 time coding lines: SLICEL (a), SLICEM (b)

4. Wpływ temperatury i napięcia zasilania

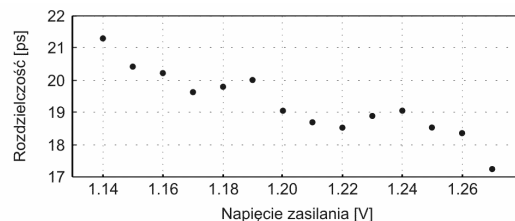
Wpływ zmian temperatury i napięcia zasilania jądra układu programowalnego zbadano analizując zmiany rozdzielczości linii kodującej.

W pierwszym eksperymencie zastosowano komorę termiczną SU-241 (*ESPEC*). Temperaturę otoczenia zmieniano w zakresie od 16°C do 40°C. W każdej temperaturze przeprowadzono kalibrację i określono rozdzielczość. Wyniki są pokazane na rys. 6. Zmiana temperatury o 24°C powodowała zmianę rozdzielczości w zakresie około 1 ps (6%). Zmiany te nie wykazywały jednak monotoniczności. Mogły więc wynikać ze zmiany wykorzystywanego zakresu linii, który nie był korygowany. Zatem temperatura otoczenia nie ma dużego wpływu na opóźnienia w układzie Spartan-6.

W drugim eksperymencie jądro układu programowalnego zasilano precyzyjnym zasilaczem 6624A (*Agilent Technologies*). Wartość napięcia zmieniano w zakresie od 1.14 V do 1.27 V. Jego wzrost o 0.13 V powodował poprawę rozdzielczości o 4 ps (od 21.3 ps do 17.2 ps). Napięcie zasilania ma więc istotny wpływ na opóźnienia elementów w badanym układzie. Zatem w aplikacjach, gdzie jest to możliwe, korzystnie jest stosować maksymalną wartość napięcia zasilającego jądro układu FPGA.



Rys. 6. Wpływ temperatury otoczenia na rozdzielczość linii kodującej
Fig. 6. Influence of the ambient temperature on the resolution of a coding line



Rys. 7. Wpływ napięcia zasilania na rozdzielczość linii kodującej
Fig. 7. Influence of the supply voltage on the resolution of a coding line

5. Wnioski

Wyniki analizy modelu czasowego układu Spartan-6 pozwalają określić obszary układu (regiony zegarowe) najlepiej nadające się do implementacji szybkich układów cyfrowych, ze względu na najmniejsze różnice opóźnień sygnałów zegarowych. Ponadto, umożliwiły identyfikację efektu przeniesienia w przód. Dzięki temu, w wykorzystywanym zakresie cyfrowej linii kodującej opartej o linię szybkich przeniesień, zminimalizowano liczbę kanałów o zerowej szerokości.

Przedstawione modele szerokości kanałów w liniach opóźniających pokazują duże rozbieżności pomiędzy poszczególnymi liniami. Pomimo tego, w komórkach SLICEL i SLICEM można stosować ten sam rodzaj sortowania dla uzyskania monotonicznej charakterystyki przetwarzania czas-cyfra.

Wzrost napięcia zasilania znacznie zmniejsza opóźnienia sygnałów propagujących się w liniach szybkich przeniesień. W przeprowadzonych badaniach uzyskano 19% poprawę rozdzielczości zwiększając napięcie zasilania o 11%. Natomiast temperatura otoczenia ma nieznaczny wpływ na opóźnienia analizowanych linii.

W najnowszych układach FPGA firmy *Xilinx* (*Artix*, *Kintex*, *Virtex-7*) stosuje się podobne sposoby dystrybucji sygnału zegarowego i architektury linii szybkich przeniesień, zatem przedstawiona analiza może być zastosowana do szerokiej klasy układów programowalnych.

Projekt został sfinansowany ze środków Narodowego Centrum Nauki przyznanych na podstawie decyzji numer DEC-2011/01/B/ST7/03278.

6. Literatura

- [1] Spartan-6 FPGA Configurable Logic Block User Guide, Xilinx, v1.1, 2010.
- [2] Spartan-6 FPGA Data Sheet: DC and Switching Characteristics, Xilinx, v9.0, 2011.
- [3] Kalisz J.: Review of methods for precise time interval measurements with picoseconds resolution, *Metrologia*, vo. 41, 2004.
- [4] Cova S., Bertolaccini M.: Differential linearity testing and precision calibration of multichannel time sorters. *Nuclear Instruments and Methods*, vol. 77, no. 2, 1970.