

## WIELOMIANY REEDA MÜLLERA W SYNTEZIE LOGIKI REWERSYJNEJ

*Streszczenie*

*W nowoczesnych układach automatyki kolejowej, coraz powszechniej wykorzystuje się technikę komputerową. Bramki rewersyjne pozwalają na tworzenie układów cyfrowych odpornych na uszkodzenie. Zastosowanie tych bramek umożliwia realizację bezpiecznych układów sterowania. Obecnie w systemach SRK w miejsce układów przekaźnikowych stosuje się systemy mikroprocesorowe. Zastosowanie techniki komputerowej pozwala na konstrukcję bezpiecznych systemów. Jednak ze względu na dużą liczbę elementów maleje niezawodność. Rozwiązaniem alternatywnym jest wykorzystanie logiki rewersyjnej w syntezie systemów cyfrowych. W artykule przedstawiono podstawowe bramki rewersyjne oraz przykład ich wykorzystania w syntezie systemów cyfrowych. Zaletą logiki odwracalnej jest możliwość syntezy układów samotestujących i odpornych na błędy. Wykorzystanie tych układów umożliwi konstrukcję bezpiecznych systemów sterowania. Największym problemem jest algorytmizacja procesu syntezy układów rewersyjnych. W artykule przedstawiono propozycję zastosowania wielomianów Reeda Müller'a w syntezie układów rewersyjnych*

**WSTĘP**

Rozproszenie geograficzne systemów sterowania ruchem kolejowym powoduje, że stawia się coraz większe wymagania w stosunku do lokalnych urządzeń sterujących w zakresie realizowanych algorytmów sterowania, przetwarzania informacji oraz pewności i szybkości transmisji danych. W latach 70 ubiegłego wieku do sterowania ruchem na kolei (urządzenia SRK) zaczęto wykorzystywać układy elektroniczne. Układy elektroniczne, a w szczególności systemy cyfrowe zaczęły wypierać, stosowane wcześniej systemy kluczowe i przekaźnikowe. Zwiększenie stopnia integracji w układach scalonych pozwoliło na budowę urządzeń SRK realizujących coraz bardziej rozbudowane funkcje. Pojawienie się sterowników przemysłowych i przemysłowych wersji komputera PC (wraz z wykorzystaniem systemów operacyjnych czasu rzeczywistego) pozwoliło na zastosowanie rozwiązań programowych do realizacji algorytmów działania urządzeń SRK. We współczesnych, cyfrowych systemach SRK algorytmy sterowania, przetwarzania i przechowywania danych są realizowane głównie w sposób programowy, zwykle w układach mikroprocesorowych, w których realizacja zadanego algorytmu odbywa się zgodnie z przechowywanym w pamięci programem. Alternatywą dla rozwiązań komputerowych może być powrót do rozwiązań sprzętowych (elektronicznych), bądź sprzętowo-programowych (układy SOC – System On Chip), uwzględniających rozwój technologii specjalizowanych układów scalonych. We współczesnych systemach automatyki kolejowej (SRK) coraz powszechniej stosowane są specjalizowane układy cyfrowe. Nadrzednym celem układów SRK jest zapewnienie bezpieczeństwa. Dlatego metody projektowania tych systemów odbiegają od powszechnie stosowanej metodologii syntezy systemów cyfrowych. Przy projektowaniu układów cyfrowych największy nacisk kładzie się na minimalizację funkcji logicznych, opisujących system. W przypadku systemów SRK najistotniejszym jest określenie sposobu działania układu w sposób zdeterminowany, projektant powinien przewidzieć jak zadziała układ w każdej, możliwej sytuacji. Niezależnie od sposobu realizacji algorytmów sterowania, współczesne urządzenia i systemy SRK muszą spełniać odpowiednie normy bezpieczeństwa. Dla nowych systemów SRK muszą być spełnione wymagania ujęte w następujących normach:

PN-EN50126: Zastosowania kolejowe - Specyfikacja niezawodności, dostępności, podatności utrzymaniowej i bezpieczeństwa;

PN-EN50128: Zastosowania kolejowe - Łączność, sygnalizacja i systemy sterowania - Programy dla kolejowych systemów sterowania i zabezpieczeń;

PN-EN50129: Zastosowania kolejowe - Łączność, sygnalizacja i systemy sterowania - elektroniczne systemy sygnalizacji związane z bezpieczeństwem.

Normy te definiują większość wymagań w stosunku do rozwiązań sprzętowych, programowych i sprzętowo-programowych. I tak sprzęt stosowany w urządzeniach i systemach SRK powinien spełniać wymagania norm PN-EN50126 i PN-EN50129, natomiast programy realizujące funkcje sterowania powinny być zgodne z wymaganiami normy PN-EN50128.

W przytoczonych normach nie przedstawiono wymagań dotyczących wspomaganego komputerowo procesu specyfikacji bądź wytwarzania układów scalonych, przeznaczonych do systemów SRK. Alternatywą dla klasycznych układów cyfrowych może być zastosowanie bramek rewersyjnych, które umożliwiają kontrolę stanu systemu cyfrowego.

**1. ODWRACALNE BRAMKI LOGICZNE**

Rozpraszanie energii jest istotnym czynnikiem podczas projektowania układów VLSI. Obwody logiki kombinacyjnej wydzielają ciepło rzędu  $kT \ln 2$  dżuli przy każdym traconym bicie informacji, gdzie  $k$  to stała Boltzmana i  $T$  to temperatura pracy. Utraty tej doświadczamy wtedy, gdy na podstawie wektora wyjść nie jesteśmy w stanie jednoznacznie określić wektora wejść. Korzystając z elementów logiki odwracalnej naturalnie pozbywamy się nadmiaru wydzielanego ciepła, gdyż nie ma problemu utraty informacji. Synteza obwodów logiki odwracalnej zasadniczo różni się od klasycznej. W przypadku bramek odwracalnych każde wyjście zostaje użyte tylko raz (nie można podłączyć kilku wejść kolejnych bramek do wyjścia poprzedniej). Dla każdego zestawu wejść przypada unikalny zestaw wyjść. Natomiast końcowy obwód musi być acykliczny. Dowolna bramka odwracalna dokonuje permutacji sygnałów wejściowych i wykonuje funkcje odwracalne. Bramka posiadająca  $k$  wejść – a zatem również  $k$  wyjść – nazywana jest bramką odwracalną  $k \times k$ . Każdy układ odwracalny może się składać jedynie

z bramek odwracalnych. Wszystkie zbędne wyjścia takiego obwodu (pozostawione jedynie dla zachowania odwracalności) nazywane są „śmieciowymi wyjściami”; natomiast wejścia z przydzieloną niezmienną wartością nazywane są „stałymi wejściami”. Projektując układy dąży się do minimalizowania liczby śmieciowych wyjść.

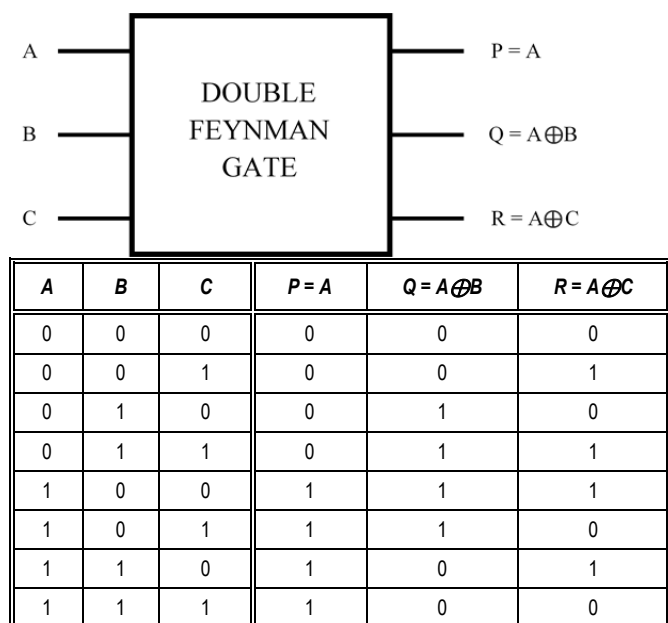
**1.1. Bramki odwracalne zachowujące parzystość**

Sprawdzanie parzystości jest jedną z szerzej stosowanych metod wykrywania błędów w logice cyfrowej oraz systemach komunikacyjnych. Jest tak, ponieważ funkcje arytmetyczne nie zachowują parzystości. Jeżeli parzystość wejść zostanie zachowana podczas prowadzenia obliczeń, sprawdzanie wartości na kolejnych etapach drogi do wyjścia układu nie byłoby potrzebne. Wystarczającym warunkiem zachowania parzystości obwodu odwracalnego jest zbudowanie go jedynie z bramek zachowujących parzystość.

Odporność na błędy jest właściwością, która pozwala na poprawne działanie systemu w przypadku pojawienia się błędu lub awarii niektórych jego elementów. Jeżeli system jest zbudowany z elementów, które są odporne na błędy, wówczas wykrywanie oraz poprawianie ich jest znacznie łatwiejsze. W wielu przypadkach (m.in. w systemach komunikacji) odporność ta osiągana jest dzięki parzystości.

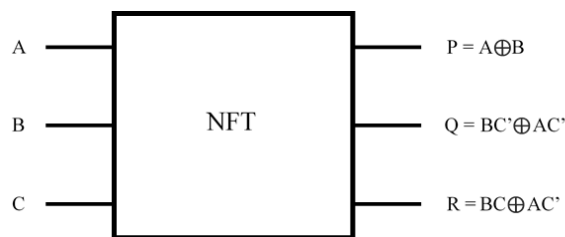
Logika odwracalna odporna na błędy z wykorzystaniem bramek zachowujących parzystość została przedstawiona przez Behrooza Parhami w 2006 roku [6]. W tych bramkach parzystość wejść odpowiada parzystości wyjść. Ujmując to inaczej, wykonanie operacji alternatywy wykluczającej (XOR) na wszystkich wejściach ( $A \oplus B \oplus C$  w przypadku bramki 3\*3) i na wszystkich wyjściach ( $P \oplus Q \oplus R$  dla bramki 3\*3) daje ten sam wynik. Wykonując szybkie sprawdzenie danych w przedstawionych wcześniej tabelach prawdy pokazuje, że bramka Fredkina 3\*3 jest jedyną podstawową bramką, która zachowuje parzystość. W dalszej części zostaną przedstawione kolejne przykłady elementów posiadających tą cechę.

W 2006 roku Parhami przedstawił podwójną bramkę Feynmana (F2G) [6]. Powstała przez szeregowe połączenie dwóch bramek Feynmana dla 3 wejść – w tym jednego wspólnego.



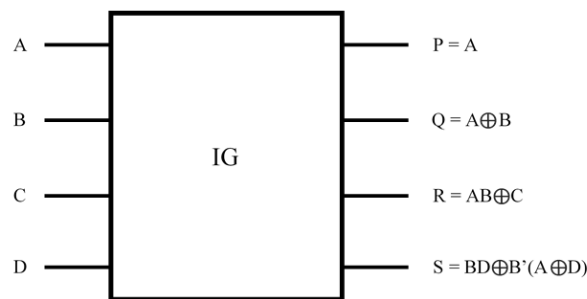
Rys. 2. Podwójna bramka Feynmana 3\*3

W 2008 Haghparast przedstawił nową bramkę, nazwaną nową odporną na błędy bramką (NFT), zaprojektowaną dla systemów opartych o nanotechnologię [3].



A	B	C	P = A ⊕ B	Q = BC' ⊕ AC'	R = BC ⊕ AC'
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	1	0	0
0	1	1	1	0	1
1	0	0	1	1	1
1	0	1	1	1	0
1	1	0	0	1	1
1	1	1	0	0	1

Rys. 2. Bramka New Fault Tolerant 3\*3



A	B	C	D	P	Q	R	S
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0
0	1	1	1	0	1	1	1
1	0	0	0	1	1	0	1
1	0	0	1	1	1	0	0
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	0
1	1	1	1	1	0	0	1

Rys. 3 Bramka Islama wraz z tabelą prawdy

W 2009 Saiful Islam, Rehman, Hafiz i Begum opracowali nową konstrukcję pełnego sumatora odpornego na błędy, gdzie wykorzystaną nową bramkę 4\*4 nazwaną bramką Islama (IG) [1]. Podobnie do bramek podstawowych, jest ona jedno-przepustowa – tzn. jedno z wejść jest przekazywane na wyjście bez zmian. Jest również

uniwersalna, czyli przy odpowiednim wykorzystaniu wejść stałych można z jej wykorzystaniem zrealizować każdą funkcję logiczną [1].

## 2. WIELOMIAN REEDA-MÜLLERA

Formy wielomianowe można podzielić na:

- Wielomiany Reeda-Müllera - to wielomiany przedstawione tylko za pomocą operacji AND XOR i NOT. Przy pomocy tych trzech funkcji da się przedstawić każdą funkcję logiczną
- Wielomiany arytmetyczne - to normalne wielomiany (operacje arytmetyczne + i -), które zwracają wynik 0 lub 1 w przypadku, gdy zmienne są 0 lub 1 np.  $f = x_1 + x_2 - 2 \cdot x_1 \cdot x_2$  to to samo co  $f = x_1 \text{ XOR } x_2$  Każdej funkcji logicznej odpowiada wiele wielomianów arytmetycznych i tak samo jednemu wielomianowi arytmetycznemu może odpowiadać wiele funkcji logicznych. Wielomian arytmetyczny uznaje się za lepszy wtedy gdy jego współczynniki są mniejsze oraz gdy jego produkty (składniki tj. np.  $x_1 \cdot x_2 \cdot x_3$  - produkt 3 zmiennych) są mniejsze.

Wielomiany R-M składają się wyłącznie ze zmiennych prostych (a, b, c, itd) i stałej „1” połączonych działaniami AND (iloczynem logicznym) i XOR (sumą modulo 2). Należy podkreślić, że w wielomianach R-M nie występują negacje ani nawiasy. System Reed-Müllera (R-M) jest tzw. systemem pełnym tzn. może przedstawić każdą funkcję. Składa się on z bramek XOR, AND i „1”, a więc najprostszych (najtańszych) technologicznie. Dzięki temu znalazł szerokie zastosowanie w technice cyfrowej. Funkcję R-M przedstawiają poniższe zależności

$$F = \sum_{i=1}^{n^2-1} r^{(i)} (x_1)^{i_1} (x_2)^{i_2} \dots (x_n)^{i_n} \quad (1)$$

Gdzie:

$$r^{(i)} = 1, 0$$

$$(x_j)^{i_j} = \begin{cases} x_j & \text{gdy } j = 1 \\ 1 & \text{gdy } j = 0 \end{cases}$$

Wielomiany Reeda-Müllera znalazły zastosowanie przy konstruowaniu drzew diagnostycznych i syntezy układów logiki rewersyjnej.

Konwersję funkcji z postaci kanonicznej na postać R-M wykonuje się następująco [7]:

1. Dane wyrażenie doprowadza się do postaci CCF lub DCF
2. Korzystając z praw deMorgana zamienia się wszystkie alternatywy (OR) na koniunkcje (AND). W wyniku powinno powstać wyrażenie składające się wyłącznie z koniunkcji i negacji (ewentualnie z nawiasami)
3. Wszystkie negacje zamienia się na XOR korzystając z zależności  $\sim f = 1 \oplus f$
4. Nawiasy upraszcza się korzystając z prawa rozdzielności:

$$x_1 \wedge (x_2 \oplus x_3) = x_1 x_2 \oplus x_1 x_3 \quad (2)$$

Wielomian R-M można też konstruować bezpośrednio z wektora prawdy za pomocą odpowiedniej macierzy transformacji f. Macierz przeznaczoną do przekształcania wektora prawdy funkcji jednej zmiennej przedstawia wzór:

$$f_1 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix} \quad (3)$$

Aby transformować funkcje o większej ilości zmiennych, potrzeba większych macierzy transformacji. Kolejne macierze konstruuje się z macierzy pierwotnej, określonej zależnością 3 za pomocą iloczynu Kroneckera

$$\begin{bmatrix} a & b \\ c & d \end{bmatrix} \otimes \begin{bmatrix} e & f \\ g & h \end{bmatrix} = \begin{bmatrix} a \cdot \begin{bmatrix} e & f \\ g & h \end{bmatrix} & b \cdot \begin{bmatrix} e & f \\ g & h \end{bmatrix} \\ c \cdot \begin{bmatrix} e & f \\ g & h \end{bmatrix} & d \cdot \begin{bmatrix} e & f \\ g & h \end{bmatrix} \end{bmatrix} = \begin{bmatrix} ae & af & be & bf \\ ag & ah & bg & bh \\ ce & cf & de & df \\ cg & ch & dg & dh \end{bmatrix} \quad (4)$$

Przykładowo, macierz do transformacji funkcji 2 zmiennych konstruuje się mnożąc dwie macierze podstawowe:

$$f_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix} \otimes \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 \end{bmatrix} \quad (5)$$

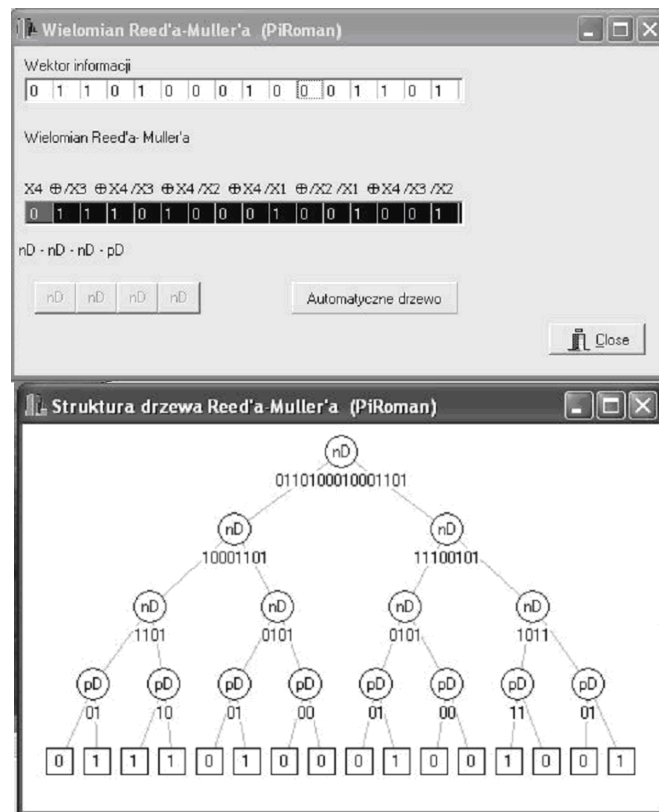
Wektor Reeda-Müllera  $W_{RM}$  uzyskuje się z wektora prawdy  $W_P$  za pomocą następującego przekształcenia:

$$W_{RM} = (f \times W_P) \text{ mod } 2 \quad (6)$$

Korzystając z właściwości, że macierze f w arytmetyce modulo 2 są własnymi odwrotnościami, te same macierze służą do transformacji odwrotnej, tj z postaci wektora Reeda-Müllera  $W_{RM}$  do wektora prawdy  $W_P$ :

$$W_P = (f \times W_{RM}) \text{ mod } 2 \quad (7)$$

Przedstawiona powyżej metoda stanowiła podstawę do opracowania przez autora programu do wyznaczania wielomianów Reed-Müllera w oparciu o funkcje kanoniczne. Na rysunku 2 pokazano zrzuty ekranu programu, opracowanego przez autora. Program zrealizowano z wykorzystaniem środowiska Borland Builder 5.0.



Rys. 2. Zrzut ekranu programu do generacji drzewa Reeda Müller'a

## PODSUMOWANIE

Przedstawiony w artykule program do przekształcania równań boolowskich z postaci kanonicznej do postaci drzewa Reeda Mullera pozwala na uproszczenie procesu syntezy układów w logice rewersyjnej. Został on wykorzystany w syntezie systemu kontroli niezajętości bazującym na liczniku osi. Pozwoliło to na praktyczną realizację systemu w strukturach FPGA.

## BIBLIOGRAFIA

1. Al Mahamud A., Begum Z., Hafiz M. Z., Rahman M. M., Saiful Islam Md.: "Synthesis of Fault Tolerant Reversible Logic Circuits". Proceedings of IEEE International Conference on Testing and Diagnosis, Chengdu, China, 2009, s. 1-4.
2. Bruce J. W., Kokate P. S., Li X., Shivakumaraiah L., Thornton A.: "Efficient adder circuits based on conservative reversible logic gates", In Proceedings of IEEE Computer Society Annual Symposium on VLSI, Pittsburg, PA, 2002, s. 83-88
3. Haghparast M., Navi K.: "A novel fault tolerant reversible gate for nanotechnology based systems", American Journal of Applied Sciences, Vol. 5, No. 5, 2008, s. 519-523
4. Haghparast M., Navi K.: "Design of novel fault tolerant reversible full adder for nanotechnology based systems", World Applied Sciences Journal, Vol. 3, No. 1, 2008, s. 114-118
5. Landauer R.: "Irreversibility and heat generation in the computational process". IBM Journal of Research and Development, Vol. 5, Issue 3, 1961, s. 183-191
6. Parhami B.: "Fault-Tolerant Reversible Circuits". Proceedings of 40th Asilomar Conference on Signals, Systems and Computers, Pacific Grove, CA, 2006, s. 1722-1726
7. Pniewski R. Metoda oceny bezpieczeństwa cyfrowych systemów automatyki kolejowej. Monografie Wyd. UTH Radom, ISSN 1642-5278.
8. Pniewski R., Bojarczak P., Kornaszewski M.: Application of Reversible Logic in Synthesis of Traffic Control Systems. ST 2017: Smart Solutions in Today's Transport pp 447-460 (Springer)
9. M.Saravanan, K.Suresh Manic. "Reversible Logic Circuit Based Twiddle Factor Generation." International Journal on Recent

and Innovation Trends in Computing and Communication Volume: 2 Issue: 9 pp. 2895 – 2897

## REED-MÜLLER DECISION DIAGRAM IN SYNTHESIS OF REVERSIBLE LOGIC

### Abstract

*Reversible logic gates allow to create digital circuits resistant to damage. The use of these gates enables the safe control systems. Currently ATC systems in place relay systems used microprocessor systems. The use of computer technology allows the design of secure systems. However, due to the large number of elements decreases reliability. An alternative is to use in the synthesis of reversible logic digital systems. The article presents the main gate reverse and an example of their use in the synthesis of digital systems. The advantage is the possibility of reversible logic synthesis selftesting and fault tolerant systems. The use of these systems will enable the construction of safe control systems The biggest problem is the algorithm of the synthesis process of reversing systems. The article presents the application of Reed Müller polynomials in the synthesis of reversible systems.*

Autorzy:

dr hab. inż. Prof. UTH **Roman Pniewski** – Uniwersytet Technologiczno-Humanistyczny w Radomiu, Wydział Transportu i Elektrotechniki, r.pniewski@uthrad.pl