



Wykorzystanie struktur FPGA do implementacji algorytmów cyfrowego przetwarzania sygnałów

Stanisław GRZYWIŃSKI*, Krzysztof ACHTENBERG

Wojskowa Akademia Techniczna, Wydział Mechatroniki i Lotnictwa,
ul. gen. Sylwestra Kaliskiego 2, 00-908 Warszawa

* autor korespondencyjny, e-mail: sgrzywinski@wat.edu.pl

Artykuł wpłynął do redakcji 10.04.2017 r.

Zweryfikowaną wersję po recenzji otrzymano 22.06.2017 r.

DOI 10.5604/01.3001.0010.4118

Streszczenie. W artykule opisano zaprojektowany, wykonany praktycznie oraz przebadany dwukanałowy tor cyfrowego przetwarzania sygnału z układem FPGA (*Field-Programmable Gate Array*), w którym zaimplementowano algorytmy DSP. Opracowany dwukanałowy system pozwala na weryfikację opracowanych algorytmów przetwarzania i estymacji parametrów sygnału radiolokacyjnego o częstotliwości pośredniej implementowanych w równoległej, sprzętowej architekturze FPGA.

Słowa kluczowe: cyfrowe przetwarzanie sygnałów, FPGA, ADC, DAC, FIR

1. WSTĘP

Systemy cyfrowego przetwarzania sygnałów ze względu na sposób realizacji implementowanych algorytmów można podzielić na programowe i sprzętowe.

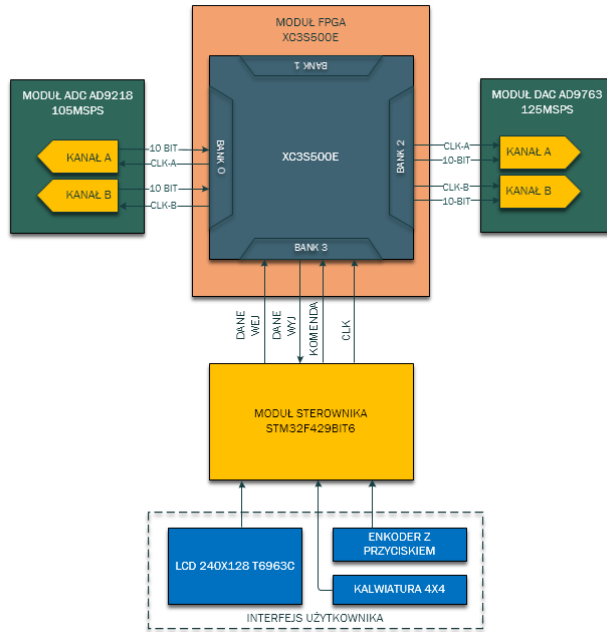
Systemy przetwarzania realizowane w sposób programowy opierają się na sekwencyjnym wykonywaniu algorytmów przez jednostkę obliczeniową.

Do tej grupy można zaliczyć współczesne procesory komputerów PC, procesory wbudowane ogólnego przeznaczenia, procesory sygnałowe oraz coraz częściej wykorzystywane w zagadnieniach DSP procesory graficzne GPU. Systemy cyfrowego przetwarzania sygnałów realizowane sprzętowo opierają się na odpowiedniej konfiguracji połączeń wbudowanych elementów sprzętowych wykonujących określone funkcje, tj. bramki logiczne, układy mnożące itp. Do tej grupy układów zaliczają się struktury FPGA (z ang. *Field-Programmable Gate Array*). Są to układy programowalne, które na ogół zawierają rozmieszczone matrycowo bloki logiczne CLB (z ang. *Configurable Logic Block*) o zróżnicowanej budowie i stopniu skomplikowania. Struktury programowalne są zbudowane m.in. z bramek logicznych, przerzutników, pamięci RAM oraz z zaawansowanych bloków DSP, które realizują złożone funkcje, oparte są na operacjach mnożenia i akumulacji. Szybki rozwój struktur FPGA, rosnąca gęstość upakowania układów oraz integracja specjalizowanych bloków DSP, jak również bloków wbudowanych procesorów spowodowała, rozszerzenie znaczenia struktur FPGA z logiki łączącej w postaci elementów interfejsów, do samowystarczalnych systemów SoC (z ang. *System-on-a-Chip*). Układy FPGA są obecnie jednymi z głównych platform przeznaczonych do sprzętowej realizacji obliczeń w zagadnieniach cyfrowego przetwarzania sygnałów. Ich niewątpliwą zaletą jest przepustowość interfejsów cyfrowych oraz duża liczba bloków obliczeniowych, co jest z powodzeniem wykorzystywane w strumieniowym przetwarzaniu danych. Układy tego typu bardzo często stanowią pierwszy stopień przetwarzania realizujący wstępną obróbkę i redukcję prędkości strumienia i objętości danych.

2. TOR PRZETWARZANIA SYGNAŁU

Ze względu na potrzebę opracowania układu przetwarzania i estymacji parametrów sygnału radiolokacyjnego zdecydowano się na wykorzystanie układu FPGA. W artykule opisano wykonany praktycznie system cyfrowej obróbki sygnału, który został wyposażony w dwukanałowy przetwornik A/D oraz dwukanałowy przetwornik D/A. Oba układy charakteryzują się częstotliwością próbkowania powyżej 100 MSPS, co zalicza je do układów klasy „High Speed”. Zostały one dobrane tak, aby zapewnić odpowiednie parametry akwizycji oraz generacji sygnałów radiolokacyjnych o częstotliwości pośredniej. Aby zapewnić możliwość przetwarzania wymaganego strumienia danych, system wyposażono w moduł FPGA Spartan 3E XC3S500E oraz w moduł procesora STM32F4.

Opracowany dwukanałowy system pozwala na weryfikację opracowanych algorytmów cyfrowego przetwarzania sygnałów implementowanych w równoległej, sprzętowej architekturze FPGA. Schemat blokowy systemu przedstawiono na rysunku 1.



Rys. 1. Budowa układu cyfrowego przetwarzania sygnałów

Fig. 1. Structure of the digital signal processing system

W układzie zaimplementowano różne warianty algorytmów decymacji sygnału, cyfrowej filtracji z wykorzystaniem filtru o skończonej odpowiedzi impulsowej FIR (z ang. *Finite Impulse Response*), szybkiej transformaty Fouriera, mnożenia i sumowania dwóch sygnałów, jak również dwuwstęgowej modulacji amplitudowej. Zaimplementowane algorytmy dostosowane są do przetwarzania sygnałów próbkowanych z częstotliwością do 100 MSPS.

Oprogramowanie

Część programowa układu ze względu na realizowane algorytmy oraz różny sposób implementacji została podzielona na dwie części. Pierwsza z nich dotyczy oprogramowania procesora opartego na architekturze ARM, którego główną rolą jest realizacja zadań sterownika toru sygnałowego i modułu FPGA.

Dodatkowo w procesorze zostały zaimplementowane algorytmy FFT i cyfrowego splotu oraz procedury realizacji interfejsu UART, który jest wykorzystywany do komunikacji z komputerem osobistym.

Opracowany protokół komunikacyjny wykorzystywany jest do wstępnej konfiguracji współczynników filtra FIR oraz do transmisji wyników przetwarzania, które w czasie rzeczywistym są zobrazowane na ekranie komputera.

Oprogramowanie zostało napisane w języku C z wykorzystaniem środowiska Keil μ Vision 4. Poniżej na listingu 1 przedstawiono algorytm obliczania transformaty Fouriera wykorzystującej procedury biblioteki DSP.

Listing 1

```
void __fastcall DSP_Process::Execute() {
    try {
        /* Initialize the CFFT/CIFFT module, intFlag = 0, doBitReverse = 1 */
        arm_cfft_radix4_init_f32(&S, FFT_SIZE, 0, 1);

        /* Process the data through the CFFT/CIFFT module */
        arm_cfft_radix4_f32(&S, Input);

        /* Process the data through the Complex Magnitude Module for calculating the magnitude
        for each bin */
        arm_cmplx_mag_f32(Input, Output, FFT_SIZE);

        /* Calculates maxValue and returns corresponding value */
        arm_max_f32(Output, FFT_SIZE, &maxValue, &maxIndex);

    } catch (...) {
        if ( 1 ) return;
    }
}
```

Druga część oprogramowania dotyczy algorytmów cyfrowego przetwarzania sygnałów, która została zaimplementowana w strukturze FPGA. Oprogramowanie wraz z konfiguracją sprzętową FPGA zostało napisane w języku VHDL w środowisku Xilinx ISE. Poniżej na listingu 2 przedstawiono kod VHDL opisujący wybrane elementy filtra o skończonej odpowiedzi impulsowej.

Listing 2

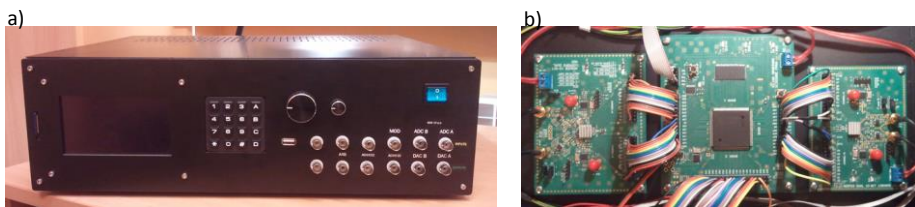
```
-- DESCRIPTION OF DELAY REGISTERS
pipe_1 <= pipe_0;
pipe_2 <= pipe_1;

-- MULTIPLE VALUE OF THE REGISTERED BY FIRST FACTOR
mult_0 <= pipe_0*fir_coeff_0; --mnożenie 10 bitow x 10
bitow

-- SUMMARY OF RESULTS OF MEANING BY BOOSTERS AND B1
add_0 <= mult_0 + mult_1;
```


- moduł z przetwornikiem A/D AD9218 – realizuje zadania akwizycji sygnału z częstotliwością próbkowania do 100 MSPS i rozdzielczością wynoszącą 10 bitów;
- moduł z przetwornikiem D/A AD9763 – odpowiada za generację sygnału wyjściowego z częstotliwością do 100 MSPS i rozdzielczością wynoszącą 10 bitów;
- moduł zasilacza – dostarcza wymagane napięcia zasilania do poszczególnych modułów.

Całość urządzenia została zamontowana w metalowej obudowie. Na przednim panelu znajdują się wejścia-wyjścia w postaci złączy BNC. Sterowanie układem odbywa się z wykorzystaniem LCD, klawiatury matrycowej 4 x 4 oraz enkodera obrotowego. Widok wykonanego układu cyfrowego przetwarzania sygnału przedstawiono na rysunkach 4a i 4b.

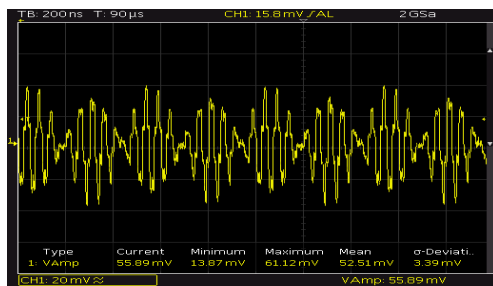


Rys. 4. Przedni panel urządzenia (a), układ cyfrowego przetwarzania sygnału (b)

Fig. 4. Front panel image of the device (a) and digital signal processing unit (b)

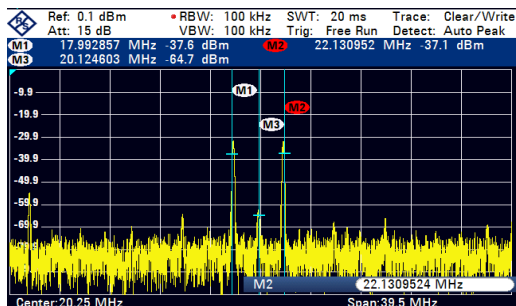
3. WYBRANE WYNIKI DZIAŁANIA UKŁADU

Na rysunkach 5 oraz 6 przedstawiono wyniki działania cyfrowego toru przetwarzania sygnału dla wykonywanej operacji mnożenia dwóch sinusoidalnych sygnałów wejściowych o częstotliwościach 2 MHz oraz 20 MHz. Na rysunku 7 przedstawiono charakterystykę amplitudowo-częstotliwościową zaimplementowanego filtra cyfrowego o skończonej odpowiedzi impulsowej i częstotliwości odcięcia równej 10 MHz.



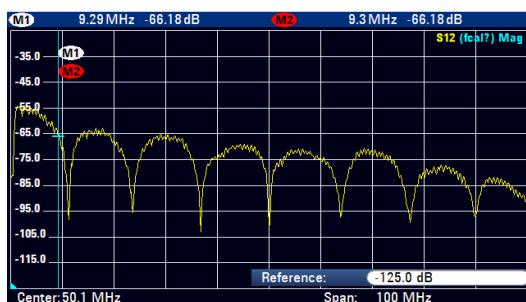
Rys. 5. Oscylogram sygnału wyjściowego po operacji mnożenia sygnałów

Fig. 5. Oscillation of output signal after multiplication of signals



Rys. 6. Widmo sygnału wyjściowego po operacji mnożenia sygnałów

Fig. 6. Spectrum of output signal after signal multiplication operation



Rys. 7. Charakterystyka amplitudowo-częstotliwościowa filtra o SOI

Fig. 7. SOI filter amplitude-frequency characteristics

LITERATURA

- [1] Majewski J., P. Zbysiński. 2007. *Układy FPGA w przykładach*. Legionowo: Wydawnictwo BTC.
- [2] *Reference manual, STM32F405/415, STM32F407/417, STM32F427/437 and STM32F429/439 advanced ARM-based 32-bit MCUs*, STMicroelectronics, 2015.
- [3] *Spartan-3E FPGA Family Data Sheet*, Xilinx, 2013.
- [4] *10-Bit, 40/65/80/105 MSPS 3 V Dual Analog-to-Digital Converter*, Analog Devices, 2006.
- [5] *10-/12-/14-Bit, 125 MSPS Dual TxDAC+ Digital-to-Analog Converters*, Analog Devices, 2011.

Using of the FPGA System for DSP Algorithms Implementation

Stanisław GRZYWIŃSKI, Krzysztof ACHTENBERG

*Military University of Technology, Faculty of Mechatronics and Aerospace,
Department of Mechatronics
2 gen. S. Kaliskiego Street, 00-908 Warsaw, Poland*

Abstract. In the paper describes designed, performed and tested two-channel digital signal processing circuit with FPGA, which in implemented DSP algorithms. The developed dual-channel system allows verification of developed algorithms for the processing and estimation of indirect-frequency signal parameters implemented in parallel hardware FPGA architecture.

Keywords: digital signal processing, FPGA, ADC, DAC, FIR