

Daniel RATAJ*, Krzysztof TOMCZEWSKI*

WPLYW SPOSOBU DETEKCJI SYGNAŁÓW ENKODERA INKREMENTALNEGO NA OPÓŹNIENIA WYZNACZANIA ZAKRESÓW ZASILANIA PASM SILNIKA SRM

W artykule omówiono trzy sposoby implementacji modułu wyznaczania położenia kąowego wirnika dla przelączalnego silnika reluktancyjnego z wykorzystaniem enkodera inkrementalnego. Moduł detekcji zrealizowano w postaci wyspecjalizowanej struktury logicznej zaimplementowanej w układzie programowalnym FPGA. Pierwsza z nich została zaimplementowana w postaci pojedynczego procesu, w którym detekcja zmian stanu sygnałów realizowana jest sekwencyjnie. Kolejne struktury podzielono na kilka instrukcji działających współbieżnie. Druga struktura wykorzystuje do synchronizacji pracy układu oba zbocza sygnału taktującego FPGA. Struktura trzecia działa w oparciu o detekcję zbocz sygnałów z enkodera.

SŁOWA KLUCZOWE: układ programowalny, FPGA, detekcja położenia, enkoder.

1. WSTĘP

Przelączalne napędy reluktancyjne mogą bazować na sterownikach budowanych na bazie mikroprocesorów lub specjalnie zaprojektowanych do tego celu dedykowanych układów elektronicznych. W związku z tym, że maszyny w niektórych przypadkach mogą osiągać wysokie prędkości obrotowe, przekraczające 100 tys. obr./min., ważny jest odpowiedni dobór jednostki sterującej. [1] Zastosowanie układu o zbyt wolnym przetwarzaniu sygnałów lub o małych częstotliwościach taktowania może uniemożliwić osiągnięcie wysokich prędkości, ze względu na opóźnienia wprowadzane przez sterownik. Dodatkowo, zależnie od porządanej dokładności wyznaczania położenia wirnika, stosuje się enkodery o odpowiednio dobranej rozdzielczości. Zakładając, że pozycja wirnika wyznaczana jest z rozdzielczością $0,25^\circ$, enkoder powinien generować 1440 imp./obr.. Przy prędkości wirnika wynoszącej 100 tys. obr./min. do jednostki sterującej z enkodera docierają impulsy o częstotliwości 2,4 MHz. Przy takich częstotliwościach istotną rolę odgrywają opóźnienia powstające podczas przetwarzaniu tych sygnałów. Wyróżnić można czas potrzebny na odczyt stanu portów, wyznaczenie pozycji wirnika oraz wykonanie obliczeń w celu

* Politechnika Opolska

wyznaczenie punktów załączenia i wyłączenia zasilania odpowiednich pasm silnika [2, 3].

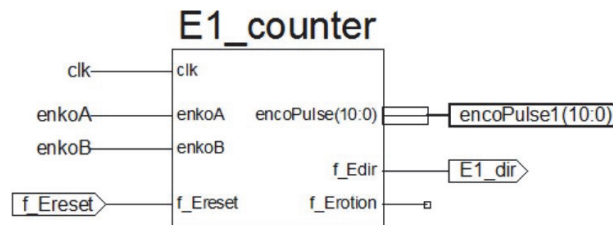
W układach sterowania najczęściej stosowane są mikroprocesory wyposażone przez producentów w wyspecjalizowane struktury peryferyjne, np. zliczające sygnały z enkodera. Wpływ projektanta na czasy opóźnień, które wprowadzane są przez sterownik jest bardzo ograniczony. Mikroprocesory charakteryzują się dużą uniwersalnością. Realizują jednak wiele funkcji, które nie są konieczne podczas wykonywania określonych operacji i wprowadzają zbędne opóźnienia. Problem stanowi również zbyt duża częstotliwość sygnałów dochodzących do procesora, pomiędzy którymi nie jest on w stanie wyznaczyć punktów załączenia poszczególnych pasm. Jednocześnie program sterujący realizuje szereg innych czynności, takich jak np. komunikację szeregową czy obsługę interfejsu użytkownika. Większość tych czynności realizowana jest sekwencyjnie, co wydłuża czas realizacji pętli głównej programu. [4] Dlatego nie w każdym układzie sterowania wykorzystanie mikroprocesora jest najlepszym rozwiązaniem. W takich przypadkach alternatywą dla tego typu jednostek mogą być układy programowalne FPGA (*ang. Field-Programmable Gate Array*). Układy tego typu umożliwiają realizację dowolnych struktur, a dzięki temu zapewniają możliwość pełnej kontroli czasów opóźnień wprowadzanych przez sterownik. Struktura wewnętrzna układu zależy tylko od wprowadzonych funkcjonalności i sposobu ich implementacji. Dodatkowo, poszczególne bloki funkcjonalne mogą być taktowane z różnymi częstotliwościami lub pracować asynchronicznie.

W napędach SRM poszczególne pasma silnika zasilane są zależnie od położenia kąтового wirnika. Dane o położeniu uzyskuje się najczęściej wykorzystując enkoder inkrementalny, z którego do sterownika doprowadzane są dwa przesunięte w fazie sygnały. Zadaniem układu detekcji położenia jest przetworzenie tych sygnałów i wyznaczenie aktualnej pozycji wirnika i stanu zasilania pasm. W ramach badań opracowano trzy struktury układu detekcji położenia wirnika. Pierwsza zawiera pojedynczy proces realizujący instrukcje sekwencyjnie, w sposób zbliżony do działania programu w mikroprocesorze, taktowany zegarem systemowym. Drugie opracowanie stanowi struktura, którą wykonano w postaci kilku realizowanych współbieżnie procesów. Do ich synchronizacji wykorzystano oba zbocza sygnału taktującego FPGA. Trzecia struktura reaguje na wszystkie zbocza sygnałów z enkodera.

2. STRUKTURA SEKWENCYJNA SYNCHRONIZOWANA SYGNAŁEM TAKTUJĄCYM FPGA

Układ sekwencyjny składa się z modułu przedstawionego na rys. 1. Blok ten zawiera jeden proces, sprawdzający sekwencyjnie stany obu kanałów enkodera. Porty *enkoA* oraz *enkoB* służą do podłączenia enkodera inkrementalnego. Blok

ten taktowany jest z częstotliwością 500 MHz sygnałem *clk*. Do bloku doprowadzony został również sygnał *f_Ereset*, który odpowiada za zerowanie licznika, po wykonaniu inicjalizacji położenia wirnika. Zastosowanie enkodera inkrementalnego nie pozwala na określenie pozycji wirnika po zaniku zasilania. Dlatego też przed rozpoczęciem pracy silnika należy wykonać inicjalizację układu, ustawiając wirnik w znanej pozycji startowej. W realizowanym układzie jako pozycję startową przyjęto położenie wirnika o minimalnej reluktancji magnetycznej. Ustawienie wirnika w takiej pozycji polega na przemieszczaniu wirnika w trybie pracy krokowej. Struktura taka została zaimplementowana w sterowniku. Po zakończeniu tej czynności do modułu sterującego przekazywany jest impuls na port wejściowy *f_Ereset*.



Rys. 1. Moduł *E1_counter* do wyznaczania pozycji wirnika

Blok przedstawiony na rys. 1. zlicza liczbę impulsów z enkodera realizując detekcję zmian stanu sygnałów w obu kanałach. W pierwszej kolejności sprawdzany jest stan portów *enkoA*, *enkoB* oraz zmiennych przechowujących poprzednie ich wartości. Instrukcja warunkowa zawarta w procesie sprawdza kolejno następujące warunki:

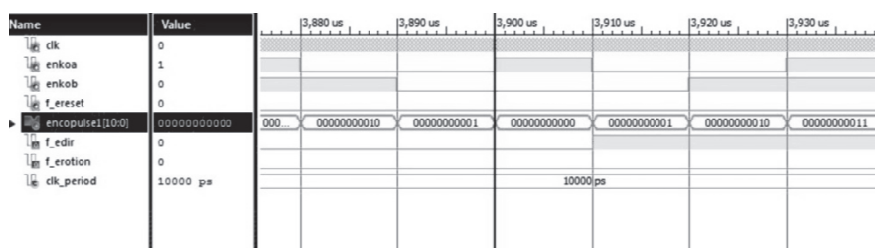
```

if enkoA = '1' and enkoB = '1' and enkoA = not(wczes_enkoA) then
    nowa_liczA := (licz_enkoA+1) + 1; nowa_liczB := (licz_enkoB+1); kierunek := '1';
elsif enkoA = '1' and enkoB = '0' and enkoA = not(wczes_enkoA) then
    nowa_liczA := (licz_enkoA+1) - 1; nowa_liczB := (licz_enkoB+1); kierunek := '0';
elsif enkoA = '0' and enkoB = '1' and enkoA = not(wczes_enkoA) then
    nowa_liczA := (licz_enkoA+1) - 1; nowa_liczB := (licz_enkoB+1); kierunek := '0';
elsif enkoA = '0' and enkoB = '0' and enkoA = not(wczes_enkoA) then
    nowa_liczA := (licz_enkoA+1) + 1; nowa_liczB := (licz_enkoB+1); kierunek := '1';
elsif enkoA = '1' and enkoB = '1' and enkoB = not(wczes_enkoB) then
    nowa_liczB := (licz_enkoB+1) - 1; nowa_liczA := (licz_enkoA+1); kierunek := '0';
elsif enkoA = '1' and enkoB = '0' and enkoB = not(wczes_enkoB) then
    nowa_liczB := (licz_enkoB+1) + 1; nowa_liczA := (licz_enkoA+1); kierunek := '1';
elsif enkoA = '0' and enkoB = '1' and enkoB = not(wczes_enkoB) then
    nowa_liczB := (licz_enkoB+1) + 1; nowa_liczA := (licz_enkoA+1); kierunek := '1';
elsif enkoA = '0' and enkoB = '0' and enkoB = not(wczes_enkoB) then
    nowa_liczB := (licz_enkoB+1) - 1; nowa_liczA := (licz_enkoA+1); kierunek := '0';
else nowa_liczA := (licz_enkoA+1); nowa_liczB := (licz_enkoB+1);
end if;

```

Kod tego procesu sprawdza kolejno 8 warunków. Do każdego z nich przypisano odpowiednio inkrementację oraz dekrementację liczników *licz_enkoA* oraz *licz_enkoB*. Dodatkowo, dla każdego warunku ustalany jest stan flagi *kierunek*, określający kierunek obrotu wirnika.

W kolejnej części sprawdzane są ograniczenia wartości licznika, tak aby zmienna przechowująca liczbę impulsów mieściła się zakresie czterokrotności rozdzielczości enkodera. W części tej zerowany jest również stan licznika w przypadku wykrycia stanu wysokiego flagi *f_Ereset*. Następnie zmienna przekazywana jest na 11-bitowy port *encoPulse(10:0)*. Proces ten jest synchronizowany zboczem opadającym sygnału *clk*. Wynik symulacji działania tego modułu przedstawiony został na rys. 2.



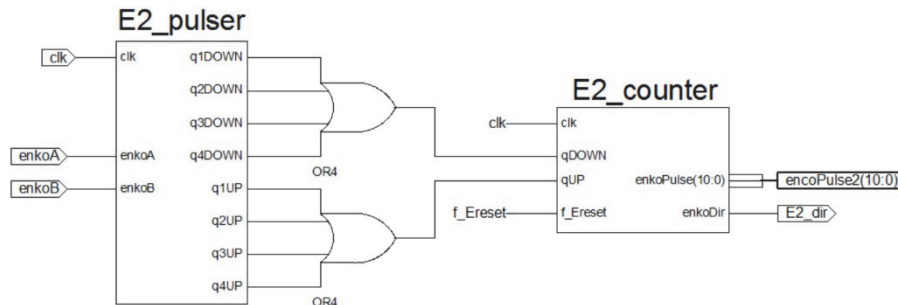
Rys. 2. Wynik symulacji pracy modułu *EI_counter* wyznaczania położenia wirnika

Przebiegi pokazane na rys. 2. przedstawiają stany portów wejściowych i wyjściowych. Sygnały wejściowe z enkodera symulują ruch wirnika w obu kierunkach. W symulacji uwzględniona została również zmiana kolejności występowania zbocz w kanałach enkodera. Zgodnie z uzyskanymi przebiegami dla każdego zbocza narastającego oraz opadającego portów *enkaA* oraz *enkaB* zostaje zwiększona bądź zmniejszona wartość licznika. Zmiany kolejności zbocz powodują ustawienie flagi *f_edir* w stan wysoki i wyzerowanie licznika.

3. STRUKTURA WSPÓLBIEŻNA SYNCHRONIZOWANA SYGNAŁEM TAKTUJĄCYM FPGA

Drugim rozwiązaniem układu detekcji położenia kąтового wirnika jest struktura wykonująca instrukcje współbieżnie, synchronizowana sygnałem *clk*. Układ ten opracowano w postaci dwóch modułów połączonych bramkami logicznymi pełniącymi funkcje rozjemcze. Opracowany układ został przedstawiony na rys. 3.

Układ składa się z bloków *E2_pulser* oraz *E2_counter*. Zadaniem pierwszego jest detekcja zmian stanu sygnałów enkodera *enkaA* oraz *enkaB*. W drugim wyznaczane jest położenie wirnika, a jego wartość ustawiana jest na magistrali *encoPulse2(10:0)*.



Rys. 3. Układ o strukturze współbieżnej synchronizowany sygnałem taktującym FPGA

Stany logiczne portów sprawdzane są z częstotliwością sygnału taktującego *clk*. Proces sprawdzający stany sygnałów z enkodera został zrealizowany w następujący sposób.

```

if enkoA'event and enkoA = '1' then
  if enkoB = '1' then  dir1 <= '1';
  else  dir1 <= '0';
  end if;
else null;
end if;

```

Moduł zawiera cztery takie procesy, zmodyfikowane odpowiednio dla każdego zbocza sygnałów z enkodera. Każdy z tych procesów określa kierunek obrotu wirnika przez sprawdzenie stanu drugiego kanału enkodera. Dla odpowiednich stanów logicznych portów wejściowych ustawiany lub zerowany jest stan sygnał *dir1*. Gdy wirnik obraca się zgodnie z ruchem wskazówek zegara sygnał ten jest w stanie wysokim, dla kierunku przeciwnego w stanie niskim. Znajomość kierunku obrotu wirnika jest istotna do ustalenia wartości na 8 portach wyjściowych z tego modułu. W module *E2_pulser* zaimplementowano cztery procesy różniące się wyłącznie warunkami dotyczącymi aktualnych i poprzednich wartości sygnałów z enkodera.

```

if clk'event and clk = '0' then
  if oldEnkoA = '1' and enkoA = '0' then
    cnt := 1;
    if dir1 = '0' then
      q1DOWN <= '1';
      q1UP <= '0';
    else
      q1UP <= '1';
      q1DOWN <= '0';
    end if;
  elsif cnt = 1 then
    q1DOWN <= '0';
    q1UP <= '0';
  end if;
end if;

```

```

        cnt := 0;
    else null;
    end if;
    oldEnkoA := enkoA;
else
end if;

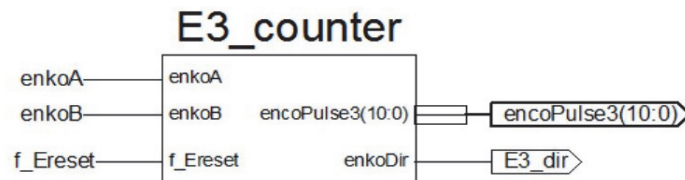
```

Stan portów wyjściowych jest ustalany na zboczu opadającym sygnału taktującego *clk*. Na przykład dla zbocza opadającego sygnału *enkoA*, ustawiany jest odpowiedni stan logiczny na porcie wyjściowym *q1DOWN* i *q1UP*. Dla kierunku określanego przez sygnał *dir1* będący w stanie niskim, wyjście *q1DOWN* jest w stanie wysokim, a dla *q1UP* w stanie niskim. Wartości portów wyjściowych są przeciwne dla wysokiego stanu sygnału *dir1*. Stan wysoki na odpowiednich portach wyjściowych jest utrzymywany przez jeden okres sygnału taktującego *clk*, aby drugi moduł wykrył wygenerowany impuls.

Sygnały z wyjść pierwszego modułu *E2_pulser* przechodzą przez dwie bramki logiczne *OR4* (rys. 3). Do pierwszej bramki podłączono wszystkie sygnały zawierające w swojej nazwie *DOWN*, a do drugiej *UP*. Sygnały wyjściowe z bramki przekazane są do modułu *E2_counter*. Proces zawarty w drugim module zlicza liczbę impulsów doprowadzanych do portu *qDOWN*. Każde zbocze narastające tego sygnału powoduje dekrementowanie licznika. Odpowiednio, w przypadku wystąpienia zbocza narastającego sygnału doprowadzonego do portu *qUP* następuje inkrementacja licznika. Stan licznika ustawiany jest na porcie wyjściowym *encoPulse2*.

4. STRUKTURA WSPÓLBIEŻNA ASYNCHRONICZNA

Kolejnym układem detekcji sygnałów z enkodera jest struktura współbieżna pracująca asynchronicznie. Układy takie są zazwyczaj trudniejsze do opracowania, ale w wielu przypadkach wprowadzają mniejsze opóźnienia, wynikające wyłącznie z czasu propagacji sygnałów przez układ. W tym module struktura realizuje algorytm po każdej zmianie stanu sygnału z enkodera. Moduł nie wykorzystuje sygnału taktującego FPGA. Dzięki tej funkcjonalności moduł reaguje na zmiany stanów sygnałów wejściowych bez opóźnień wynikających z okresu próbkowania sygnału taktującego. Schemat funkcjonalny modułu pokazano na rys. 4.



Rys. 4. Układ o strukturze współbieżnej pracujący asynchronicznie

Układ zawiera dwa porty wejściowe sygnałów z enkodera (*enkaA*, *enkaB*) oraz port kasujący stan licznika po inicjalizacji (*f_Ereset*). Z modułu wyprowadzono 11-bitową magistralę zawierającą aktualny stan licznika położenia wirnika. Moduł określa również kierunek obrotu, który przekazywany jest przez port wyjściowy *E3_dir*. Opis funkcjonalny modułu składa się z 9 procesów, przy czym 8 z nich zawiera warunki detekcji każdego zbocza sygnałów enkodera. Przykładowo dla zbocza narastającego kanału *enkaB* oraz stanu niskiego sygnału *enkaA* proces posiada następującą strukturę:

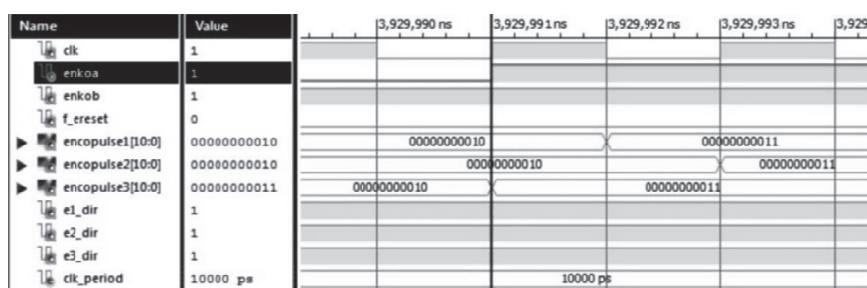
```
if Reset = '1' then Plus(0) <= '0';
elsif rising_edge(enkaB) and (enkaA = '0') then Plus(0) <= '1';
else null;
end if;
```

Wystąpienie na wejściach zdefiniowanego w nim zdarzenia powoduje ustawienie stanu wysokiego na odpowiedniej pozycji bitowej 4-bitowego sygnału *Plus(3:0)* oraz *Minus(3:0)*. Podobnie realizowane są pozostałe procesy. Gdy wykryte zostają zbocza sygnałów w jednym kanale enkodera, sprawdzany jest stan drugiego kanału. Na tej podstawie określany jest kierunek obrotu wirnika. Gdy jest on zgodny z ruchem wskazówek zegara, przypisany do niego bit w *Plus(3:0)* zostaje ustawiony w stan wysoki. Wykrycie ruchu w kierunku przeciwnym powoduje ustawienie bitu w sygnale *Minus(3:0)*. Pozycja bitowa określa, który proces zgłosił wykrycie zdarzenia. Po wystąpieniu zmiany w jednym z omawianych sygnałów ostatni proces inkrementuje bądź dekrementuje stan licznika. Następnie w procesie tym ustawiany jest w stanie wysokim sygnał *Reset* w celu wyzerowania sygnałów *Plus(3:0)* oraz *Minus(3:0)*.

5. BADANIA SYMULACYJNE I EKSPERYMENTALNE

5.1. Symulacja pracy modułów w środowisku ISE Design Suite

W celu porównania wprowadzanych przez opisane moduły opóźnień zostały one umieszczone we wspólnym projekcie. Wyniki pokazano na rys. 5.

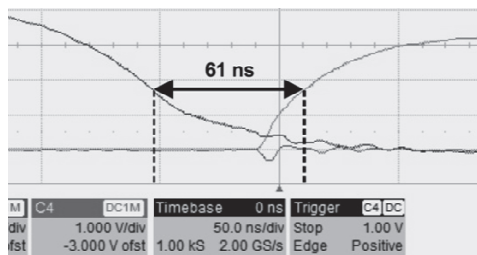


Rys. 5. Wyniki symulacji pracy opracowanych modułów detekcji położenia kąowego wirnika

W lewej części rysunku znajdują się nazwy poszczególnych portów. Sygnał *clk* taktowany jest z częstotliwością 400 MHz. Symulacja uwzględnia tylko opóźnienia powstające w strukturze i nie uwzględnia opóźnień wynikających z rozmieszczenia struktury w układzie FPGA. Stany wejściowe portów przeznaczonych do podłączenia enkodera zostały zasymulowane w pliku *VHDL Test Bench*, w którym sygnał *enkaA* został przesunięty w fazie o 90° względem sygnału *enkaB*. Na przebiegu (rys. 5) zaznaczono pionową linią moment wystąpienia zbocza narastającego w kanale A (sygnał *enkaA*). Po wystąpieniu tego zdarzenia wartości na portach wyjściowych z poszczególnych modułów zostały zwiększone. Najpóźniej wartość licznika zmieniła się w układzie o strukturze współbieżnej synchronizowanej sygnałem *clk*, w którym stan portu wyjściowego *encoPulse2(10:0)* został zmieniony w drugim cyklu zegarowym. Wynika to z tego, że w pierwszym module *E2_pulser* stan portów enkodera jest sprawdzany przy zboczu opadającym zegara taktującego, a w drugim *E2_counter* wartość licznika jest zmieniana przy zboczu narastającym. W przypadku, gdy instrukcje zawarte zostały w jednym procesie stan licznika zostaje ustalony przy każdym zboczu opadające sygnału taktującego. Najlepszy wynik uzyskano dla modułu działającego asynchronicznie, który ustala stan na porcie *encoPulse3(10:0)* bezpośrednio po wystąpieniu dowolnego zbocza w kanale enkodera. Oznacza to, że moduł asynchroniczny ustalający pozycję enkodera wprowadza najmniejsze opóźnienia. Wyniki te dotyczą jednak tylko opracowanych struktur, nie uwzględniając opóźnień wynikających z jej rozmieszczenia w układzie FPGA.

5.2. Pomiar opóźnień na wyjściach układu FPGA

Opracowane moduły zostały zaimplementowano w układzie Artix-7 w module Nexys 4 DDR firmy Digilent. Do układu podłączono enkoder inkrementalny o rozdzielczości 360 imp./obr. o prędkości maksymalnej 12000 obr./min. Pomiarów wykonano oscyloskopem Teledyne WaveSurfer 3054 o paśmie pomiarowym 500 MHz. Pomiarów synchronizowano sygnałem z portu wyjściowego, sterującym zasilaniem jednego pasma silnika. W wyniku przeprowadzonych pomiarów dla modułu o strukturze sekwencyjnej, uzyskano czas opóźnienia sygnału wyjściowego w stosunku do zbocza sygnału z enkodera na poziomie 68 ns. W przypadku modułu o strukturze współbieżnej synchronizowanego zegarem systemowym czas ten wynosił 78 ns. Dla układu o strukturze współbieżnej działającego asynchronicznie uzyskano najmniejsze opóźnienie 61 ns. Przebiegi sygnałów uzyskane w tym układzie pokazano na rys. 6. W związku z tym, że układ FPGA działa w standardzie 3,3 V opóźnienie wyznaczono na poziomie 1,65 V. Na rys. 6 pokazano wynik pomiaru w układzie z modułem o strukturze współbieżnej działającym asynchronicznie.



Rys. 6. Przebiegi sygnałów w sterowniku z modułem współbieżnym pracującym asynchronicznie

6. PODSUMOWANIE

Uzyskane wyniki pozwalają stwierdzić, że najmniejsze opóźnienia w układzie wprowadza układ o strukturze współbieżnej działający asynchronicznie. Typowy czas przełączania tranzystora wynosi około 600 ns. Załączenie pasma nastąpiło z opóźnieniem około 61 ns po wstąpieniu zbocza sygnału z enkodera, więc jest na poziomie 10% czasu trwania zbocza tranzystora wykonawczego. Badania nie obejmowały optymalizacji rozmieszczenia modułu w układzie FPGA. Porównując wyniki pomiarów z wynikami uzyskanymi z symulacji możliwe jest, że w przyszłości uda się opóźnienia te ograniczyć poprzez optymalizację przyporządkowania portów modułu sterownika do wyprowadzeń układu FPGA, szczególnie w przypadku modułu działającego asynchronicznie. W sterownikach wysokoobrotowych silników SRM opóźnienia wprowadzane przez układ mają bardzo duże znaczenie. Napędy takie stosowane są między innymi w odkurzacach w celu ograniczenia hałasu. W odróżnieniu od mikrokontrolerów wykorzystanie układów FPGA pozwala na współbieżną realizację algorytmów korzystających z wspólnych zasobów, dzięki czemu rozbudowa sterownika o nowe funkcjonalności nie wpływa w sposób istotny na prędkość jego działania. Opracowanie sterownika sprzętowego bazującego na układzie FPGA jest jednak znacznie bardziej skomplikowane niż realizacja układu bazującego na mikroprocesorach.

BIBLIOGRAFIA

- [1] Gong C., Li S., Thomas H., Jose R., Brian S., Direct Position Control for Ultrahigh-Speed Switched-Reluctance Machines Based on Low-Cost Nonintrusive Reflective Sensors, *IEEE*, 30 August 2018.
- [2] A. Stumpf, D. Elton, J. Devlin, H. Lovatt, Benefits of an FPGA based SRM controller, 9th IEEE Conference on Industrial Electronics and Applications, Hangzhou, 2014, pp. 12–17.
- [3] Pilecki M., Korkosz M., System sterowania silnika SRM z zastosowaniem układu FPGA, *Maszyny Elektryczne*, 2018, Nr 3 (119), pp. 11–15.

- [4] Uysal A., Bayir R., Real-time condition monitoring and fault diagnosis in switched reluctance motors with Kohonen neural network, *Journal of Zhejiang University – Science C*, 2013, Nr 14(12), pp. 941–952.
- [5] MILLER T. J. E., *Switched reluctance motors and their control*, Magna Physics, Oxford 1993.
- [6] RATAJ D., SLAWIK D., WRÓBEL K., TOMCZEWSKI K., Sterownik FPGA do badań napędów z przełączalnymi silnikami reluktancyjnymi, *Przegląd elektrotechniczny*, 2018, R.94 Nr 12/2018, pp. 234–237.

THE METHOD OF DETECTION OF SIGNALS FROM AN INCREMENTAL ENCODER FOR DELAYS IN DETERMINING THE RANGE OF POWER SUPPLY FOR SWITCHED RELUCTANCE MOTOR PHASES

The article discusses three ways of implementing the rotor angular position determination module for a switched reluctance motor using an incremental encoder. The detection module was implemented in the form of a specialized logic structure implemented in the FPGA programmable system. The first one has been implemented in the form of a single process, in which the detection of signal state changes is carried out sequentially. Subsequent structures were divided into several instructions operating concurrently. The second structure uses both encoder pulse edges to synchronize the system. The third structure works based on the detection of the edge of the encoder signals. The implemented structures were examined in terms of speed and delays. Obtaining slight delays in the process of determining the angular position of the rotor and ranges of power supply of motor phases is necessary to ensure proper control conditions of the drive in the high-speed range.

(Received: 27.01.2019, revised: 05.03.2019)