

Paweł Poczekajło

Wydział Elektroniki i Informatyki

Politechnika Koszalińska

ul. JJ Śniadeckich 2, 75-453 Koszalin

Platforma testowa dla prototypowych systemów CPS na bazie wybranego zestawu rozwojowego

Słowa kluczowe: CPS, platforma testowa, FPGA, płytki rozwojowa

1. Wstęp

Ogólna cyfryzacja sprawiła, że obecnie spotyka się niemal wyłącznie sygnały i dane cyfrowe, dlatego systemy CPS, są jedną z najbardziej rozwijanych gałęzi elektroniki i informatyki [1]. Rozwój techniki wymusił również odpowiedni rozwój metod CPS, które powinny być nie tylko coraz dokładniejsze, ale również obciążone coraz mniejszą złożonością obliczeniową. Jednocześnie, systemy takie przetwarzają coraz więcej danych. Powszechnie spotyka się już nie tylko sygnały 1D (np. dźwięk) czy 2D (np. obraz statyczny), ale również 3D (np. ultrasonografia) i 4D (np. USG medyczne i tomografia komputerowa w czasie) [2-4]. Prowadzone dotychczas prace naukowe, dotyczą specyficznej grupy systemów, dlatego też nie ma gotowych układów (platform) testowych do takich zastosowań. Początkowe badania projektowe oraz synteza przy wykorzystaniu oryginalnych metod, pozwalają otrzymać system CPS, o ściśle określonych parametrach działania [5]. Kolejnym etapem jest przeprowadzenie prac i analiz implementacyjnych przy wykorzystaniu określonej platformy sprzętowej. Prezentowany artykuł dotyczy opracowania dedykowanej platformy testowej dla prototypowych systemów CPS przetwarzających dane w sposób potokowy [6].

2. Główne założenia i zastosowanie

Większość literatury naukowej dotyczącej implementacji i testowania systemów CPS, opiera się na wykorzystaniu układów FPGA [7, 8], które mogą wykonywać równolegle wiele niezależnych procesów, co pozwala na znacznie szybsze przeprowadzanie niezbędnych obliczeń. Jedynym warunkiem jest ich odpowiednia organizacja. Również przy przetwarzaniu potokowym, procesory FPGA, ze względu na sposób działania, są najlepszym układem bazowym do przeprowadzania testów

implementacyjnych oraz jako docelowy układ uruchomieniowy dla danego systemu CPS. Ponieważ wymagana była pewna uniwersalność platformy testowej, zdecydowano się na wykorzystanie gotowej płytki rozwojowej, która poza procesorem najczęściej posiada wiele peryferii ułatwiających uruchomienie różnych projektów. Ponadto, gotowa płytkę pozwala na znaczną oszczędność czasu, możemy pominąć etapy projektowania schematu i płytki PCB oraz montażu całego zestawu. Warto zaznaczyć, że w przypadku procesorów FPGA, montaż (lutowanie) może być dość uciążliwy, ze względu na obudowy jakie stosuje się przy tego typu układach. Najczęściej jest to BGA (np. Stratix V, Cyclone V), czasem stosuje się również obudowy typu QFP dla mniejszych i słabszych układów (np. niektóre Max V).

2.1. Wymagane parametry procesora FPGA

Ponieważ wybrana płytkę prototypowa będzie stosowana jako platforma testowa dla systemów CPS, wymagane jest spełnienie poniższych wymogów technicznych procesora:

- procesor typu FPGA (lub ewentualnie CPLD),
- częstotliwość taktowania procesora 50 MHz lub więcej,
- wbudowane elementy dedykowane dla systemów CPS (np. sprzętowe bloki DSP i mnożniki),
- możliwość implementacji, co najmniej 80 tys. elementów (bramek) logicznych,
- wbudowana obsługa PLL.

2.2. Wymagane peryferia płytki uruchomieniowej

Ze względów użytkowych konieczne jest również, aby płytkę zawierała wbudowane peryferia ułatwiające użytkowanie jako platforma testowa:

- zewnętrzna pamięć typu DDR RAM o pojemności min. 512 MB,
- wbudowany programator lub Bootloader,
- komunikacja z komputerem (np. przez USB lub Ethernet),
- dowolnie programowalne przyciski - min. 4 szt,
- dowolnie programowalny wyświetlacz lub diody sygnalizacyjne,
- w razie potrzeby możliwość rozbudowy układu.

3. Wybrany układ bazowy

Jako podstawa całego układu, wybrana została płytkę rozwojowa firmy TerasIC [9], która jest jednym z liderów na rynku układów prototypowych dla procesorów FPGA. Zastosowano platformę TerasIC SoCKit (rys. 1) z procesorem Cyclone V SX SoC firmy Altera [10] o oznaczeniu 5CSXFC6D6F31C8NES.

Główne parametry procesora przedstawiono w tabeli 1, natomiast specyfikacja płytki rozwojowej zaprezentowana jest w tabeli 2. Atutem wybranego procesora, jest również to, że ma on w rzeczywistości wbudowane dwa układy scalone, pierwszy to procesor FPGA, natomiast drugi to dwurdzeniowy ARM Cortex-A9 (oznaczony w dokumentacji jako HPS). Układ umożliwia niemal dowolną współpracę między procesorami przy wykorzystaniu narzędzi programowych dostarczonych przez producenta.

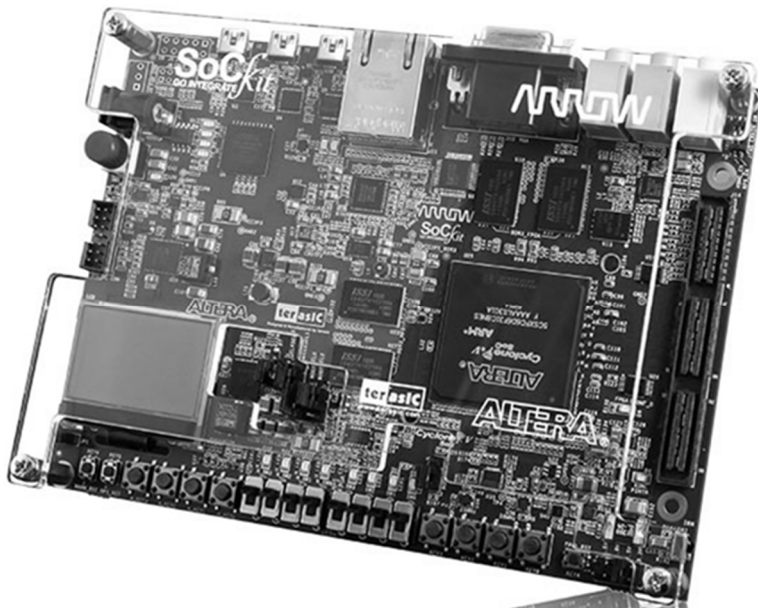
Dodatkową zaletą jest darmowe oprogramowanie Quartus II Web Edition dostarczone przez firmę Altera. Wraz ze środowiskiem programistycznym, producent udostępnia podstawowy zestaw bibliotek, które umożliwiają w łatwy i prosty sposób wykorzystywać peryferia zestawu (np. pamięć SDRAM, komunikacja USB z PC). Dużym atutem jest również wsparcie techniczne (zarówno ze strony producenta płytki jak i procesora), które zapewnia dużą ilość przykładów i dodatkowych instrukcji oraz dobrze opracowane noty katalogowe i techniczne wszystkich elementów.

Tabela 1. Parametry procesora FPGA w układzie 5CSXFC6D6F31C8NES

<i>Lp.</i>	<i>Parametr</i>	<i>Wartość</i>
1	Maksymalna częstotliwość pracy	800 MHz
2	Ilość bramek logicznych (LEs)	110 000
3	Ilość bloków pamięci M10K	5 140
4	Ilość zmiennoprzecinkowych bloków DSP	112
5	Ilość mnożników 18bit × 19bit	224
6	Ilość wbudowanych pętli PLL	6
7	Ilość ALMs (Adaptive Logic Modules)	41 509
8	Ilość wejść/wyjść	288
9	Napięcie pracy	1,1 V
10	Temperatura pracy	0 – 85°C
11	Typ obudowy	FBGA-896

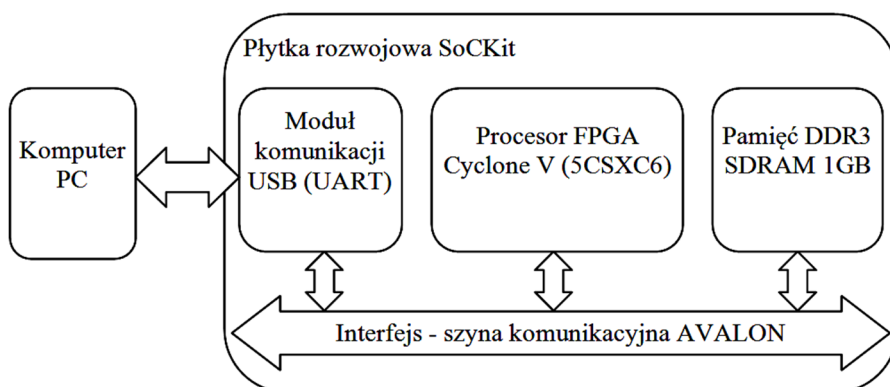
Tabela 2. Specyfikacja płytki rozwojowej SoCKit

<i>Lp.</i>	<i>Parametr</i>	<i>Wartość</i>
1	Pamięć dostępna dla FPGA	1GB (2x256MBx16) DDR3 SDRAM, EPCQ256 Flash
2	Pamięć dostępna dla HPS	1GB (2x256MBx16) DDR3 SDRAM, 128MB QSPI Flash, Micro SD Card Socket
3	Przyciski i diody dla FPGA	przyciski monostabilne x4, przyciski bistabilne x4, diody LED x4
4	Przyciski i diody dla HPS	przyciski monostabilne x4, przyciski bistabilne x4, diody LED x4
5	Programowanie	wbudowany programator USB Blaster II
6	Komunikacja	USB 2.0 OTG, USB (UART), 10/100/1000 Ethernet
7	Zasilanie	12VDC
8	Pozostałe	złącze VGA, LCD 128x64 pikseli, złącze HSMC umożliwiające podłączenie dodatkowych modułów, czujnik przyśpieszenia (akcelerometr) - tylko HPS, czujnik temperatury - FPGA, wbudowany 24-bitowy przetwornik audio

**Rys. 1.** Płytki rozwojowa SoCKit firmy TerasIC

4. Projekt platformy testowej

Wykonanie w pełni funkcjonalnej platformy testowej dla systemu CPS, wymaga zastosowania, co najmniej kilku elementów (m.in. procesor przetwarzający dane, pamięć magazynująca dane, magistrala komunikacyjna) oraz odpowiedniego oprogramowania tych elementów. Na rysunku 2 przedstawiony został schemat na którym zaznaczono poszczególne komponenty platformy testowej.



Rys. 2. Schemat blokowy platformy testowej dla systemów CPS

Najważniejszym elementem, jest oczywiście procesor, w którym zaimplementowano określony system CPS. Pamięć SDRAM odpowiada za podawanie próbek wejściowych oraz gromadzenie próbek wyjściowych z procesora (po przetworzeniu). Natomiast moduł komunikacji USB umożliwia zapisywanie danych wejściowych i odczyt danych wyjściowych (dostępnych w pamięci). Całość jest spięta przez szynę komunikacyjną Avalon [11], która zapewnia niemal dowolną komunikację pomiędzy poszczególnymi modułami platformy (w tym również komunikacją z poziomym komputera PC).

Przy oprogramowaniu płytki rozwojowej i obsłudze magistrali Avalon zastosowano „podprogram” Qsys, który jest elementem środowiska Quartus. Qsys umożliwia zintegrowanie w FPGA kompletnego systemu składającego się z wielu różnych elementów (sprzętowych i programowych). Przesyłanie danych do pamięci oraz ich odczyt z poziomu komputera odbywa się przy pomocy konsoli systemu Qsys (ang. „System console”), która obsługuje komendy oraz większość procedur języka skryptowego TCL. Jest to bardzo duże ułatwienie, ponieważ umożliwiło przygotowanie i napisanie kompletnych funkcji do pełnej obsługi danych (włącznie z obsługą plików na komputerze). Dalsze prace z przetworzonym sygnałem (m.in. analiza matematyczna, obliczanie dokładności i błędów) mogą odbywać się już na komputerze PC z wykorzystaniem dedykowanych środowisk obliczeniowych (np. Scilab [12]).

5. Podsumowanie i możliwości rozwoju

Przedstawiony projekt dedykowanej platformy testowej dla wybranych systemów CPS został wykonany, zweryfikowany i przetestowany z zaimplementowanym układem potokowej realizacji filtru Gaussa w oparciu o struktury rotatorowe [6], planowane są dalsze publikacje naukowe z dokładnymi wynikami wdrażania kolejnych systemów CPS. Platforma w pełni realizuje założenia projektu, a największym atutem jest możliwość zdalnej (z poziomu komputera) obsługi pamięci, co znacznie przyspiesza cały proces i pozwala w krótkim czasie przetworzyć duże ilości danych (sygnałów).

Dodatkowe peryferia płytki rozwojowej, dają możliwość dalszej rozbudowy całego systemu. Uniwersalność zestawu SoCKit, pozwala na łatwe implementowanie nie tylko platform testowych CPS, ale również ewentualne uruchomienie systemów wizualizacji oraz kontroli przetwarzanych sygnałów. W przyszłości planowana jest implementacja kolejnych systemów CPS, oraz rozbudowa platformy pozwalająca na uruchomienie bardziej złożonych układów (w tym wykorzystanie procesora ARM Cortex-A9).

Bibliografia

1. T. P. Zieliński.: *Cyfrowe przetwarzanie sygnałów: od teorii do zastosowań*, ISBN 978-83-206-1640-8, Wydawnictwa Komunikacji i Łączności, Wyd. 2 popr, Warszawa 2007.
2. G. I. Raho, A. J. Dawood, M. S. Al-Ani: *Real Time Fast Algorithm of 2D DWT Based DSP Technology*, IJAIEM, Vol. 2, Issue 10, October 2013.
3. J. Kim, S. Lee, H.-Y. Sohn: *A Multi-DSP Approach for Ultrasound Echo Processing*, IFMBE Proceedings, Vol 14 (2006), 1551-1553.
4. C. Thomas, P. DeVries, J. Hardin, J. White, „*Four-Dimensional Imaging: Computer Visualization of 3D Movements in Living Specimens*”, Science, Vol. 273, No. 5275 (1996), str. 603-607.
5. P. Poczekajło, R. T. Wirski: *Synteza separowalnych trójwymiarowych filtrów ortogonalnych o strukturze potokowej*, Przegląd Elektrotechniczny, 89 (2013), nr.10, str. 150-152.
6. K. Wawryn, P. Poczekajło, R. Wirski: *FPGA implementation of 3-D separable Gauss filter using pipeline rotation structures*, Mixed Design of Integrated Circuits & Systems (MIXDES) 2015, 22nd International Conference, Toruń 2015, str. 589-594.

7. B. Zamanlooy, V. H. Vaghef, S. Mirzakuchaki, A. S. Bakhtiari, R. E. Atani: *A Real Time Infrared Imaging System Based on DSP & FPGA*, Advances in Image and Video Technology, Vol. 4872 (2007), str. 16-23.
8. J. McAllister: *FPGA-based DSP*, Handbook of Signal Processing Systems (2010), str. 363-392.
9. Terasic [online], <http://www.terasic.com.tw/en/>, data dostępu: 18.04.2016r.
10. Altera [online], <https://www.altera.com/>, data dostępu: 18.04.2016r.
11. Avalon Interface Specifications [online], https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/manual/mnl_avalon_spec.pdf, data dostępu: 18.04.2016r.
12. Scilab [online], <http://www.scilab.org/>, data dostępu: 18.04.2016r.

Streszczenie

Artykuł przedstawia projekt platformy testowej dla wybranych systemów cyfrowego przetwarzania sygnałów (CPS). Układ jest podstawą do realizacji dalszych prac naukowych nad implementacją i badaniem dedykowanych metod i systemów CPS. Opisane zostały minimalne wymagania sprzętowe i peryferia niezbędne do realizacji zadania oraz zaproponowano gotowy zestaw uruchomieniowy (rozwojowy) firmy TerasIC jako podstawę platformy. Zaprezentowany został również schemat blokowy układu testowego z pełnym dostępem do danych wejściowych i wyjściowych z poziomu komputera. Ostatecznie działanie platformy zostało zweryfikowane przy implementacji potokowego systemu CPS.

Abstract

In this paper presents design of the test platform for selected digital signal processing systems (DSP). The system is basis to realization of further scientific work on implementation and testing of dedicated DSP methods and systems. Describes the minimum of hardware and peripherals, necessary to realization of the task and is proposed development board (kit) by TerasIC as a base platform. It is also presented schema of software solutions of test system with full access to input and output data (signal) from the computer. Finally, work of the platform has been verified with implementation original methods of pipeline DSP system.

Keywords: DSP, test platform, FPGA, development board