



Synchronizacja sygnałów w interpolacyjnych licznikach czasu

RYSZARD SZPLET

Wojskowa Akademia Techniczna, Wydział Elektroniki, Instytut Telekomunikacji,
00-908 Warszawa, ul. S. Kaliskiego 2

Streszczenie. W artykule opisano wyniki analizy synchronizacji sygnałów, realizowanej w precyzyjnych licznikach czasu. W szczególności analiza dotyczy licznika czasu z interpolacją dwustopniową, czterofazowym zegarem o częstotliwości 250 MHz w pierwszym stopniu interpolacji, zrealizowanego w układzie programowalnym FPGA. Analizie poddano trzy układy synchronizacji stosowane w pierwszym stopniu interpolacji dwustopniowych konwerterów czasowo-cyfrowych oraz pięć synchronizatorów licznika okresów. Jako główne kryteria oceny układów użyto maksymalną częstotliwość działania, średni czas między błędami oraz łatwość wykonania w układzie programowalnym.

Słowa kluczowe: metrologia czasu, interpolacyjny licznik czasu, układy synchronizacji, efekt metastabilności

Symbole UKD: 531.76

1. Wstęp

W precyzyjnych licznikach czasu w celu uzyskania wysokiej rozdzielczości i szerokiego zakresu pomiarowego stosowana jest interpolacyjna metoda Nutta [1]. W metodzie tej wykorzystywany jest licznik cyfrowy oraz dwa wysokorozdzielcze interpolatory. Licznik, którego zadaniem jest zapewnienie szerokiego zakresu pomiarowego, zlicza okresy sygnału zegara referencyjnego, pojawiające się na jego wejściu w czasie trwania mierzonego odcinka czasu. Zakres pomiarowy jest więc proporcjonalny do pojemności licznika i w łatwy sposób może być poszerzany, osiągając wartości dziesiątek minut a nawet godzin. Jednak rozdzielczość pomiaru, jaką zapewnia licznik, jest stosunkowo niewielka, gdyż równa okresowi zegara referencyjnego. W celu jej podwyższenia stosuje się interpolatory, które umożliwiają precyzyjne określenie

wartości krótkich odcinków czasu pomiędzy początkiem i końcem mierzonego odcinka a najbliższymi zboczami sygnału zegarowego. Rozdzielczość interpolatorów zależy od zastosowanej metody konwersji i w najlepszych licznikach realizowanych jako układy scalone wynosi obecnie kilkanaście pikosekund [2]. Ponieważ sygnały oznaczające początek i koniec mierzonego odcinka czasu, pojawiają się na wejściu licznika asynchronicznie względem zegara referencyjnego, więc zarówno w liczniku jak i interpolatorach może dochodzić do występowania stanów metastabilnych podczas konwersji. To z kolei prowadzi do znacznych błędów pomiarowych. W celu zminimalizowania prawdopodobieństwa zajścia takich zdarzeń w obydwu układach stosowane są synchronizatory.

W publikacjach poruszających problem synchronizacji w licznikach czasu [3-8] analiza działania proponowanych układów nie uwzględnia opóźnień wnoszonych przez ścieżki połączeniowe w układach scalonych. W układach specjalizowanych ASIC (*Application Specific Integrated Circuit*) połączenia między elementami układu nie zawierają elementów dodatkowo opóźniających transmitowany sygnał, takich jak łączniki programowalne w układach FPGA (*Field Programmable Gate Array*). Ponadto układy ASIC stwarzają na ogół możliwość swobodnego lokowania elementów projektowanego układu. Z powyższych względów ścieżki połączeniowe w układach ASIC są zwykle krótsze i charakteryzują się krótszymi czasami propagacji niż w układach FPGA. W tych drugich opóźnienia połączeń są często porównywalne z opóźnieniami prostych bramek logicznych i zaniebdywanie ich przy analizie układu, zwłaszcza działającego z wysoką częstotliwością (powyżej 200 MHz), może prowadzić do błędnych wyników.

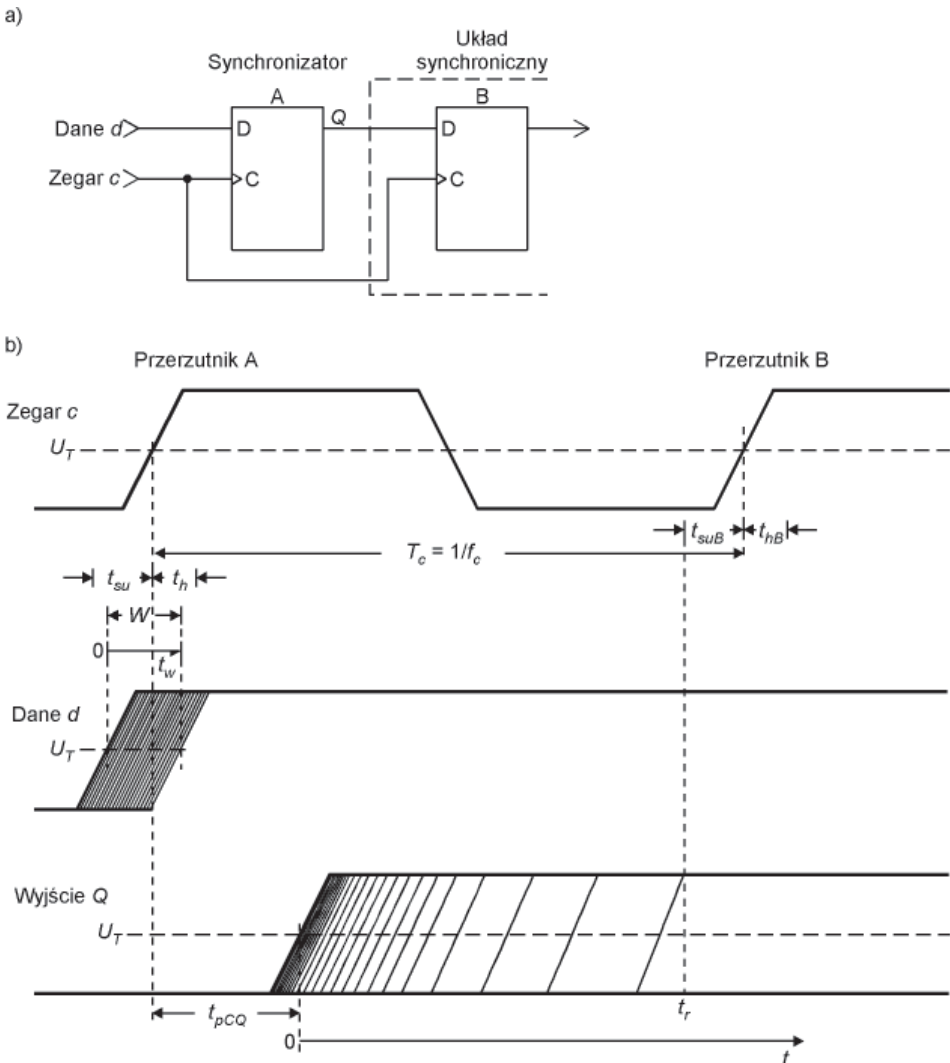
Artykuł niniejszy zawiera wyniki analizy znanych i nowych układów synchronizacji, przeprowadzonej z uwzględnieniem parametrów typowych dla współczesnych technologii programowalnych matryc bramkowych. Do analizy wybrano parametry czasowe i metastabilnościowe układu Spartan-3 firmy *Xilinx*. Wartości parametrów metastabilnościowych określone zostały eksperymentalnie. Aby porównanie analizowanych rozwiązań było możliwe, układy synchronizatorów zostały dostosowane do działania w tym samym liczniku czasu tj. liczniku z interpolacją dwustopniową i czterofazowym zegarem w pierwszym stopniu interpolacji (1STI). Analizie poddano trzy układy synchronizacji w pierwszym stopniu interpolacji i pięć synchronizatorów licznika okresów.

2. Synchronizacja w interpolatorach

2.1. Pojedynczy przerzutnik D jako synchronizator

Prostym układem używanym do synchronizowania sygnałów oznaczających początek (START) i koniec (STOP) mierzonego odcinka czasu z sygnałem zegarowym jest pojedynczy przerzutnik D. Jeśli zmiana stanu sygnału START (STOP)

na wejściu danych przerzutnika zachodzi w obrębie okna czasowego, będącego sumą czasów ustalenia t_{SU} i podtrzymania t_H , to w przerzutniku może wystąpić stan metastabilny, który spowoduje wydłużenie czasu propagacji przerzutnika albo ustawienie się przypadkowego stanu końcowego (rys. 1) [9]. Wszechstronna analiza zjawiska metastabilności w przerzutnikach oraz metody pomiaru parametrów metastabilnościowych w układach programowalnych zawarte są w publikacjach [9, 10]. Opisana w [10] metodyka badań oraz podane tam zależności zastosowane



Rys. 1. Synchronizacja z użyciem przerzutnika D (a) oraz przebiegi czasowe po pojawieniu się efektu metastabilności (b) [9]

zostały w niniejszej analizie układów synchronizacji z uwzględnieniem typowego dla liczników czasu założenia, że aktywne jest jedno zbocze sygnału wejściowego. Zarówno wydłużenie czasu propagacji, jak i ustawienie się przypadkowego stanu końcowego przerzutnika są dla licznika czasu niekorzystne, gdyż obniżają jego dokładność. Częstość f_{MS} pojawiania się stanów metastabilnych na wyjściu pojedynczego przerzutnika zależy głównie od częstotliwości sygnału zegarowego f_C i częstości f_{ST} sygnału wejściowego START.

$$f_{MS} = f_{ST} f_C W, \quad (1)$$

gdzie W jest parametrem metastabilnościowym, mającym sens wąskiego okna czasowego (zwykle $W < t_{SU} + t_H$) wokół aktywnego zbocza sygnału zegarowego. Przerzutnik D jako synchronizator użyty został m.in. w licznikach czasu, zrealizowanych w układach pASIC1 [11] i pASIC 2 [12] firmy *QuickLogic*. W drugim z wymienionych układów zaobserwowano pojawianie się zjawiska metastabilności. Prawdopodobieństwo zajścia takich zachowań było jednak małe (0,0005) ze względu na stosunkowo niską częstość sygnału wejściowego (pojedyncze kHz) oraz małą wartość parametru W (29,4 ps).

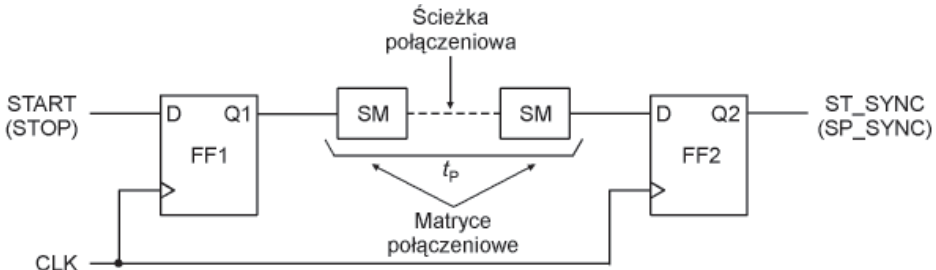
W najnowszych licznikach czasu wraz z użyciem metody interpolacji dwustopniowej skrócony został czas martwy liczników, dzięki czemu mogła wzrosnąć maksymalna częstość sygnałów wejściowych. Ponadto, obecnie stosuje się sygnały zegarowe o wyższych częstotliwościach. Powoduje to znaczny, na ogół nieakceptowalny, wzrost częstości pojawiania się stanów metastabilnych na wyjściu przerzutnika D. Na przykład, w najnowszym scalonym liczniku czasu, opracowanym w Zakładzie Techniki Cyfrowej WEL WAT [13, 14], w którym użyto sygnału zegarowego o częstotliwości $f_C = 250$ MHz, a pomiary powtarzano z częstotliwością $f_{ST} = 5$ MHz, częstość występowania stanów metastabilnych na wyjściu przerzutnika wyniosła 80,75 kHz. Przyjętą do obliczeń wartość $W = 64,6$ ps określono na podstawie testów, które opisane zostaną dalej. Użyta częstość stanów metastabilnych (80,75 kHz) oznacza, że dla częstotliwości powtarzania pomiarów f_{ST} równej 5 MHz co około 62 pomiar byłby obarczony błędem spowodowanym zjawiskiem metastabilności.

2.2. Synchronizator podwójny

Dążąc do znacznego ograniczenia wpływu efektu metastabilności na wyniki pomiarów odcinków czasu do synchronizacji sygnałów wejściowych w licznikach czasu często wykorzystuje się synchronizator podwójny (rys. 2). Częstość pojawiania się stanów metastabilnych na wyjściu takiego synchronizatora wynosi [10]:

$$f_{MD} = f_{ST} f_C W e^{-t_R/\tau} \quad (2)$$

gdzie: $t_R = 1/f_C - t_{CQ} - t_{SU}$ — czas rozdzielczy;
 t_{CQ} — czas propagacji przerzutnika od wejścia zegarowego do wyjścia;
 t_{SU} — czas ustalenia;
 τ — stała zaniku efektu metastabilności.



Rys. 2. Synchronizator podwójny

Najczęściej do oceny zjawiska metastabilności stosuje się średni czas między błędami MTBF (ang. *Mean Time Between Failures*) określany jako odwrotność częstości f_{MD}

$$MTBF = e^{t_R/\tau} / (f_{ST} f_C W). \quad (3)$$

Obliczenie wartości tego parametru dla synchronizatora podwójnego zrealizowanego w układzie programowalnym Spartan-3 jest możliwe po określeniu parametrów metastabilnościowych τ i W dla tego układu. W tym celu użyty został detektor opóźnionego przejścia [10], który umożliwia wykrywanie zdarzeń metastabilnych osobno dla każdego ze zbroczy sygnału danych. Otrzymane w wyniku testu zależności $MTBF_{LH}$ i $MTBF_{HL}$ od wartości czasu rozdzielczego t_R pokazane są na rysunku 3. Ponieważ w układzie licznika czasu, dla którego analiza jest prowadzona, wykorzystywane są tylko narastające zbrocza sygnałów START (STOP) i zegara, więc dalsze obliczenia przeprowadzono dla zmiany L \rightarrow H stanu tych sygnałów. Dane z charakterystyki $MTBF_{LH}(t_R)$ wykorzystane zostały do obliczenia kolejno:

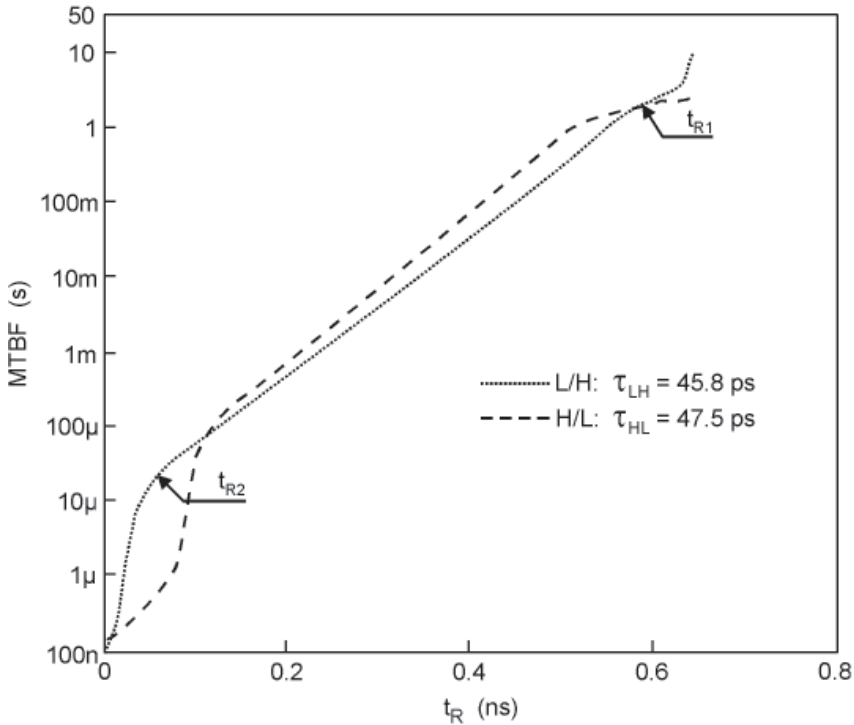
— wartości τ

$$\tau = (t_{R1} - t_{R2}) / \ln (f_{C1} MTBF_1 / f_{C2} MTBF_2), \quad (4)$$

gdzie t_{R1} i t_{R2} oraz $MTBF_1$ i $MTBF_2$, to czasy rozdzielcze i średnie czasy między błędami, odpowiadające częstotliwościom f_{C1} i f_{C2} sygnału zegarowego;

— wartości W

$$W = e^{t_{R1}/\tau} / (f_{ST} f_{C1} MTBF_1). \quad (5)$$



Rys. 3. Charakterystyki MTBF dla zmian L/H i H/L na wyjściu przerzutnika D w układzie Spartan-3 (Xilinx)

Dla przyjętych w teście wartości: $f_{C1} = 148,5 \times 10^6$ Hz, $t_{R1} = 5,87 \times 10^{-10}$ s, $MTBF_1 = 2,04$ s i $f_{C2} = 161 \times 10^6$ Hz, $t_{R2} = 6,49 \times 10^{-11}$ s, $MTBF_2 = 2,05 \times 10^{-5}$ s otrzymano $\tau = 4,58 \times 10^{-11}$ s oraz $W = 6,46 \times 10^{-11}$ s.

W celu określenia maksymalnej częstotliwości (f_{Cmax}) poprawnego działania synchronizatora podwójnego, zrealizowanego w matrycy programowalnej Spartan-3 przyjęto, że minimalny odstęp pomiędzy błędnymi pomiarami spowodowanymi efektem metastabilności w tym synchronizatorze powinien być nie krótszy niż 10 lat. Przewiduje się bowiem, że w związku z szybkim starzeniem się technologicznym układów scalonych czas eksploatacji licznika czasu wykonanego w takim układzie nie będzie dłuższy. Wartość czasu rozdzielczego t_{Rmin} synchronizatora dla założonej wartości $MTBF = 10$ lat ($3,16 \times 10^8$ s) obliczona została po przekształceniu zależności (3)

$$t_{Rmin} = \tau \ln (MTBF f_{ST} f_C W). \quad (6)$$

Dla obliczonego $\tau = 4,58 \times 10^{-11}$ s i przyjętych wcześniej wartości: $f_{ST} = 5 \times 10^6$ Hz, $f_C = 250 \times 10^6$ Hz, $W = 6,46 \times 10^{-11}$ s i $MTBF = 3,16 \times 10^8$ s otrzymano

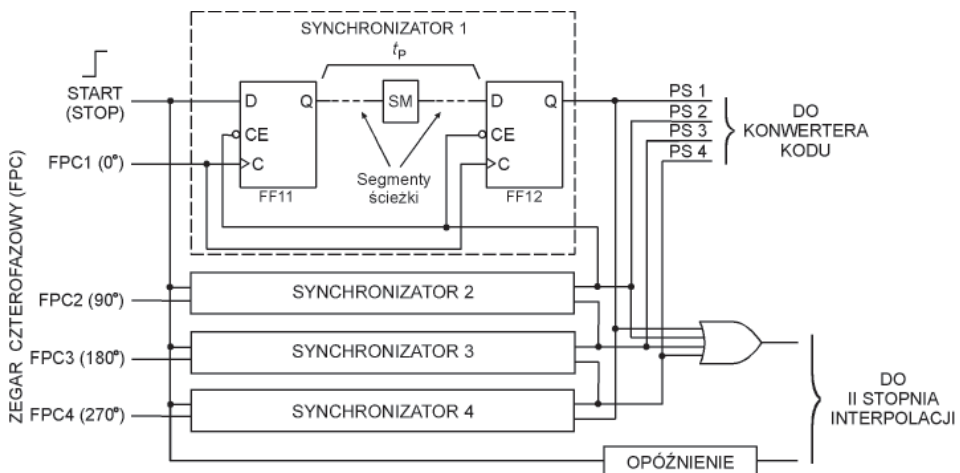
$t_{Rmin} = 1,41 \times 10^{-9}$ s. Biorąc pod uwagę, że typowy czas opóźnienia t_p (rys. 2) połączenia pomiędzy przerzutnikami synchronizatora, umieszczonymi w jednym plastrze (*Slice*) układu Spartan-3 wynosi $0,5 \times 10^{-9}$ s można określić maksymalną częstotliwość f_{Cmax} działania układu, dla której zapewnione jest jeszcze MTBF = 10 lat.

$$f_{Cmax} = 1/(t_{Rmin} + t_{CQ} + t_p + t_{SU}) = 367 \times 10^6 \text{ Hz.} \quad (7)$$

Otrzymana wartość maksymalnej częstotliwości działania synchronizatora jest więc o 46,8% wyższa od przyjętej jako nominalna dla licznika ($f_C = 250$ MHz).

W mniej korzystnym projekcie topograficznym synchronizatora, kiedy przerzutniki FF1 i FF2 rozmieszczone są w różnych blokach logicznych CLB (*Configurable Logic Block*) układu FPGA, maksymalny czas opóźnienia t_p połączenia pomiędzy przerzutnikami może wydłużyć się do ok. $1,5 \times 10^{-9}$ s. Wówczas maksymalna częstotliwość działania synchronizatora jest niższa niż w przypadku poprzednim i wynosi 268×10^6 Hz. Ponieważ otrzymana wartość częstotliwości jest wciąż wyższa od częstotliwości nominalnej zegara w układzie licznika (250 MHz), więc synchronizator podwójny daje projektantowi dużą swobodę w projektowaniu topograficznym. Nie wymaga bowiem precyzyjnego lokowania elementów układu i manualnego wytyczania ścieżek połączeniowych.

Dla rozważanego licznika z interpolacją dwustopniową i czterofazowym zegarem w pierwszym stopniu interpolacji należy użyć czterech synchronizatorów podwójnych, z których każdy synchronizuje sygnał wejściowy START (STOP) z inną z faz. Proponowana budowa układu synchronizatora z użyciem zasobów logicznych układu Spartan-3 jest pokazana na rysunku 4 [14].



Rys. 4. Układ synchronizatorów podwójnych w pierwszym stopniu interpolacji z zegarem czterofazowym zrealizowany w układzie Spartan-3 (*Xilinx*)

2.3. Synchronizator z rejestrem (I)

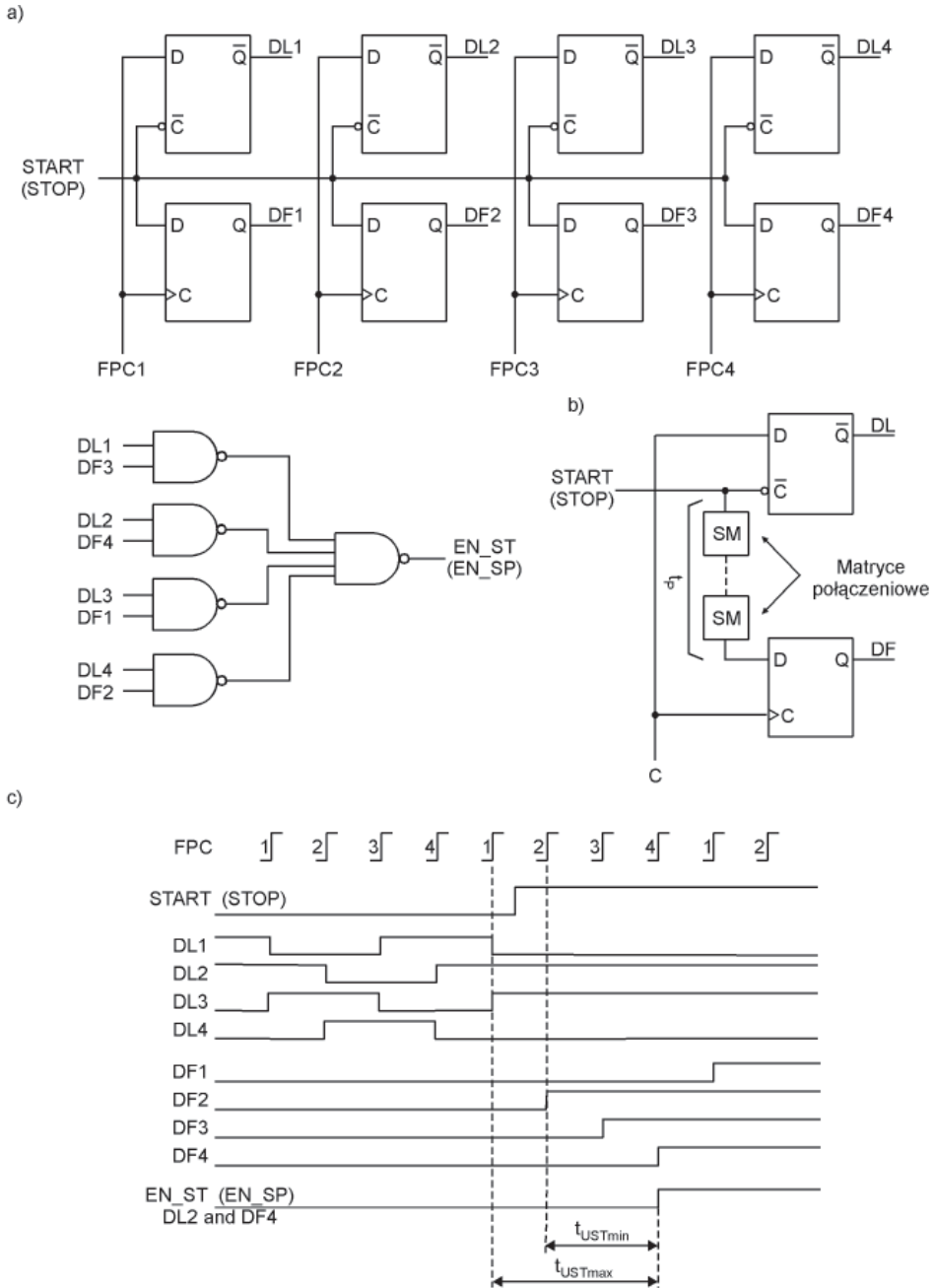
Inny układ synchronizatora sygnału wejściowego zaproponowano w [3]. Układ jest przystosowany do działania z zegarem szesnastofazowym, więc na potrzeby prowadzonej analizy został ograniczony w celu dostosowania do współpracy z zegarem czterofazowym (rys. 5a). Nie wpływa to na ważność wyników analizy. Użyty w układzie synchronizatora rejestr złożony z zatrząsków DL1-DL4 zapamiętuje stan zegara czterofazowego w momencie pojawienia się narastającego zbocza sygnału START (STOP). Znając zgrubne położenie ($\pm 1/8f_C$) sygnału wejściowego względem zegara czterofazowego można wskazać fazę zegara na tyle odległą od sygnału wejściowego, aby synchronizacja z tą fazą, realizowana przez jeden z przerzutników DF1-DF4, była jak najbardziej bezpieczna, tzn. wiązała się z jak najmniejszym prawdopodobieństwem pojawienia się efektu metastabilności. W układzie z zegarem czterofazowym optymalny odstęp pomiędzy fazami zegara „wskazującą” (wyjście DL) i „wskazywaną” (wyjście DF) wynosi 2. Oznacza to, że do wejść kolejnych dwuwejściowych bramek NAND należy doprowadzić sygnały z wyjść odpowiednio DL1 i DF3, DL2 i DF4, DL3 i DF1 oraz DL4 i DF2 (rys. 5a). Dalsze zwiększanie odstępu pomiędzy fazami, wskazane intuicyjnie, nie jest bezpieczne, gdyż zmiana sygnału wejściowego mogłaby w szczególności odbywać się w oknie czasowym $t_{SU} + t_H$ w okresie poprzedzającym spodziewany okres synchronizacji.

W analizowanym układzie, w zależności od momentu pojawienia się sygnału wejściowego (START lub STOP) czas t_{UST} ustalenia się stanu na wyjściu zatrząsku DL może zawierać się w przedziale $\frac{3}{4} T_C > t_{UST} \geq \frac{1}{2} T_C$ (rys. 5c). Zatem w najgorszym przypadku, kiedy $t_{UST} = \frac{1}{2} T_C$ i rozkład topograficzny ścieżek połączeniowych jest jak na rysunku 5b, czas rozdzielczy t_R wynosi

$$t_R = \frac{1}{2} T_C - t_{SU} - t_p. \quad (8)$$

Przyjęcie do rozważań niekorzystnego rozkładu ścieżek połączeniowych, wnoszącego dodatkowe opóźnienie t_p pomiędzy przerzutnikami (rys. 5b) jest uzasadnione, gdyż umieszczenie w jednym plastrze układu FPGA zatrząsku i przerzutnika, wykorzystujących dwa różne sygnały zegarowe nie jest możliwe. Zatem w przypadku, gdy zatrząsk i przerzutnik są umieszczone w różnych plastrach jednego CLB typowa dla układu Spartan-3 wartość t_p wynosi $0,5 \times 10^{-9}$ s. Wówczas $t_R = 1,32 \times 10^{-9}$ s, a wartość MTBF obliczona z zależności (3) wynosi $40,5 \times 10^6$ s, czyli ok. 469 dni. Maksymalna częstotliwość f_{Cmax} działania układu, dla której zapewnione jest MTBF = 10 lat ma wartość

$$f_{Cmax} = \frac{1}{2} (t_{Rmin} + t_p + t_{SU}) = 239 \times 10^6 \text{ Hz}. \quad (9)$$



Rys. 5. Układ synchronizacji z rejestrem [3] (a), najmniej korzystna topografia ścieżki połączeniowej (b) oraz przebiegi w układzie (c)

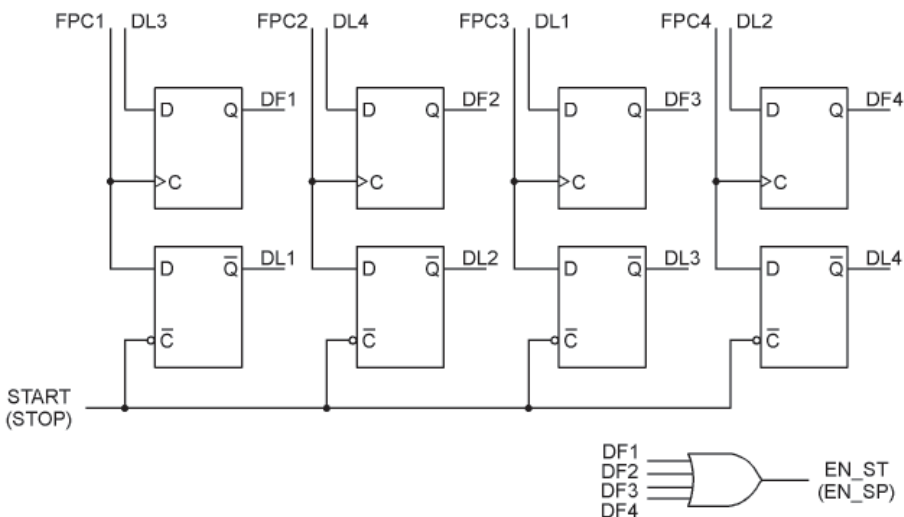
Jeśli w projekcie topograficznym nie zachowa się należytej staranności przy lokowaniu przerzutnika i zatrzasku i znajdują się one w różnych CLB, to opóźnienie ścieżki połączeniowej t_p może wzrosnąć do ok. $1,5 \times 10^{-9}$ s. Wówczas $t_R = 0,32 \times 10^{-9}$ s, a wartość MTBF obliczona dla tego czasu rozdzielczego wynosi $13,4 \times 10^{-3}$ s. Jest to oczywiście wartość nieakceptowalnie mała, gdyż oznacza, że dla $f_{ST} = 5$ MHz średnio co około 66 970 wynik byłby błędny. Maksymalna częstotliwość działania układu, dla $MTBF = 10$ lat i $t_p = 1,5 \times 10^{-9}$ s wynosi zaledwie 162 MHz.

Zważywszy na stosunkowo małą wartość MTBF dla synchronizatora, którego projekt topograficzny opracowano bez lokowania elementów, może być on stosowany jedynie w licznikach działających z niższą częstotliwością (< 162 MHz dla $MTBF = 10$ lat i $t_R = 1,41$ ns) lub/i z większą niż cztery liczbą faz.

2.4. Zmodyfikowany synchronizator z rejestrem (II)

Opisany poprzednio układ został przez autora zmodyfikowany i opisany w [4]. Modyfikacja polegała na użyciu sygnałów z wyjść zatrzasków DL1–DL4 do sterowania wejść informacyjnych przerzutników DF1–DF4, realizujących ostateczną synchronizację sygnału wejściowego (START lub STOP) z jedną z faz (FPC1–FPC4) zegara czterofazowego (rys. 6). Takie rozwiązanie pozwala zrezygnować z sieci bramek NAND (rys. 5a) i ograniczyć ilość zasobów logicznych koniecznych do realizacji układu. Jednakże czas rozdzielczy t_R w tym synchronizatorze został skrócony w porównaniu z układem poprzednim (zależność (8)) o czas propagacji t_{CQ} zatrzasku:

$$t_R = \frac{1}{2}T_C - t_{SU} - t_p - t_{CQ}. \quad (10)$$



Rys. 6. Zmodyfikowany układ synchronizatora z rejestrem [4]

Dla typowej w układzie Spartan-3 wartości $t_{CQ} = 0,63$ ns czas rozdzielczy t_R wynosi 0,69 ns. Określony dla tej wartości t_R średni czas między błędami jest równy 43,2 s. Natomiast maksymalna częstotliwość działania układu dla $MTBF = 10$ lat wynosi

$$f_{Cmax} = \frac{1}{2} (t_{Rmin} + t_{CQ} + t_P + t_{SU}) = 184 \times 10^6 \text{ Hz.} \quad (11)$$

Wartości maksymalnej częstotliwości działania oraz średniego czasu między błędami dla analizowanych układów synchronizacji w 1STI zostały zebrane w tabeli 1.

TABELA 1

Wartości f_{Cmax} i MTBF dla synchronizatorów w pierwszym stopniu interpolacji przystosowanych do działania z zegarem czterofazowym w układzie Spartan-3

Parametr	Synchronizator podwójny	Synchronizator z rejestrem (I) [3]	Synchronizator z rejestrem (II) [4]
f_{Cmax} [MHz] MTBF = 10 lat, $t_{ptyp} = 0,5$ ns	367	239	184
MTBF $\tau = 45,8$ ps, $W = 64,6$ ps $t_{ptyp} = 0,5$ ns	$3,9 \times 10^{20}$ s ($12,5 \times 10^{12}$ lat)	4×10^7 s (469 dni)	$4,3 \times 10^1$ s (43,2 s)

Analiza układów synchronizacji przeprowadzona została przy założeniu, że będą one działać w liczniku czasu z interpolacją dwustopniową, czterofazowym zegarem o częstotliwości 250 MHz w pierwszym stopniu interpolacji, zrealizowanym w układzie FPGA. Spośród trzech badanych synchronizatorów tylko synchronizator podwójny spełnia założone wymagania. Maksymalna częstotliwość działania układu (367 MHz) niemal półtorakrotnie przekracza przyjętą nominalną częstotliwość zegara licznika czasu, a długi średni czas między błędami ($MTBF = 12,5 \times 10^{12}$ lat) zapewnia praktyczne wyeliminowanie wpływu efektu metastabilności na wynik pomiaru.

3. Wytwarzanie i synchronizacja sygnału zezwolenia na zliczanie

W interpolacyjnych licznikach czasu, w których nie wykorzystuje się metody stempli czasowych [1, 15], licznik zliczający okresy zegara referencyjnego działa tylko podczas wykonywania pomiaru. W tym celu jest on włączany i wyłączany wraz z pojawieniem się sygnałów początku (START) i końca (STOP) mierzonego odcinka czasu. Aby zapewnić poprawne działanie licznika zbrocza sygnału zezwolenia

na zliczanie EN, sterującego pracą licznika i wytworzonego z użyciem sygnałów START i STOP, powinny być zsynchronizowane z sygnałem zegarowym. Osiągnięcie precyzyjnej synchronizacji sygnału zezwolenia jest tym trudniejsze im wyższa jest częstotliwość sygnału zegarowego i bardziej złożone układy interpolacji.

Najprostszym układem stosowanym do wytwarzania sygnału zezwolenia jest pojedyncza bramka XOR, zastosowana np. w scalonym liczniku czasu z pojedynczą interpolacją [12]. W licznikach z zegarem wielofazowym (dwoma lub więcej stopniami interpolacji) układ synchronizacji musi być uzupełniony o dodatkowe elementy, których złożoność zależy od wartości częstotliwości użytego zegara referencyjnego oraz kodu wyjściowego w pierwszym stopniu interpolacji. Rozważonych zostanie pięć układów synchronizacji.

3.1. Synchronizator OR-D-AND

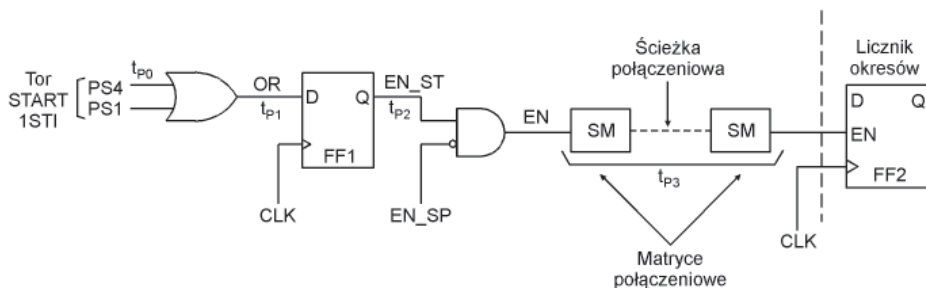
Stosunkowo prosty układ synchronizacji licznika okresów zaproponowano w [7], gdzie do wytworzenia sygnału zezwolenia EN użyto bramkę AND oraz po jednej bramce OR i przerzutniku D na każdy tor interpolacji. W oryginalnym układzie zastosowany jest zegar pięciofazowy, który na potrzeby prowadzonej analizy porównawczej zastąpiony został zegarem czterofazowym (FPC). Na rysunku 7a pokazano część układu wytwarzania sygnału EN, znajdującą się w torze sygnału START. Do analizy przyjęto, że dystrybucja sygnałów zegarowych w układzie FPGA odbywa się z użyciem magistral globalnych o dużej obciążalności i małym skosie, co zapewnia bliskie zeru przesunięcie fazowe pomiędzy zegarem referencyjnym CLK i pierwszą fazą (1) zegara FPC. W rozważanym układzie sygnał zezwolenia EN jest wytwarzany z użyciem sygnałów PS1 i PS4 z 1STI, a synchronizacja z sygnałem referencyjnym odbywa się dla każdego toru oddzielnie, z użyciem przerzutników D (FF1 dla toru START), umieszczonych pomiędzy bramkami OR i bramką AND (rys. 7a). Aby synchronizacja odbyła się prawidłowo, tj. bez pojawiania się stanów metastabilnych na wyjściu przerzutnika FF1, suma opóźnień bramki OR (t_{OR}) oraz ścieżek połączeniowych pomiędzy 1STI a przerzutnikiem FF1 (t_{P0} i t_{P1}) nie może być większa niż ($T_C - t_{CQ} - t_{SU}$), czyli:

$$t_{OR} + t_{P0} + t_{P1} < T_C - t_{CQ} - t_{SU} - t_{R1}. \quad (12)$$

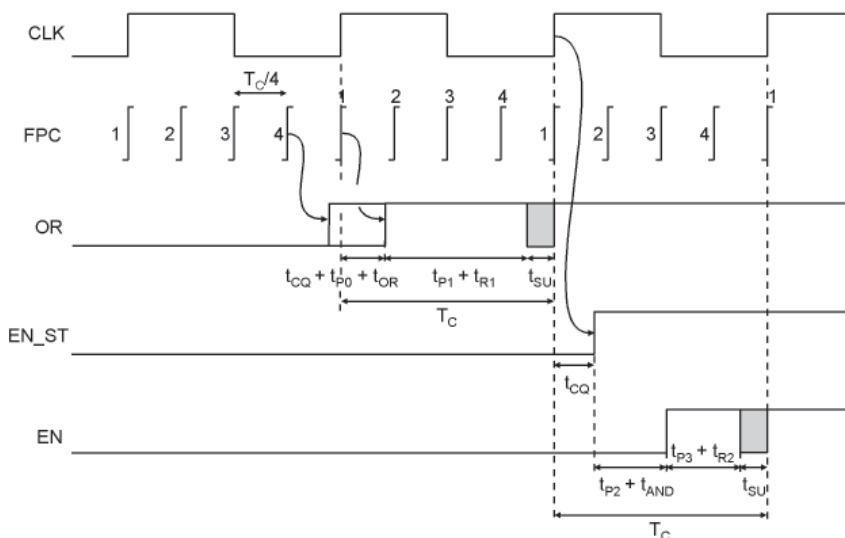
Jeśli spełniona jest nierówność (12), to przerzutnik FF1 odtwarza relacje czasowe pomiędzy sygnałami danych i zegarowym, jakie występowały na wyjściu 1STI o jeden okres zegara wcześniej. Sytuacja ta powtarza się na wyjściu pierwszego przerzutnika (FF2) w liczniku okresów jeden okres zegara później. Aby na wyjściu przerzutnika FF2 nie było zachowań metastabilnych, opóźnienia w układzie muszą spełniać następującą relację

$$t_{AND} + t_{P2} + t_{P3} < T_C - t_{CQ} - t_{SU} - t_{R2}. \quad (13)$$

a)



b)

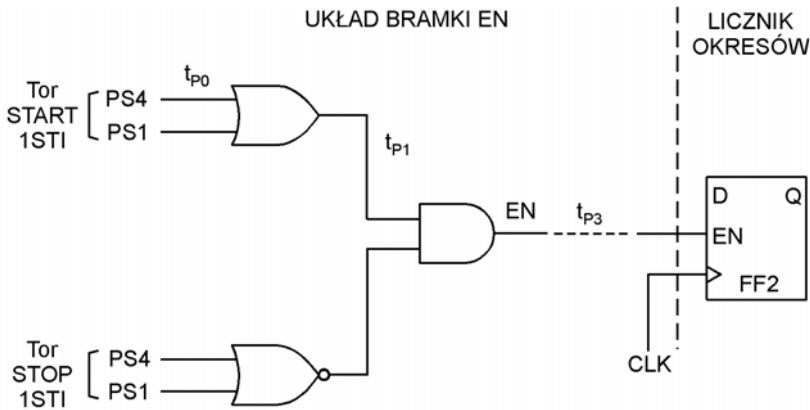


Rys. 7. Układ synchronizacji licznika okresów w liczniku czasu z interpolacją dwustopniową [7]

Dążąc do określenia maksymalnej częstotliwości działania układu należy obliczyć wartości czasów rozdzielczych t_{R1} i t_{R2} z nierówności odpowiednio (12) i (13) i do dalszej analizy przyjąć mniejszą z nich. Jeśli założyć, że dzięki starannemu wykonaniu projektu topograficznego układu licznika zachodzą przybliżone równości: $t_{p0} + t_{p1} \approx t_{p2} + t_{p3}$ oraz $t_{OR} \approx t_{AND}$, to $t_{R1} \approx t_{R2} \approx t_R$. Uwzględniając typowe dla układu Spartan-3 opóźnienia i wartości parametrów dynamicznych przerzutników można obliczyć wartości czasu rozdzielczego $t_R = 2,16$ ns oraz $MTBF = 118 \times 10^6$ lat. Natomiast częstotliwość f_{Cmax} określona dla $MTBF = 10$ lat wynosi 308 MHz.

3.2. Synchronizator z trzybramkowym układem sygnału zezwolenia

W celu zapewnienia poprawnego działania synchronizatora z rysunku 7 konieczne jest wykonanie projektu topograficznego tak, aby spełnione były nierówności (12) i (13). Układ synchronizatora i proces projektowania upraszcza się po usunięciu przerzutnika FF1. W wyniku takiej modyfikacji powstaje nowy, trzybramkowy układ wytwarzania sygnału zezwolenia EN pokazany na rysunku 8.



Rys. 8. Trzybramkowy układ wytwarzania sygnału zezwolenia

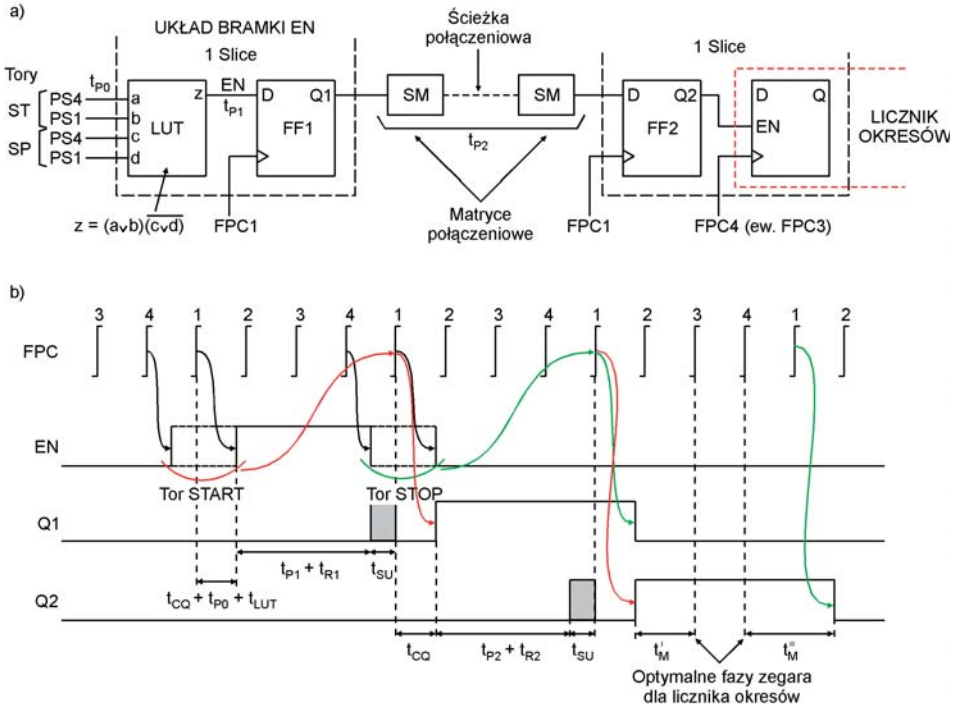
Czas rozdzielczy t_R dla tego układu określony jest jako

$$t_R = T_C - t_{CQ} - t_{SU} - t_{P0} - t_{OR} - t_{P1} - t_{AND} - t_{P3} \quad (14)$$

i dla rozważanej technologii wynosi 0,63 ns. Ponieważ opóźnienie ścieżki pomiędzy 1STI a wejściem zezwolenia licznika okresów jest duże, więc wartość t_R jest stosunkowo mała. Zatem średni czas MTBF dla $t_R = 0,63$ ns jest także krótki i wynosi 11,7 s. Natomiast dla $MTBF = 10$ lat maksymalna częstotliwość działania układu wynosi 209 MHz.

3.3. Synchronizator z tablicą przeglądowną LUT

Główną zaletą układu synchronizacji, pokazanego na rysunku 8, jest prosta realizacja układowa. Natomiast zasadniczą wadą jest konieczność zapewnienia zbliżonych opóźnień zarówno w torach sygnałów pochodzących z 1STI, jak i sygnałów przesyłanych między bramkami logicznymi. Problem ten można ograniczyć przez realizację układu bramek w pojedynczej tablicy przeglądownej (LUT). Tablica taka powinna mieć co najmniej cztery wejścia, aby umożliwić realizację funkcji logicznej $z = (a \vee b)(c \vee d)$, niezbędnej do wytworzenia sygnału zezwolenia EN (rys. 9a).



Rys. 9. Układ synchronizacji z użyciem tablicy LUT (a) oraz przebiegi w układzie (b)

W prostym rozwiązaniu układ z tablicą przeglądową LUT należy uzupełnić o dwa przerzutniki D. Pierwszy przerzutnik (FF1) powinien być umieszczony jak najbliżej tablicy LUT, więc w układzie Spartan-3 obydwa elementy mogą być umieszczone w jednym plastrze. Drugi przerzutnik (FF2) należy umieścić jak najbliżej licznika okresów, integrując go np. w jednym plastrze z pierwszym przerzutnikiem tego licznika. Takie rozmieszczenie przerzutników umożliwia odtworzenie na wejściu licznika okresów relacji czasowych pomiędzy sygnałem zezwolenia EN i sygnałem zegarowym, wytworzonych w układzie bramki EN (rys. 9b). Aby w układzie nie doszło do naruszenia przez sygnał EN czasu t_{SU} przerzutnika FF1, suma czasów opóźnień wnoszonych przez ścieżki połączeniowe (t_{p0} i t_{p1}) powinna spełniać nierówność

$$t_{p0} + t_{p1} \leq T_C - t_{CQ} - t_{SU} - t_{LUT} - t_{R1}. \quad (15)$$

Zakładając, że $t_{R1} = t_{Rmin}$ (dla MTBF = 10 lat), dla układu Spartan-3 otrzymujemy $t_{p0} + t_{p1} \leq 1,25$ ns. Ponieważ dopuszczalna suma opóźnień $t_{p0} + t_{p1}$ jest stosunkowo nieduża, wskazane jest umieszczenie tablicy LUT i przerzutnika FF1 w jednym plastrze układu FPGA. Wówczas, ze względu na istniejące w FPGA bezpośrednie, krótkie połączenie pomiędzy LUT i FF1, $t_{p1} \approx 0$ i $t_{p0} < 1,25$ ns, co pozwala

na realizację względnie długich ścieżek łączących 1STI i tablicę LUT. Elementy te mogą być rozsunięte nawet o kilka do kilkunastu wierszy lub kolumn bloków CLB. Rozważając miejsce lokowania plastra z tablicą LUT i przerzutnikiem FF1 warto wziąć pod uwagę, że faza czwarta (4) zegara FPC wyprzedza fazę pierwszą (1) o $T_C/4$ (tu ok. 1 ns). Zatem umieszczenie tablicy LUT bliżej wyjścia pierwszego toru 1STI, wykorzystującego do synchronizacji fazę 1, daje możliwość częściowej kompensacji jej opóźnienia względem fazy 4. Wówczas przedział zmian czasu trwania bramki EN spowodowany zmianą sygnału synchronizującego skraca się ($< T_C/4$), a sam czas trwania bramki EN dąży do całkowitej wielokrotności okresu T_C .

Ponieważ rozważany układ wytwarzania bramki EN zawiera zaledwie dwa elementy (tablicę LUT i przerzutnik D) względnie łatwo może być umieszczony blisko wyjść 1STI. Inaczej rzecz ma się z licznikiem okresów, który zwykle jest lokowany poza wyizolowanym obszarem, w którym znajdują się układy licznika czasu najbardziej istotne dla jego jakości, takie jak m.in. 1STI. Zatem połączenie pomiędzy układem bramki EN i licznikiem okresów jest na ogół stosunkowo długie. Dla zapewnienia poprawnego działania (bez zachowań metastabilnych) przerzutnika FF2 (rys. 9a), opóźnienie t_{p2} tego połączenia musi spełniać nierówność

$$t_{p2} \leq T_C - t_{CQ} - t_{SU} - t_{R2}. \quad (16)$$

W układzie Spartan-3, przy założeniu, że $t_{R2} = t_{Rmin}$, opóźnienie t_{p2} nie powinno być większe niż 1,78 ns.

Na podstawie poczynionych założeń, że (1) licznik okresów jest lokowany we względnie dużej odległości od 1STI w stosunku do odległości pomiędzy układem bramki EN i 1STI oraz (2) tablica LUT wraz z przerzutnikiem FF1 jest umieszczona w jednym plastrze ($t_{p1} \approx 0$) można przyjąć, iż po realizacji projektu w układzie FPGA $t_{p2} \geq t_{p0} + t_{LUT}$. Zatem maksymalna częstotliwość działania całego układu z rysunku 9a będzie ograniczona przez najwyższą częstotliwość poprawnego działania pary przerzutników FF1 i FF2. Z badań symulacyjnych wynika, że rozmieszczenie ich w układzie w odległości 10 kolumn bloków CLB powoduje opóźnienie propagacji sygnału między nimi o ok. 1,5 ns. Przyjmując, że odsunięcie licznika okresów od 1STI na taką odległość jest wystarczające, można określić maksymalną częstotliwość działania układu jako

$$f_{Cmax} = 1/(t_{CQ} + t_{p2} + t_{Rmin} + t_{SU}), \quad (17)$$

co dla przyjętych wcześniej danych daje wartość 269 MHz. Natomiast MTBF przyjmuje wartość $13,1 \times 10^{10}$ s.

Jeśli warunki 15 i 16 są spełnione, to bramka EN na wejściu licznika okresów pozostaje w takiej relacji czasowej z sygnałami FPC, że największą pewność poprawnego działania licznika daje użycie czwartej (4) lub trzeciej (3) fazy FPC jako

sygnału zegarowego (rys. 9b). Margines zakłóceń t_M jest wówczas równy mniejszej z dwóch wartości:

$$t_M' = \frac{1}{2}T_C - t_{CQ}, \quad (18a)$$

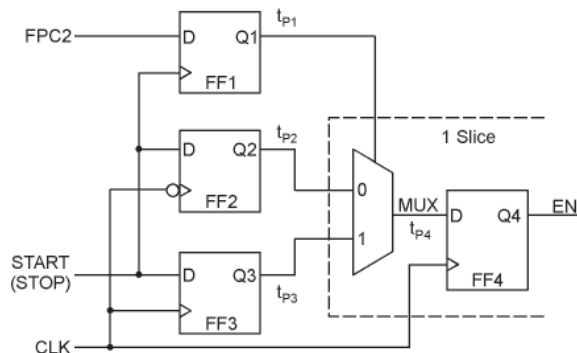
$$t_M'' = \frac{1}{4}T_C + t_{CQ}. \quad (18b)$$

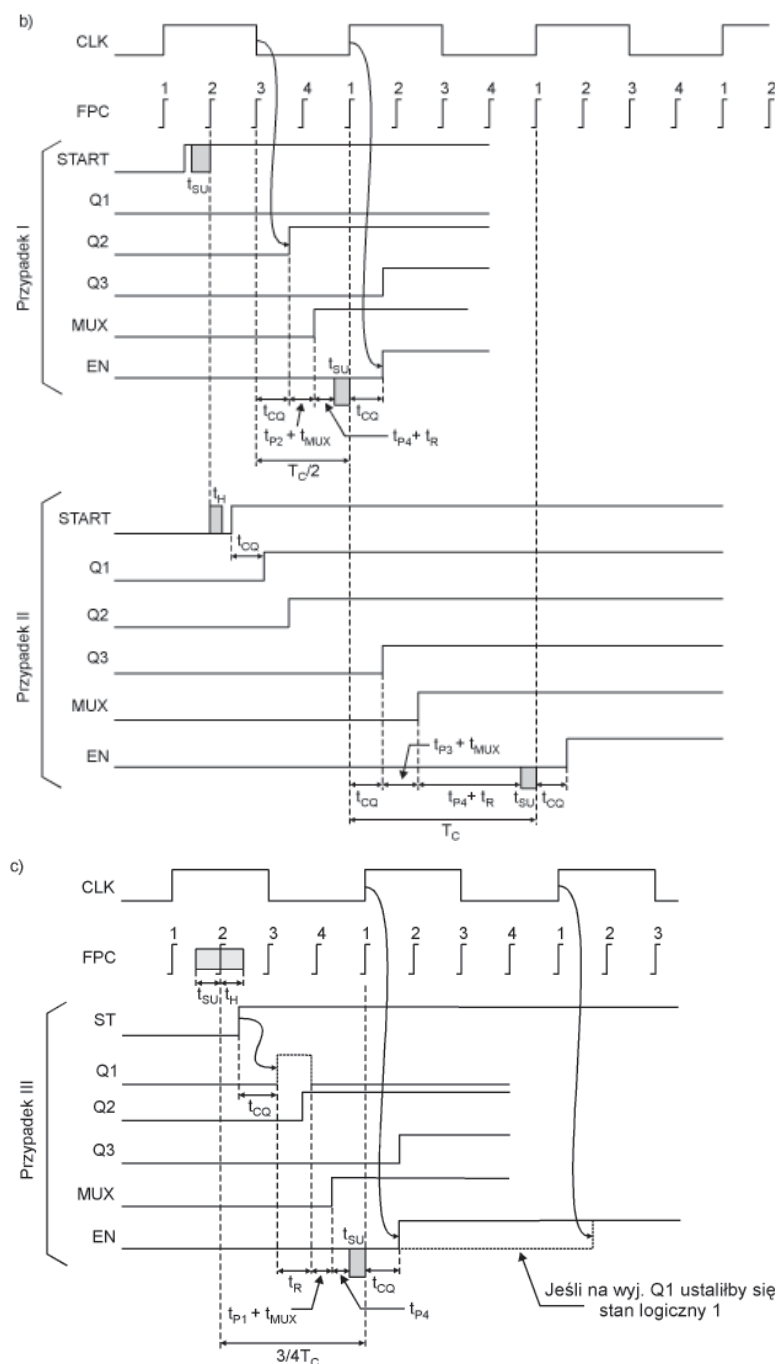
3.4. Synchronizator dwuzboczowy

Schemat układu synchronizatora dwuzboczowego pokazany jest na rysunku 10a. Dwa takie synchronizatory zostały użyte w interpolacyjnym liczniku czasu [8], w którym jeden z nich wytwarzał sygnał zezwolenia dla licznika okresów po pojawieniu się sygnału START, a drugi sygnał zezwalający na przepisanie zawartości tego licznika do rejestru po pojawieniu się sygnału STOP. Sygnał wejściowy START (STOP) jest w układzie synchronizowany z sygnałem zegarowym dwuzboczowy. Oznacza to, że sygnał wejściowy jest jednocześnie podawany na wejścia informacyjne dwóch przerzutników (FF2 i FF3), reagujących na przeciwne zbocza sygnału zegarowego. Zatem jeśli na wejściach jednego z nich dochodzi do naruszenia „bezpiecznych” relacji czasowych pomiędzy sygnałami, to na wejściach drugiego relacje te są na pewno właściwe i na jego wyjściu nie będzie zachowań metastabilnych. Zadaniem trzeciego przerzutnika (FF1) jest wybranie jednego z wymienionych poprzednio przerzutników, dla którego prawdopodobieństwo wystąpienia zachowań metastabilnych jest mniejsze. Następnie wyjście wybranego przerzutnika jest łączone z wejściem przerzutnika (FF4), który realizuje ostateczną synchronizację ze zboczem narastającym sygnału zegarowego.

Na rysunku 10b pokazane są dwa możliwe przypadki działania układu synchronizatora, w których nie pojawiają się stany metastabilne. Sytuacja taka zachodzi zawsze, kiedy sygnał START pojawia się na wejściu układu bez naruszania okna

a)





Rys. 10. Układ synchronizatora dwufazowego [8] (a) oraz przebieg w układzie bez stanów meta-stabilnych (b) i po wystąpieniu takiego stanu (c)

czasowego $t_{SU} + t_H$ względem drugiej (2) fazy zegara FPC. Faza ta użyta została do określenia przedziału fazowego zegara referencyjnego CLK, w którym pojawiło się narastające zbocze sygnału START. Jeśli sygnał START pojawił się przed narastającym zboczem (2) zegara FPC (rys. 10b, przypadek I), to znaczy że może się znajdować względnie blisko narastającego zbocza zegara CLK i bezpieczniej jest zsynchronizować go najpierw ze zboczem opadającym tego zegara, a dopiero w następnym okresie CLK ze zboczem narastającym. Natomiast jeśli sygnał ST pojawia się na wejściu układu po narastającym zboczach (2) zegara FPC (rys. 10b, przypadek II), to zsynchronizowany jest dwukrotnie z kolejnymi zboczami narastającymi sygnału CLK. Z dwóch rozważonych przypadków mniejszymi marginesami czasowymi charakteryzuje się przypadek I, w którym cały proces synchronizacji zawiera się w jednym okresie sygnału zegarowego. Krytycznym ze względów czasowych wydaje się proces przepisania informacji pomiędzy przerzutnikami FF2 i FF4 (rys. 10b). Czas rozdzielczy wynosi wówczas

$$t_R = \frac{1}{2}T_C - t_{CQ} - t_{P2} - t_{MUX} - t_{P4} - t_{SU}. \quad (19)$$

Dla przyjętych wcześniej wartości częstotliwości zegara i opóźnień układu Spartan-3 oraz zakładając, że multiplexer MUX jest umieszczony razem z przerzutnikiem FF4 w jednym plastrze układu FPGA ($t_{P4} \approx 0$) czas rozdzielczy wynosi ok. 160 ps, a MTBF jest równy 4×10^{-4} s. Natomiast maksymalna częstotliwość działania układu obliczona dla MTBF = 10 lat wynosi 154 MHz.

Niebezpieczną dla poprawnego działania synchronizatora dwuzboczowego jest również sytuacja, kiedy sygnał START (STOP) pojawia się na wejściu układu z naruszeniem okna czasowego $t_{SU} + t_H$ wokół fazy (2) zegara FPC (rys. 10c). Powoduje to, że na wyjściu Q1 przerzutnika FF1 pojawia się sygnał metastabilny, którego stan ustala się po czasie rozdzielczym t_R . Dla rozważanego interpolatora z zegarem czterofazowym maksymalna wartość tego czasu wynosi

$$t_R = \frac{3}{4}T_C - t_H - t_{CQ} - t_{P1} - t_{MUX} - t_{P4} - t_{SU}. \quad (20)$$

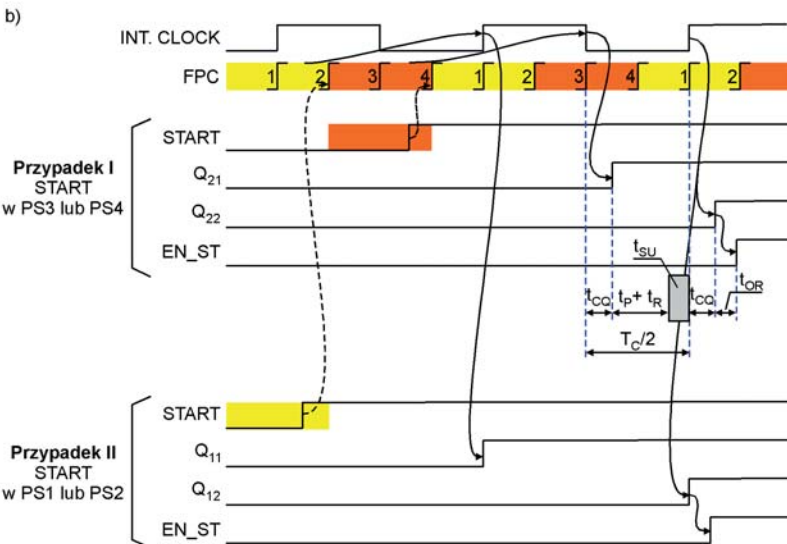
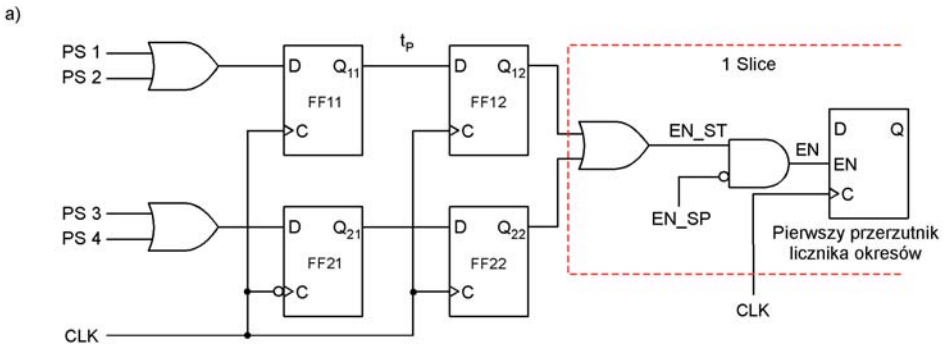
Dla przyjętych wcześniej założeń oraz $t_H = 0,25$ ns, czas rozdzielczy ma wartość 0,91 ns. Maksymalna częstotliwość pracy układu dla rozważanego przypadku (rys. 10c, przypadek III) wynosi 222 MHz. Zatem maksymalną częstotliwością poprawnego działania układu synchronizatora będzie niższa częstotliwość określona dla przypadku I (154 MHz).

Wadą opisanego synchronizatora jest brak wykorzystania sygnału z synchronizatora w 1STI jako sygnału wejściowego. W układach FPGA niezależne działanie obydwu synchronizatorów, pomimo teoretycznie tych samych sygnałów wejściowych, może powodować ustalenie się odmiennych stanów wyjściowych. Wynika to z niejednakowych opóźnień wnoszonych przez ścieżki doprowadzające sygnały

do obydwu układów oraz z możliwych odmiennych zachowań przerzutników przy naruszaniu „bezpiecznych” relacji czasowych pomiędzy sygnałami wejściowymi. Efektem pojawienia się odmiennych stanów na wyjściach obydwu synchronizatorów może być np. zliczenie jednego nadmiarowego okresu zegara referencyjnego przez licznik okresów, co prowadzi do znacznego wzrostu błędu pomiarowego.

3.5. Dwuzboczowy synchronizator podwójny

Na rysunku 11a pokazany jest ulepszony układ synchronizatora podwójnego, w którym do synchronizacji w pierwszym stopniu (przerzutniki FF11 i FF21)



Rys. 11. Układ dwuzboczowego synchronizatora podwójnego (a) oraz przebiegi w układzie (b)

wykorzystane zostały obydwa zbocza sygnału zegarowego. Jako sygnały wejściowe użyte zostały sygnały z 1STI, co zapobiega ustalaniu się niejednoznacznych stanów wyjściowych tego synchronizatora i synchronizatora w interpolatorze. Ponieważ sygnały wejściowe (PS1-PS4) są wytwarzane w 1STI w wyniku synchronizacji sygnału START (STOP) z kolejnymi fazami zegara FPC, więc niosą zgrubną (z rozdzielczością $T_C/4$) informację o momencie pojawienia się tego sygnału względem sygnału zegara CLK. Informacja ta została wykorzystana przy projektowaniu analizowanego układu synchronizatora w celu dodatkowego zwiększenia czasu rozdzielczego w układzie.

Zasada działania układu zilustrowana jest przebiegami dla dwóch możliwych przypadków pracy układu (rys. 11b). Przypadek I odnosi się do sytuacji, w której sygnał START pojawia się na wejściu licznika czasu w trzecim (3) lub czwartym (4) przedziale fazowym zegara FPC. Na wejściu układu synchronizacji jest on reprezentowany przez zbocze odpowiednio (3) lub (4) tego zegara. Z kolei zbocze to jest w pierwszym stopniu synchronizatora (FF21) synchronizowane ze zboczem opadającym zegara CLK, a następnie w drugim stopniu układu (FF22) ze zboczem narastającym tego zegara. Ponieważ odstęp pomiędzy tymi synchronizacjami wynosi zaledwie pół okresu zegara CLK, na wejściu drugiego stopnia synchronizatora może dochodzić do naruszania „bezpiecznych” relacji czasowych pomiędzy sygnałami wejściowymi, podobnie jak w układzie z rysunku 10. Czas ten dla transmisji sygnału pomiędzy stopniami synchronizatora, reagującymi na przeciwne zbocza zegara, wynosi

$$t_R = \frac{1}{2}T_C - t_{CQ} - t_P - t_{SU}. \quad (21)$$

Dla przyjętych założeń t_R ma wartość 0,69 ns. Ponieważ w rozważanym synchronizatorze nie ma żadnych dodatkowych układów pomiędzy przerzutnikami w pierwszym i drugim stopniu synchronizacji, margines zakłóceń jest większy niż w układzie z rysunku 10. Stąd maksymalna częstotliwość pracy układu jest również wyższa i wynosi 184 MHz.

Jeśli sygnał START pojawia się na wejściu licznika czasu w pierwszym lub drugim przedziale fazowym zegara FPC (rys. 11b, przypadek II), to synchronizacja odbywa się z użyciem dwóch kolejnych zboczy narastających zegara CLK. Ponieważ odcinek czasu pomiędzy synchronizacjami w obydwu stopniach synchronizatora równy jest tym razem pełnemu okresowi zegara CLK, więc czas rozdzielczy jest dwa razy większy niż w przypadku pierwszym.

Układ wytwarzania bramki EN jest podobny do rozważanego układu trzybramkowego (p. 3.2). Jednakże ten ostatni z założenia lokowany jest blisko 1 STI, więc maksymalna częstotliwość działania ograniczana jest m. in. długim czasem propagacji sygnału zezwolenia EN do licznika okresów. W proponowanym synchronizatorze dwuzboczowym układ bramki EN może być umieszczony wraz z pierwszym prze-

rzutnikiem licznika okresów w jednym plastrze FPGA. Zatem pomijalnie krótki czas propagacji sygnału EN do licznika nie obniża maksymalnej częstotliwości działania synchronizatora.

Zaletą synchronizatora z rysunku 11 jest zapewnienie synchronizacji sygnału wejściowego START (STOP) z tym samym zboczem zegara CLK bez względu na to, w której parze przedziałów fazowych sygnał wejściowy pojawił się pierwotnie. Ponadto wykorzystanie w synchronizatorze informacji z 1STI o przybliżonym położeniu sygnału START pozwoliło zrezygnować z przerzutnika decyzyjnego (FF1, rys. 10a), stanowiącego potencjalne źródło zachowań metastabilnych w układzie.

Wartości maksymalnej częstotliwości działania oraz średniego czasu między błędami dla wszystkich analizowanych układów synchronizacji licznika okresów pokazane są w tabeli 2.

TABELA 2

Wartości f_{Cmax} i MTBF dla synchronizatorów licznika okresów, przystosowanych do działania z zegarem czterofazowym w układzie Spartan-3

Parameter	Synchron. OR-D-AND [7], p. 3.1	Synchron. trzybramkowy p. 3.2	Synchron. z tablicą LUT p. 3.3	Synchron. dwuzboczowy [8], p. 3.4	Dwuzboczowy synchron. podwójny, p. 3.5
f_{Cmax} [MHz] MTBF = 10 lat $t_{p_{typ}} = 0,5$ ns	308	209	269	154	184
MTBF $\tau = 45,8$ ps $W = 64,6$ ps $t_{p_{typ}} = 0,5$ ns	$3,7 \times 10^{15}$ s ($11,8 \times 10^7$ lat)	$1,2 \times 10^1$ s (12,0 s)	$1,3 \times 10^{11}$ s ($4,2 \times 10^3$ lat)	4×10^{-4} s (0,4 ms)	$4,3 \times 10^1$ s (43,2 s)

Wśród pięciu analizowanych układów wytwarzania i synchronizacji sygnału zezwolenia na zliczanie dwa mogą być zastosowane w liczniku czasu z interpolacją dwustopniową i czterofazowym zegarem o częstotliwości 250 MHz w pierwszym stopniu interpolacji. Pierwszy z nich, synchronizator OR-D-AND (p. 3.1) zapewnia wysoką maksymalną częstotliwość działania (308 MHz), ale wymaga starannego projektu topograficznego, który zapobiegnie nadmiernemu kumulowaniu się opóźnień w istotnych ścieżkach sygnałowych. Drugi, zaproponowany przez autora synchronizator z tablicą przeglądową LUT (p. 3.3) charakteryzuje się niższą częstotliwością działania (269 MHz), ale jest znacznie prostszy od poprzedniego w realizacji układowej.

4. Podsumowanie

Przeprowadzono analizę pięciu znanych i trzech nowych układów synchronizacji w precyzyjnych interpolacyjnych licznikach czasu. Analiza wykonana została przy założeniu, że synchronizatory działają w liczniku z interpolacją dwustopniową, czterofazowym zegarem o częstotliwości 250 MHz w pierwszym stopniu interpolacji, zrealizowanym w układzie programowalnym FPGA. Ponieważ w układach FPGA, w związku z istnieniem łączników programowalnych, opóźnienia połączeń są porównywalne z opóźnieniami elementów logicznych, zostały one uwzględnione w analizie działania synchronizatorów, co czyni ją pełniejszą, a jej wyniki bardziej wiarygodnymi.

Wyniki analizy dowodzą, że wraz z rosnącą złożonością układów interpolacji w licznikach czasu oraz ze wzrostem częstotliwości sygnału zegarowego, nieliczne spośród stosowanych dotychczas synchronizatorów mogą być nadal wykorzystywane. I tak wśród synchronizatorów w pierwszym stopniu interpolacji tylko synchronizator podwójny (p. 2.2) spełnia założone wymagania. Maksymalna częstotliwość działania układu (367 MHz) niemal półtorakrotnie przekracza przyjętą nominalną częstotliwość zegara licznika czasu, a długi średni czas między błędami ($MTBF = 12,5 \times 10^{12}$ lat) zapewnia praktyczne wyeliminowanie wpływu efektu metastabilności na wynik pomiaru. W niniejszym artykule oprócz analizy układu synchronizatora przedstawiono również sposób jego użycia w liczniku czasu z zegarem czterofazowym.

Spośród analizowanych układów wytwarzania i synchronizacji sygnału zezwolenia na zliczanie dwa mogą być zastosowane w liczniku czasu o założonych parametrach. Najwyższą maksymalną częstotliwość działania (308 MHz) zapewnia synchronizator OR-D-AND (p. 3.1). Jednakże układ ten wymaga starannego projektu topograficznego. Zaproponowany przez autora synchronizator z tablicą przeglądową LUT (p. 3.3) charakteryzuje się niższą częstotliwością działania (269 MHz), ale jest znacznie prostszy w realizacji układowej.

Praca naukowa finansowana ze środków na naukę w latach 2007-2009 w ramach Projektów Badawczych Nr 2984/B/T02/2007/33 i Nr 0503/R/T02/2007/03.

Artykuł wpłynął do redakcji 14.07.2008 r. Zweryfikowaną wersję po recenzji otrzymano w październiku 2008 r.

LITERATURA

- [1] J. KALISZ, *Review of methods for time interval measurements with picosecond resolution*, Metrologia, 41, 2004, 35-51.
- [2] J. JANSSON, A. MÄNTYNIEMI, J. KOSTAMOVARA, *CMOS time-to-digital converter with better than 10 ps single-shot precision*, IEEE J. Solid State Circuits., 41, 6, 2006, 1286-1296.

- [3] A. MÄNTYNIEMI, T. RAHKONEN, J. KOSTAMOVAARA, *A high resolution digital CMOS time-to-digital converter based on nested delay locked loops*, Proc. IEEE Int. Symp. Circuits and Systems, ISCAS, 2, 1999, 537-540.
- [4] A. MÄNTYNIEMI, T. RAHKONEN, J. KOSTAMOVAARA, *An integrated 9-channel time digitizer with 30ps resolution*, Proc. Int. Solid State Circuits Conf., ISSCC, 1, 2002, 266-267.
- [5] C. LJUSLIN, J. CHRISTIANSEN, A. MARCHIORO, O. KLINGSHEIM, *An integrated 16-channel CMOS time to digital converter*, IEEE Trans. Nuclear Science, 41, 1994, 1104-1108,
- [6] T. KNOTTS, D. CHU, J. SOMMER, *A 500 MHz time digitizer IC with 15.625ps resolution*, Proc. Int. Solid State Circuits Conf., ISSCC, 1994, 58-59.
- [7] R. SZYMANOWSKI, J. KALISZ, *Field programmable gate array time counter with two-stage interpolation*, Rev. Sci. Instrum., 76, 2005, 045104-1.
- [8] A. MÄNTYNIEMI, T. RAHKONEN, J. KOSTAMOVAARA, *A 9-Channel integrated time-to-digital converter with sub-nanosecond resolution*, Midwest Symp. Circuits and Systems MWSCAS, 1, 1997, 189-192.
- [9] J. KALISZ, *Podstawy elektroniki cyfrowej*, WKŁ, 2007.
- [10] J. KALISZ, Z. JACHNA, *Metastability tests of flip-flops in programmable digital circuits*, Microelectronics Journal, 37, 2006, 174-180.
- [11] J. KALISZ, R. SZPLET, R. PEŁKA, A. PONIECKI, *Single-Chip Interpolating Time Counter with 200-ps Resolution and 43-s Range*, IEEE Transactions on Instrumentation and Measurement, 46, 1997, 851-856.
- [12] R. SZPLET, J. KALISZ, R. SZYMANOWSKI, *Interpolating time counter with 100 ps resolution on a single FPGA device*, IEEE Trans. Instrum. Meas., 49, 2000, 879-883.
- [13] R. SZPLET, J. KALISZ, Z. JACHNA, K. RÓŻYC, *A 45 ps time interval counter board with PCI interface*, Proc. 39th Annual Precise Time and Time Interval (PTTI) Systems and Applications Meeting, Los Angeles, USA, 2007.
- [14] R. SZPLET, J. KALISZ, Z. JACHNA, *A 45 ps time digitizer with two-phase clock and dual-edge two-stage interpolation in Field Programmable Gate Array device*, zaakceptowany do publikacji w Measurement Science and Technology.
- [15] M. ZIELIŃSKI, D. CHABERSKI, S. GRZELAK, *Time-interval measuring modules with a short dead-time*, Metrology and Measurement Systems X, 3, 2003, 241-251.

R. SZPLET

Signals synchronization in interpolating time counters

Abstract. This paper presents the results of an analysis of synchronization issues in precise time counters. Particularly the analysis concerns a time counter with two-stage interpolation, four-phase clock of 250-MHz frequency in the first interpolation stage, implemented in an FPGA device. Three synchronizing circuits used in the first interpolation stage of two-stage time-to-digital converters and five synchronizers of enabling signal for period counter are analyzed. For the evaluation of the circuits quality following criteria were applied: the maximum frequency of operation, the mean time between failure and easiness of implementation in a programmable device.

Keywords: time metrology, interpolating time counter, synchronizing circuit, metastability effect

Universal Decimal Classification: 531.76