



Precyzyjny licznik czasu i częstotliwości z interfejsem PCI

JÓZEF KALISZ, ZBIGNIEW JACHNA, RYSZARD SZPLET,
KRZYSZTOF RÓŻYC

Wojskowa Akademia Techniczna, Wydział Elektroniki, Instytut Telekomunikacji,
00-908 Warszawa, ul. S. Kaliskiego 2

Streszczenie. Opisujemy budowę, działanie i wyniki pomiarów testowych precyzyjnego licznika czasu i częstotliwości, zrealizowanego w postaci karty komputerowej z interfejsem PCI. Pomiar odcinka czasu jest realizowany przy użyciu interpolacyjnej metody Nutta i specjalistycznego układu scalonego, wykonanego w technologii CMOS FPGA oraz zawierającego dwa interpolatory czasu. Licznik umożliwia pomiary odcinka czasu z rozdzielczością 200 ps i typowej niepewności pomiarowej ok. 150 ps, oraz pomiary częstotliwości metodą odwrotnościową do 3,5 GHz. Wbudowane są procedury specjalistyczne do kalibracji licznika, korekcji zegara, pomiaru różnicy częstotliwości i dewiacji Allana. Dzięki zastosowaniu szybkiej pamięci buforowej FIFO uzyskano dużą szybkość pomiarów, sięgającą $1,66 \cdot 10^6$ pomiarów na sekundę przy transmisji danych do pamięci FIFO.

Słowa kluczowe: metrologia czasu, pomiar odcinka czasu, pomiar częstotliwości, rozdzielczość pikosekundowa, interpolator czasu, przetwornik czas-liczba

Symbol UKD: 531.761

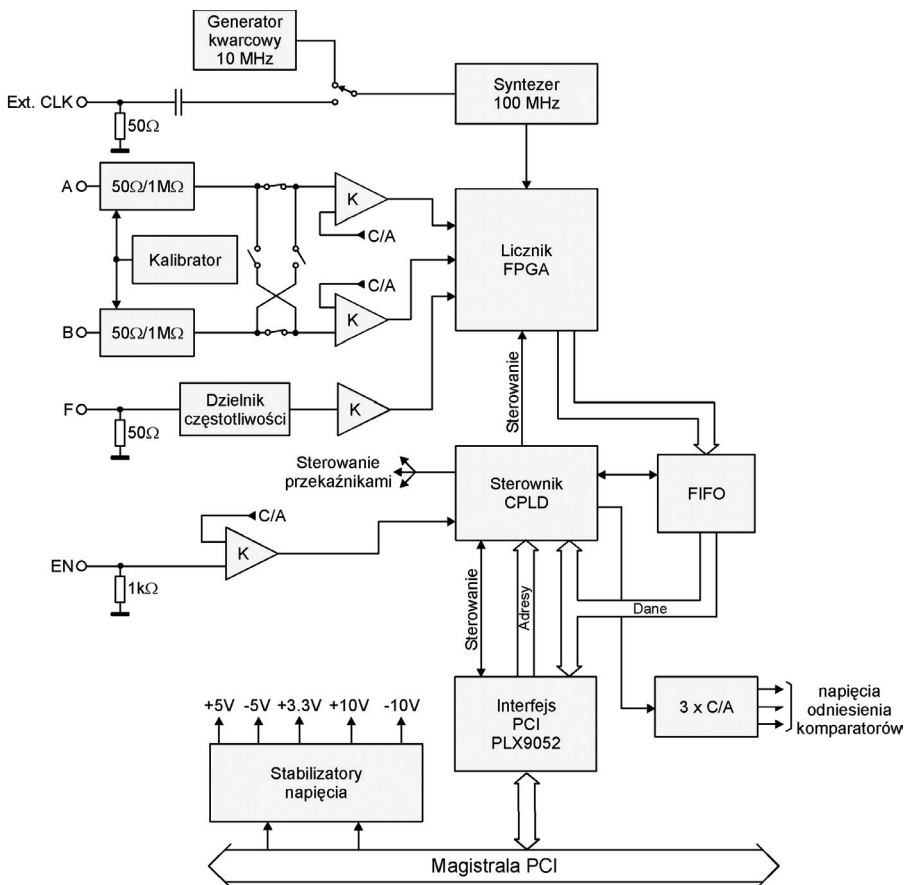
1. Wstęp

W niniejszym artykule opisana jest budowa, działanie i wyniki pomiarów testowych precyzyjnego licznika czasu i częstotliwości, zrealizowanego w postaci karty komputerowej z interfejsem PCI, o roboczej nazwie T-2300 R. Pomiar odcinka czasu jest realizowany przy użyciu interpolacyjnej metody Nutta i specjalistycznego układu scalonego, wykonanego w technologii CMOS FPGA, który zapewnia rozdzielczość 200 ps przy pomiarach pojedynczych i 1 ps przy pomiarach z uśrednianiem. Pomiar częstotliwości w zakresie do 3,5 GHz wykonuje się metodą odwrotnościową, przez precyzyjny pomiar odcinka czasu, złożonego z zadanej, całkowitej liczby

okresów badanego przebiegu, a następnie obliczenie odwrotności. Możliwe jest szybkie próbkowanie częstotliwości w celu wykrycia modulacji częstotliwości. Dzięki wprowadzeniu pamięci FIFO uzyskano bardzo dużą szybkość akwizycji danych pomiarowych, sięgającą 1,66 miliona pomiarów na sekundę (do FIFO) i 200 tysięcy pomiarów na sekundę do pamięci w komputerze PC. Licznik umożliwia bezpośrednie porównanie częstotliwości badanego źródła z częstotliwością wzorcową i pomiar dewiacji Allana.

2. Budowa i działanie

Licznik został zaprojektowany w postaci komputerowej karty PCI, wykorzystującej standardowy układ scalonego mostka PCI do sprzęgnięcia sterownika lokalnego z magistralą komputera (rys. 1). Scalony licznik FPGA (*Field-Programmable Gate*



Rys. 1. Schemat blokowy licznika czasu z interfejsem PCI

Array) stanowi ulepszoną wersję układu opisanego wcześniej [1] i jest szerzej opisany w p. 3 [2]. Licznik ten jest również stosowany w precyzyjnych dalmierzach laserowych. Układ sterownika lokalnego CPLD (*Complex Programmable Logic Device*) wraz z dedykowanym oprogramowaniem sterującym jest opisany w p. 4 [3]. Aby uzyskać dużą szybkość akwizycji danych pomiarowych, wprowadzono układ pamięci FIFO jako pamięć podręczną danych otrzymywanych ze scalonego licznika FPGA. Dzięki temu możliwe jest wykonywanie pomiarów z szybkością do 1,66 miliona pomiarów na sekundę (przy założeniu wielkości próby umożliwiającej zapamiętanie wyników wyłącznie w pamięci FIFO) lub z szybkością do 200 tysięcy pomiarów na sekundę przy przesyłaniu danych do pamięci komputera. Licznik wykorzystuje wbudowany generator referencyjny 10 MHz o stabilności długoczasowej $1 \cdot 10^{-6}$, stanowiący źródło dla scalonego syntezerza częstotliwości 100 MHz. W ten sposób licznik FPGA ma zapewniony zegar o wysokiej stabilności długo- i krótkoczasowej. Aby dodatkowo zwiększyć stabilność zegara, można wykorzystać zewnętrzny generator wzorcowy 10 MHz, np. rubidowy lub cezowy (wejście Ext. CLK).

Wejścia A i B służą do pomiaru odcinka czasu w trybie START-STOP. Możliwe są dwa podstawowe warianty pracy: (1) impulsy START i STOP są podawane osobno na wejścia odpowiednio A i B oraz (2) impulsy START i STOP są podawane kolejno na jedno wejście (A lub B). Wejścia te mają wybieralną rezystancję wejściową (50 Ω lub 1 M Ω) oraz regulowany próg dyskryminacji, dzięki zastosowaniu przetworników cyfrowo-analogowych (C/A). Nastawy te są wprowadzane drogą programową, poprzez wirtualną płytę czołową licznika (na ekranie komputera). Przy odpowiednim doborze progów dyskryminacji można również mierzyć czas narastania i opadania impulsu na wejściu A lub B. Ponadto wejścia te można wykorzystać do pomiaru częstotliwości w zakresie sięgającym 120 MHz. Wejście F służy do pomiaru wysokiej częstotliwości, w zakresie od 100 MHz do 3,5 GHz. Wejście zezwalające EN może być wykorzystane do selektywnego uaktywniania toru z sygnałem START.

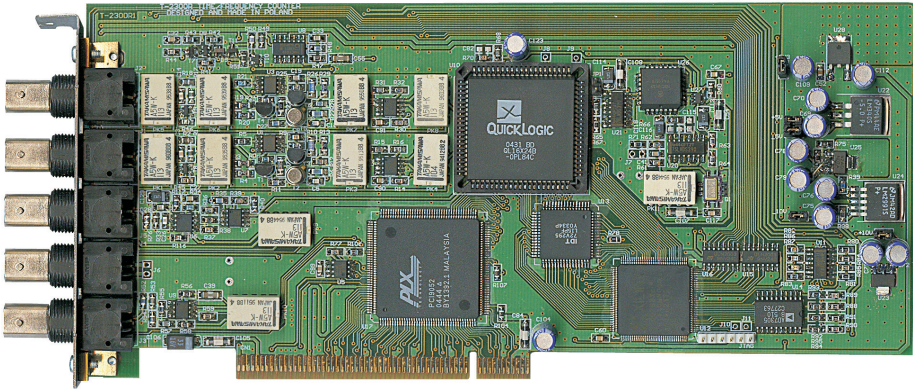
Wbudowany generator kalibracyjny (kalibrator) umożliwia wykonanie procedur kalibracyjnych w celu kompensacji przesunięcia wstępnego (*time offset*) między kanałami A i B oraz do identyfikacji nieliniowości dwóch przetworników czasowo-cyfrowych, zawartych w układzie FPGA. Uzyskane dane są pamiętane w pliku i wykorzystywane do automatycznej korekcji programowej tych nieliniowości, co pozwala zwiększyć dokładność pomiarów.

Licznik umożliwia również wytwarzanie bramki czasowej, blokującej w określonym czasie sygnały STOP (na wejściu A lub B) po zaakceptowaniu sygnału START. W ten sposób można wyeliminować impulsy zakłócające STOP, pojawiające się bezpośrednio po sygnale START, co często ma miejsce m.in. w dalmierzach laserowych.

Pamięć scalona FIFO (*First-In, First-Out*) jest wykorzystywana do bardzo szybkiego pamiętania kolejnych wyników pomiarów, czyli skracania czasu martwego licznika. Jest to pamięć dwuportowa, która umożliwia szybki zapis danych

pomiarowych przez port wejściowy i wolniejszy odczyt danych do komputera przez port wyjściowy i interfejs PCI.

Wygląd karty licznikowej ilustruje rysunek 2. Układ licznika FPGA firmy *QuickLogic* jest umieszczony wyżej na środku karty, a poniżej niego z lewej strony jest umieszczony układ interfejsu PCI (*PLX*). Karta zawiera 11 miniaturowych przekaźników (białe prostokąty), umożliwiających ustawienie różnych trybów pracy licznika.



Rys. 2. Wygląd zewnętrzny karty licznikowej T-2300R

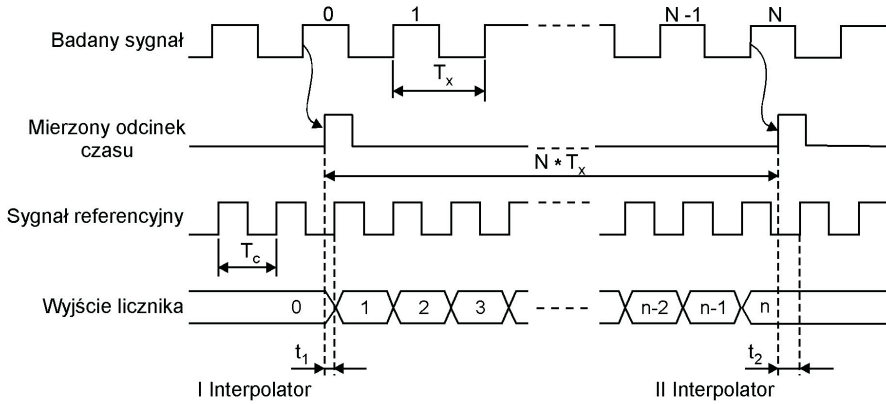
3. Licznik scalony FPGA

W scalonym liczniku czasu i częstotliwości do pomiaru odcinka czasu zastosowano interpolacyjną metodę Nutta [4]. Do pomiaru częstotliwości można wykorzystywać metodę odwrotnościową (*reciprocal*) albo klasyczną metodę bramkową (*totalize*).

Ze względu na wyższą dokładność pomiaru, metoda odwrotnościowa jest w opracowanym liczniku metodą podstawową. Polega ona na precyzyjnym pomiarze odcinka czasu NT_x utworzonego z wybranej, całkowitej liczby N okresów T_x sygnału mierzonego (rys. 3). Częstotliwość jest obliczana następująco

$$f = 1/T_x = N/(nT_c + t_1 - t_2), \quad (1)$$

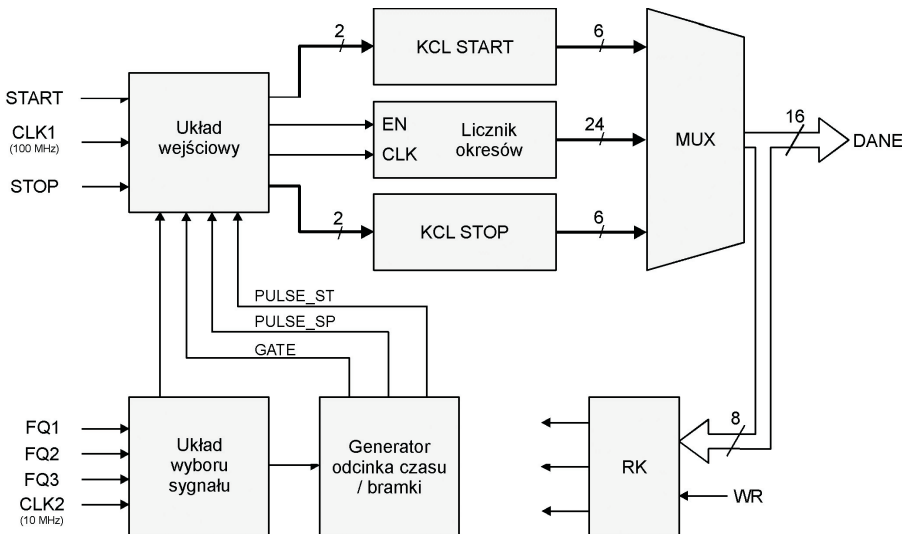
gdzie $T_c = 1/f_c$ jest okresem zegara referencyjnego, użytego w liczniku czasu. Początkowo dokładność pomiaru zwiększa się wraz ze wzrostem liczby mierzonych okresów, co wynika z uśredniania statystycznego okresów w obrębie odcinka T_x . Jednak przy małej częstotliwości i dużej liczbie N czas pomiaru może być długi. Przy znacznym wzroście odcinka czasu NT_x zwiększa się niekorzystny wpływ niestacjonarności częstotliwości zarówno sygnału mierzonego (f_x), jak i sygnału referencyjnego (f_c) na dokładność pomiaru.



Rys. 3. Zasada pomiaru częstotliwości metodą odwrotnościową

Klasyczna metoda bramkowa polega na zliczaniu impulsów w wybranej bramce czasowej, czyli umożliwia określenie liczby zdarzeń fizycznych w zadanym przedziale czasu. Zalety tej metody to możliwość określenia średniej częstości zdarzeń o losowym rozkładzie w czasie oraz prosta realizacja w postaci scalonej. Wadą metody jest długi czas pomiaru, jeśli jest wymagana wysoka dokładność.

Scalony licznik czasu i częstotliwości zrealizowany został w układzie programowalnym FPGA QL16X24B (*QuickLogic*) w sposób pokazany na rysunku 4. Podczas pomiaru częstotliwości metodą bramkową wykorzystywane są bloki: wejściowy,



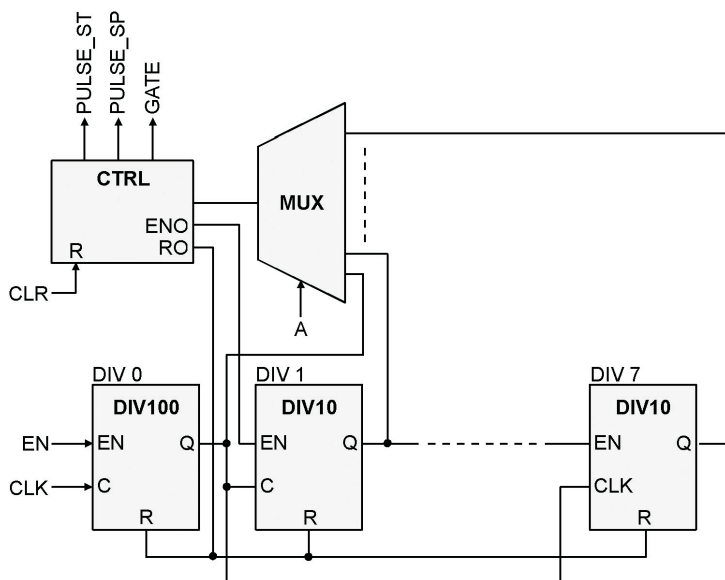
Rys. 4. Schemat blokowy licznika czasu i częstotliwości scalonego w układzie FPGA

wyboru sygnału, generator odcinka czasu / bramki, licznik okresów oraz multiplekser grupowy MUX. Natomiast przy pomiarze częstotliwości metodą odwrotnościową dodatkowo wykorzystywane są dwa konwertery czas-liczba (KCL-START i KCL-STOP). Odpowiednio do (1), licznik okresów służy do pomiaru odcinka czasu nT_c , a konwertery KCL-START i KCL-STOP mierzą odcinki czasu t_1 i t_2 . Konwertery KCL są wykonane jako różnicowe linie opóźniające z przerzutnikami zatrząskowymi [5]. Rejestr kontrolny RK zapamiętuje dane do nastaw poszczególnych trybów pracy, wpisywane sygnałem WR.

Generator odcinka czasu wytwarza impulsy PULSE_ST i PULSE_SP w odstępach równym NT_x . Maksymalna długość NT_x generowanego odcinka czasu ograniczona jest zakresem pomiarowym 24-bitowego licznika okresów. Dodatkowa część licznika okresów (13 bitów) umieszczona została w układzie programowalnym CPLD, służącym do sterowania kartą. Kompletny licznik okresów jest zatem 37-bitowy i może mierzyć odcinki czasu do 46 minut. Stwarza to możliwość pomiaru nawet bardzo niskich częstotliwości. Na przykład, dla najmniejszego podzakresu generatora odcinka czasu, odpowiadającego 100 okresom sygnału badanego, częstotliwość mierzona wynosi zaledwie 36 mHz.

Przy stosowaniu metody bramkowej do pomiaru częstotliwości, generacja bramek czasowych GATE odbywa się w generatorze bramki w oparciu o sygnał referencyjny CLK2. Wytworzona bramka czasowa stanowi sygnał zezwolenia dla licznika okresów, który w czasie jej trwania zlicza impulsy pojawiające się na wejściu zegarowym CLK z jednego z wejść FQ. Może być także wykorzystana bramka zewnętrzna (ENABLE). Może ona mieć bardzo długi czas trwania, co jest szczególnie istotne przy badaniach długookresowych, trwających np. kilka czy nawet kilkadziesiąt dni.

Przy pomiarach czasu i częstotliwości zazwyczaj wykorzystuje się bramki czasowe będące dziesiątą (pod)wielokrotnością jednej sekundy lub mierzy się liczbę okresów ustalaną dekadowo. Generator odcinka czasu / bramki w scalonym liczniku FPGA zaprojektowano tak, aby spełniał powyższe wymagania (rys. 5). W zależności od wybranego trybu pracy generator wytwarza parę impulsów w odstępach czasu proporcjonalnym do czasu trwania zadanej liczby okresów sygnału badanego (pomiar częstotliwości metodą odwrotnościową) lub bramkę czasową o zadanym czasie trwania (pomiar częstotliwości metodą bramkową). W pierwszym trybie odcinek czasu między impulsami PULSE_ST i PULSE_SP zależy od częstotliwości f_x badanego sygnału i wybranej liczby N zliczanych okresów T_x tego sygnału. Sygnał mierzony doprowadzany jest do wejścia CLK dzielnika DIV100, gdzie jego częstotliwość ulega stukrotnemu obniżeniu. Z dzielnika sygnał jest podawany na wejście multipleksera MUX oraz na wejścia zegarowe siedmiu dzielników dekadowych DIV10. Sygnały na wyjściach dzielników DIV0-DIV7 pojawiają się jednocześnie z wystąpieniem na wejściu CLK generatora bramki okresów odpowiednio setnego, tysięcznego, dziesięciotysięcznego itd., aż do okresu miliardowego. Wybór żądanego podzakresu odbywa się poprzez odpowiednie adresowanie multipleksera MUX.



Rys. 5. Schemat blokowy generatora odcinka czasu/bramki z dekadowym wyborem podzakresu

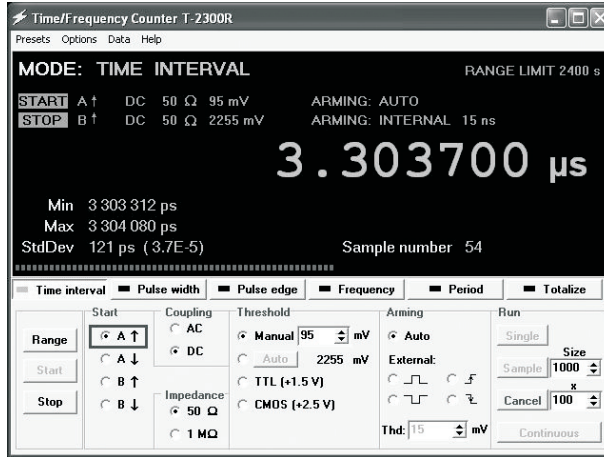
Ponieważ zaprojektowany generator bramki może być wykorzystywany do pomiaru częstotliwości zarówno metodą odwrotnościową, jak i metodą bramkową, oprócz pary impulsów PULSE_ST i PULSE_SP, wytwarzany jest także dodatkowy impuls GATE, będący żądaną bramką czasową.

4. Sterowanie i oprogramowanie licznika

Do sterowania pracą licznika zostało wykonane oprogramowanie dla systemu Windows 98/NT/XP. Przygotowane zostały również odpowiednie biblioteki i dokumentacja dla użytkowników zainteresowanych tworzeniem własnego oprogramowania z użyciem języków wysokiego poziomu, takich jak C, Delphi, Basic lub z użyciem uniwersalnych środowisk pomiarowych, np. LabView, HP Vee [3].

Wygląd okna interfejsu użytkownika został przedstawiony na rysunku 6. Okno zawiera wyświetlacz, umieszczony w centrum, wirtualny panel sterowania, umieszczony w dolnej części oraz standardowy pasek menu. Na wyświetlaczu jest zawsze widoczna informacja o aktualnym stanie licznika, czyli użyty tryb pomiarowy, konfiguracja wejść oraz wyniki pomiarów.

Wybór trybu pomiarowego odbywa się z użyciem odpowiedniego przycisku umieszczonego w górnej części panelu sterowania. Każdy tryb ma nastawy umożliwiające wskazanie aktywnego wejścia dla sygnału (A, B lub F), określenie polaryzacji sygnału (\uparrow , \downarrow lub \square , \square), uwzględnianie składowej stałej lub nie (DC/AC), wybór



Rys. 6. Wirtualna płyta czołowa licznika

impedancji wejściowej (50 Ω lub 1 M Ω), ustawianie progu komparacji (4 sposoby: wpisanie żądanej wartości, wykonanie automatycznej detekcji, wybór standardu TTL lub wybór standardu CMOS) oraz sterowanie aktywnością wejść z użyciem nastaw w polu *Arming*.

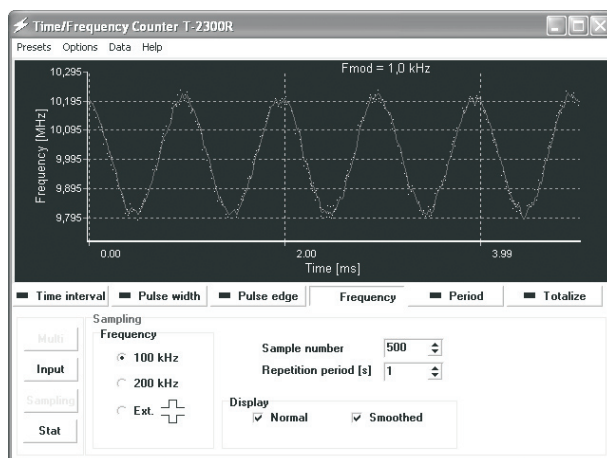
W trybie *Time Interval* tory dla sygnałów START i STOP konfiguruje się niezależnie. W tym przypadku dla toru STOP istnieje dodatkowa możliwość włączenia blokady przez określony czas od momentu wystąpienia aktywnego zbocza impulsu START (czas ustawiany w zakresie od 15 ns do 1,97 ms z krokiem 30 ns). W trybie tym jest kontrolowany również maksymalny czas oczekiwania na aktywne zbocze impulsu STOP.

Tryby *Pulse Width* i *Pulse Edge* są podobne do trybu *Time Interval*. Zostały wyróżnione jako osobne, gdyż dotyczą pomiarów sygnału doprowadzonego do jednego wejścia.

Tryby *Frequency* i *Period* służą do pomiaru częstotliwości oraz okresu sygnału z użyciem tej samej metody pomiaru czasu. W metodzie tej stosuje się pomiar wielokrotności jednego okresu z użyciem określonego mnożnika, którego wartość jest ustalana przyciskiem *Multi* spośród 1, 100, 1 k, 10 k, 100 k, 1 M, 10 M, 100 M. Częstotliwość sygnału jest w tym przypadku obliczana jako odwrotność okresu.

W trybie pomiaru częstotliwości jest dostępny przycisk *Sample* do przełączenia urządzenia w tryb ciągłego próbkowania częstotliwości z ustalonym krokiem czasowym (rys. 7). Zebrane wartości próbek są pokazane na ekranie w sposób pozwalający śledzić charakter zmian częstotliwości w czasie, na przykład możliwe jest wykrycie modulacji pasożytniczych lub śledzenie zakłóceń.

Tryb *Totalize* służy do zliczania impulsów. Zliczanie odbywa się w czasie trwania bramki czasowej deklarowanej w polu *Gate*. W trybie *Auto* bramki czasowe wybiera się przyciskiem *Gate* w zakresie od 10 μ s do 100 s z krokiem dekad-



Rys. 7. Przykład detekcji modulacji częstotliwości sygnału wejściowego

wym. Możliwe jest również wybranie bramki *Open*, której czas trwania zawarty pomiędzy kolejnymi naciśnięciami przycisków początku oraz końca pomiaru jest obliczany przez komputer. Przy ustawieniu *Auto* na podstawie liczby zliczeń oraz czasu trwania bramki jest wyznaczana i wyświetlana średnia częstość mierzonego sygnału, który może być losowy w czasie (np. proces Poissona). Natomiast przy ustawieniu *External* częstość nie jest wyznaczana, gdyż zliczanie impulsów następuje w czasie trwania bramek czasowych generowanych przez zewnętrzne urządzenie podłączone do wejścia EN.

Wszystkie tryby pomiarów pracy można modyfikować z użyciem przycisków *Single*, *Sample*, *Repeat* i *Continuous*, umieszczonych w polu *Run*. Przycisk *Single* inicjuje pomiary pojedyncze, przycisk *Sample* wyzwała serię pomiarów o liczności ustalonej przez użytkownika w polu *Size*, przycisk *Repeat* powoduje powtarzanie zdefiniowanych wyżej serii pomiarów wybraną liczbę razy, natomiast przycisk *Continuous* uruchamia proces wykonywania pomiarów w trybie nieprzerwanym (wykonywanie pomiarów kończy się z chwilą naciśnięcia przycisku *Stop*).

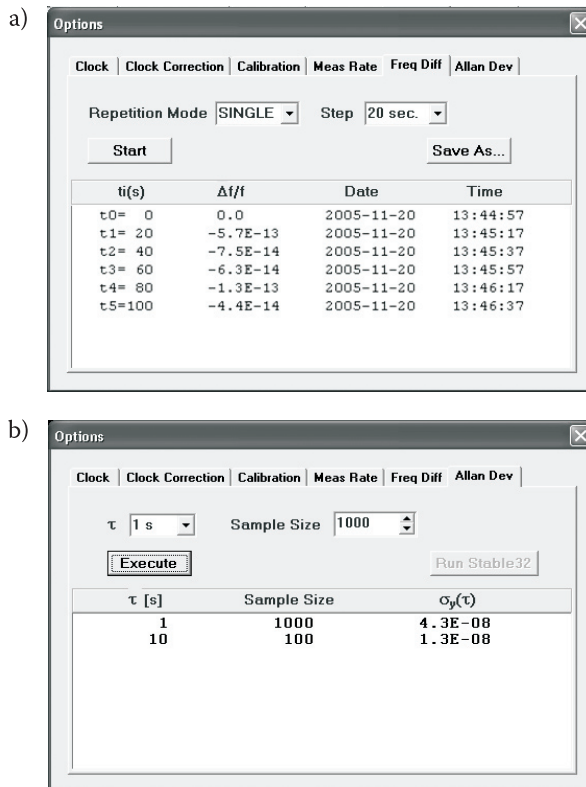
Podczas wykonywania serii pomiarów na bieżąco wykonuje się obliczenia częściowe, a po zakończeniu każdej serii — obliczenia końcowe wartości średniej \bar{X}_n i odchylenia standardowego S_n :

$$\bar{X}_n = X_1 + \frac{1}{n} \sum_{k=2}^n (X_k - X_1) \quad (2)$$

$$S_n = \sqrt{\frac{1}{n-1} \sum_{k=2}^n (X_k - X_1)^2 - \frac{1}{n(n-1)} \left[\sum_{k=2}^n (X_k - X_1) \right]^2}. \quad (3)$$

Opcja *Options* wyświetla okno z sześcioma zakładkami (rys. 8). W zakładce *Clock* można wybrać wewnętrzny lub zewnętrzny zegar wzorcowy 10 MHz. W zakładce *Clock Correction* można wykonać korekcję wewnętrznego generatora zegarowego z użyciem zewnętrznego wzorca 10 MHz i zapamiętać odpowiednią poprawkę. Zakładka *Calibration* umożliwia wykonanie pojedynczej kalibracji lub wybór okresu jej powtarzania (10 minut, 1 godzina lub okres wybierany automatycznie). Zakładka *Meas Rate* daje możliwość ustawienia żądanej długości czasu pomiędzy kolejnymi pomiarami. W domyślnym trybie *Auto* pomiary wykonywane są z szybkością maksymalną. Zakładka *Freq Diff* umożliwia pomiar różnicy częstotliwości sygnałów o nominalnie tej samej częstotliwości, a zakładka *Allan Dev* umożliwia obliczenie dewiacji Allana dla częstotliwości badanego sygnału.

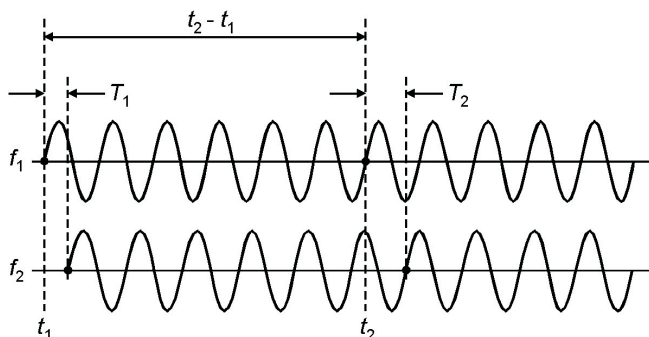
Przy pomocy *Freq Diff* można bezpośrednio określić dokładność częstotliwości sygnału badanego względem sygnału z wysokostabilnego wzorca częstotliwości, np. generatora cezowego (rys. 8a). Obliczanie wartości błędu odbywa się z zadaniem krokiem (domyślnie co 20 s) na podstawie wzoru



Rys. 8. Pomiar różnicy nominalnie tych samych częstotliwości z użyciem zakładki *Freq Diff* (a) oraz obliczanie dewiacji Allana z użyciem zakładki *Allan Dev* (b)

$$\frac{\Delta f}{f} = \frac{T_2 - T_1}{t_2 - t_1}, \quad (4)$$

gdzie odpowiednie symbole są zdefiniowane na rysunku 9.



Rys. 9. Wyznaczania różnicy częstotliwości dwóch sygnałów o nominalnie tych samych częstotliwościach nominalnych

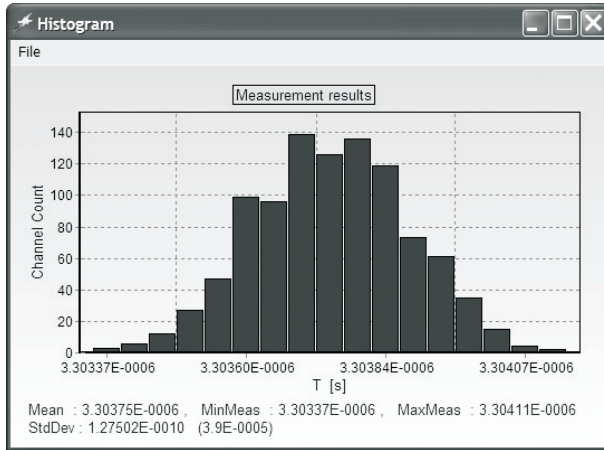
Często stosowaną miarą stabilności krótkoczasowej wysokojakościowych oscylatorów jest dewiacja Allana $\sigma_y(\tau)$, opisana w wielu publikacjach, np. [6]. Zgodnie z definicją, jest ona obliczana na podstawie zbioru n kolejno mierzonych częstotliwości f_k , uśrednianych w czasie τ i następujących po sobie w czasie τ (czyli z zerowym czasem martwym):

$$\sigma_y(\tau) = \frac{1}{\bar{f}} \sqrt{\frac{1}{2(n-1)} \sum_{k=1}^{n-1} (\bar{f}_{k+1} - \bar{f}_k)^2}, \quad (5)$$

gdzie \bar{f} jest nominalną częstotliwością oscylatora. Przykładowe wyniki ilustruje rysunek 8b. Tradycyjnie częstotliwość była mierzona przez zliczanie okresów w czasie trwania bramki τ (tryb *Totalize*). W opisywanym liczniku zastosowano do tego celu metodę odwrotnościową, która zapewnia znacznie lepszą dokładność.

Opisywany licznik ma bardzo krótki czas martwy, przy pomiarze częstotliwości równy $3/f + 0,6 \mu\text{s}$. Na przykład, przy pomiarze częstotliwości 10 MHz przy $\tau = 1 \text{ s}$ czas ten jest równy $0,9 \mu\text{s}$, czyli (czas martwy)/ $\tau \approx 10^{-6}$.

Opcja *Data* zawiera kilka podopcji związanych z przetwarzaniem wyników pomiarów. Umożliwiają one m.in. włączenie zapisu wyników do pliku *result.txt*, wyświetlenie zapisanych danych z użyciem wbudowanego edytora tekstowego oraz wyświetlenie histogramu wyników (rys. 10).



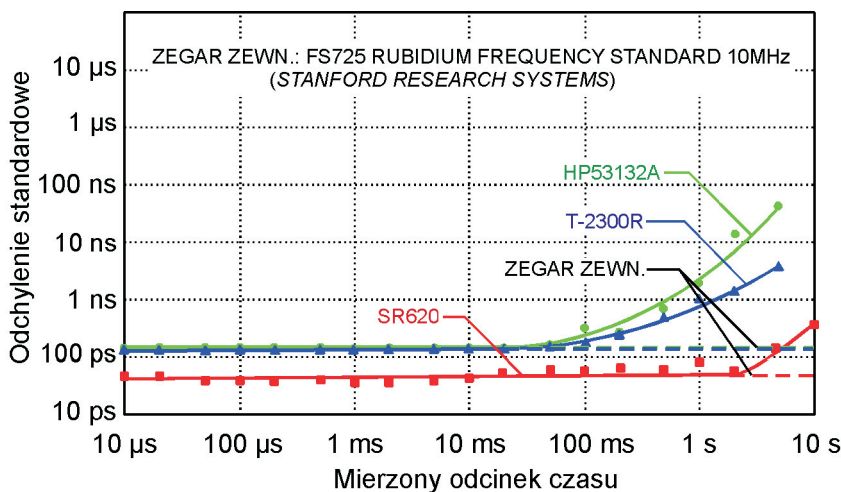
Rys. 10. Przykład histogramu otrzymanego z użyciem opcji Data→View distribution

5. Dokładność i wyniki pomiarów

Dokładność pomiarów określa się dwoma miarami: stabilnością długoczasową (głównie temperaturową) i stabilnością krótkoczasową, obliczaną jako statystyczne odchylenie standardowe z próbki, określane jako *standardowa niepewność pomiarowa*. Stabilność długoczasowa w liczniku czasu zależy bezpośrednio od użytego wzorca częstotliwości. Powolne zmiany temperatury wywołują powolne zmiany opóźnień w torach wejściowych, co prowadzi do zmian „zera” czasu (*offset*) licznika. Pod wpływem temperatury zmieniają się również charakterystyki przetworników czasowo-cyfrowych w liczniku FPGA. Te zmiany o charakterze systematycznym można skompensować przy pomocy procedur kalibracyjnych, wbudowanych do oprogramowania licznika.

Wielkość standardowej niepewności pomiarowej w opisywanym liczniku czasu zależy głównie od kroku kwantyzacji (*LSB* — *Least Significant Bit*) i nieliniowości użytych konwerterów czasowo-cyfrowych. Gdy mierzone odcinki czasu nie są idealnie stałe, lecz mają rozkład statystyczny w obrębie *LSB*, niepewność wyników z licznika (z dwoma interpolatorami) wywołana kwantyzacją wynosi w przybliżeniu $s_q \approx 0,41 \text{ LSB} = 82 \text{ ps}$. Gdy mierzone odcinki są stałe, wówczas odchylenie standardowe zależy od długości tych odcinków i może osiągnąć wartość maksymalną równą $s_{q \text{ max}} = 0,5 \text{ LSB} = 100 \text{ ps}$. Wartość średnia jest równa $s_{q \text{ av}} = \pi \cdot \text{LSB} / 8 \approx 0,39 \text{ LSB} = 78 \text{ ps}$. Jako dobre przybliżenie można więc przyjąć miarę $s_q \approx 0,4 \text{ LSB} = 80 \text{ ps}$. Ponieważ licznik ma typową niepewność pomiarową równą przy pomiarze odcinka czasu ok. 150 ps, można wnioskować, że wpływ pozostałych źródeł błędów losowych można wyrazić miarą $\sqrt{150^2 - 80^2} = 127 \text{ ps}$. Oznacza to, że dominującą przyczyną niepewności pomiarowej licznika jest nieliniowość konwerterów.

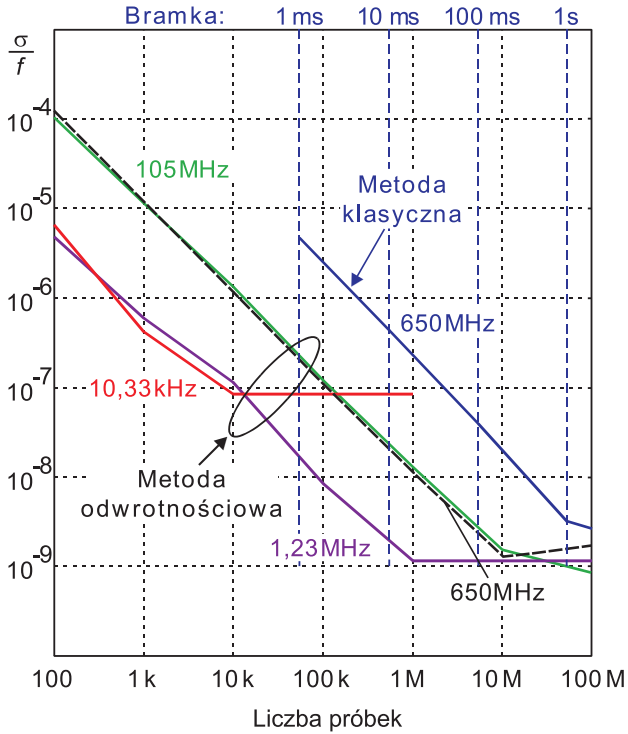
Do ustalenia standardowej niepewności pomiaru w zakresie do 10 s wykorzystano jako źródło sygnałów mierzonych generator odcinków czasu DG535 synchronizowany sygnałem z rubidowego wzorca częstotliwości FS725 (obydwa przyrządy firmy *Stanford Research Systems*). Wykonano badania porównawcze z komercyjnymi licznikami czasu: SR620 (*Stanford Research Systems*) oraz HP53132A (*Agilent*), przy czym liczniki testowano w dwóch konfiguracjach — z wykorzystaniem wewnętrznego i zewnętrznego źródła sygnałów zegarowych 10 MHz. Wyniki pomiarów przedstawia rysunek 11.



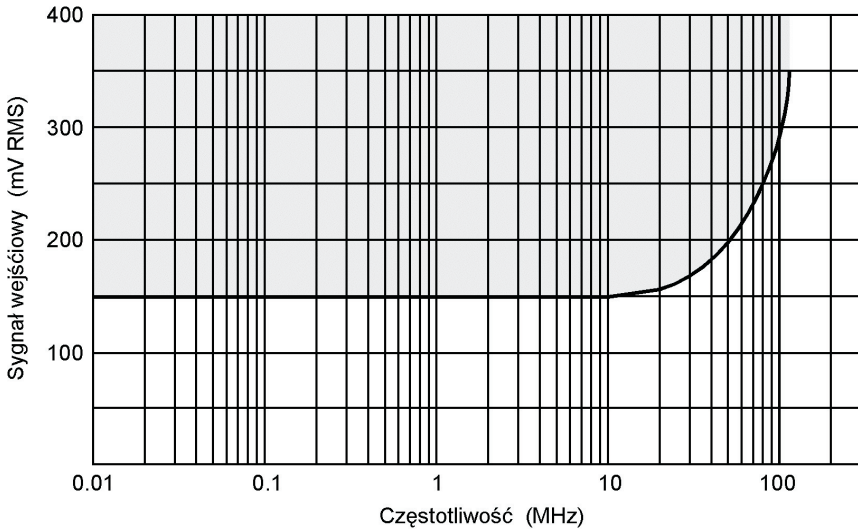
Rys. 11. Porównanie standardowej niepewności pomiaru opisywanego licznika (T-2300R) z licznikami komercyjnymi

Wykonano również testy dokładności pomiaru częstotliwości przy użyciu miary σ/f (rys. 12). Pokazane wyniki pomiarów częstotliwości 650 MHz były uzyskane metodą bramkową (z wykorzystaniem bramek od 1 ms do 1 s) oraz metodą odwrotnościową. Jak widać, metoda odwrotnościowa charakteryzuje się większą dokładnością w porównaniu z metodą bramkową. Na rysunku pokazano również pomiary wykonane dla innych częstotliwości.

Na rysunku 13 pokazana jest charakterystyka czułości oraz pasma przenoszenia wejściowych torów sygnałowych A i B licznika.



Rys. 12. Dokładność pomiaru częstotliwości klasyczną metodą bramkową i metodą odwrotnościową



Rys. 13. Czułość torów wejściowych A i B licznika

6. Dane techniczne

<ul style="list-style-type: none"> • Pojedyncza karta PCI PnP dla PC • Zakres pomiaru odcinka czasu: 0-2400 sekund • Rozdzielczość 200 ps przy pomiarach pojedynczych (bez uśredniania) • Rozdzielczość 1 ps przy uśrednianiu • Standardowa niepewność pomiarowa < 200 ps (bez uśredniania) • Zakres pomiaru częstotliwości: do 3,5 GHz, czułość na wejściu F: < -15 dBm (< 40 mV) od 400 MHz do 3 GHz oraz < -2,5 dBm (< 170 mV) od 100 MHz to 3,5 GHz • Pomiar stabilności częstotliwości: <ol style="list-style-type: none"> 1) Bezpośrednie porównanie z zewnętrznym lub wewnętrznym standardem do określenia różnicy i dryfu częstotliwości 2) Pomiar i obliczanie dewiacji Allana • Szybkie próbkowanie częstotliwości i obrazowanie graficzne uzyskanych danych 	<ul style="list-style-type: none"> • Pomiar fazy, okresu, szerokości i zboczy impulsu, tryb zliczania bramkowego (<i>Totalize</i>) • Maksymalna częstotać pomiarów: 1,66 M pomiarów/s do pamięci FIFO i 200 K pomiarów/s do pamięci w PC • Wybieralna impedancja wejściowa: 50 Ω/1 MΩ • Wybieralne aktywne zbocze impulsu i jego biegunowość • Ustawialny ręcznie poziom progu dyskryminacji na wejściach lub procedura automatycznego wyboru progu • Wbudowany kalibrator • Wszechstronne przetwarzanie statystyczne danych pomiarowych • Przyjazne oprogramowanie dla środowiska Windows 98/2000/XP i biblioteka DLL do zastosowań użytkownika • Natychmiastowy eksport danych pomiarowych do wykorzystania przez inne programy (<i>Stable32, MS Excel</i>)
--	--

Artykuł wpłynął do redakcji 19.07.2006 r. Zweryfikowaną wersję po recenzji otrzymano 26.09.2006 r.

LITERATURA

- [1] J. KALISZ, R. SZPLET, R. PEŁKA, *Single-chip interpolating time counter with 200-ps resolution and 43-s range*, IEEE Transactions on Instrumentation and Measurement, vol. 46, no. 4, August 1997, 851-856.
- [2] R. SZPLET, J. KALISZ, *Scalony licznik czasu i częstotliwości z użyciem dwu metod do pomiaru częstotliwości*, Raport Badawczy PBS nr 4/2005, PBS734/05.
- [3] Z. JACHNA, *Metody sterowania precyzyjnego licznika czasu i częstotliwości FPGA jako karty komputerowej PCI*, Raport Badawczy PBS nr 1/2005, PBS734/05.
- [4] J. KALISZ, *Review of methods for time interval measurements with picosecond resolution*, Metrologia, vol. 41, no. 1, 2004, 17-32.
- [5] J. KALISZ, R. SZPLET, J. PASIERBIŃSKI, A. PONIECKI, *Field-Programmable-Gate-Array-Based Time-to-Digital Converter with 200-ps Resolution*, IEEE Transactions on Instrumentation and Measurement, vol. 46, no. 1, February 1997, 51-55.
- [6] <http://tf.nist.gov/phase/Properties/main.htm>

J. KALISZ, Z. JACHNA, R. SZPLET, K. RÓŻYC

Precise time and frequency counter with pci interface

Abstract. We describe the design, operation and test results of a precise time and frequency counter, built as a computer board with PCI interface. The time interval is measured with the use of the Nutt interpolation method implemented in a CMOS FPGA device containing two proprietary time interpolators. The time interval can be measured with a 200 ps resolution and the measurement uncertainty typically of about 150 ps. The frequency can be measured up to 3.5 GHz using the reciprocal method. Special routines have been built-in for counter calibration, clock correction, measurement of frequency difference, and Allan deviation. Thanks to the use of a fast FIFO memory, a high measurement rate has been achieved, reaching 1.66×10^6 measurements per second when transferring data to FIFO memory.

Keywords: time metrology, time interval measurement, frequency measurement, picosecond resolution, time interpolator, time-to-digital converter

Universal Decimal Classification: 531.761