



## Przetworniki analogowo-cyfrowe i cyfrowo-analogowe delta-sigma zaimplementowane w układach programowalnych FPGA VIRTEX-4

TOMASZ RADOMSKI, RYSZARD PEŁKA

Wojskowa Akademia Techniczna, Wydział Elektroniki, Instytut Telekomunikacji,  
00-908 Warszawa, ul. S. Kaliskiego 2

**Streszczenie.** W artykule opisano wybrane architektury modulatorów delta-sigma, które zostały wykorzystane i przetestowane w przetwornikach analogowo-cyfrowych i cyfrowo-analogowych. Dokonano implementacji przetworników C/A pierwszego i drugiego rzędu oraz A/C pierwszego rzędu w układzie programowalnym FPGA. Do badań wykorzystano płytę ewaluacyjną ML401 firmy Xilinx z układem XC4VLX25 z rodziny Virtex-4. Wyniki implementacji modulatorów delta-sigma przedstawiono w postaci wykresów widm mocy sygnałów wyjściowych przetworników i wykresów błędu DNL. Podano ilość zasobów zajmowanych przez poszczególne przetworniki oraz ich maksymalne częstotliwości pracy. Do badania przetworników opracowano cyfrową metodę pomiaru, wykorzystującą środowisko Matlab. W artykule przedstawiono przykładowy algorytm korekcji przetworników C/A układami kombinacyjnymi, metodę poprawy rozdzielczości przetworników autonomicznych oraz koncepcję przetwornika czterokanałowego.

**Słowa kluczowe:** przetwarzanie sygnałów, modulacja delta-sigma, FPGA, przetwornik analogowo-cyfrowy, przetwornik cyfrowo-analogowy

**Symbole UKD:** 621.382

### 1. Wprowadzenie

Coraz szybsze układy programowalne, większe, posiadające więcej wewnętrznych podzespołów funkcyjnych, takich jak pętle PLL, bloki pamięci BRAM, bloki DSP sprzyjają rozwojowi systemów zintegrowanych w jednym układzie (ang. SoC — *System-on-chip*). Przetwarzanie sygnałów dotychczas realizowane w układach dedykowanych lub procesorach sygnałowych coraz powszechniej wykonuje się we-

wnętrz tych układów. Na rynku pojawiają się coraz lepsze, bardziej nowoczesne układy programowalne FPGA, takie jak: Virtex-5, Virtex-4, Spartan-3 firmy Xilinx, StratixII firmy Altera czy też ProASIC3 firmy Actel. Rozdzielczość technologii wykonania tych układów osiągnęła 65 nm. Wielkości tych struktur dochodzące do kilku milionów bramek i częstotliwość pracy osiągająca 550 MHz umożliwiają implementację złożonych systemów wykonujących szereg zadań. Możliwa staje się także implementacja wewnątrz tych struktur efektywnych przetworników 1-bitowych analogowo-cyfrowych i cyfrowo-analogowych, opartych na modulatorach delta-sigma [1].

Integracja przetworników w układach programowalnych daje konstruktorom dużą elastyczność w tworzeniu systemów elektronicznych. Układy programowalne są dedykowane do systemów rekonfigurowalnych i stanowią idealną platformę do badań nad cyfrowymi modulatorami delta-sigma. Ponadto, mimo coraz większej dostępności układów typu ASIC, technologia ta jest jeszcze wciąż droga, natomiast układy FPGA o dużej złożoności tanieją.

W przypadku urządzeń specjalistycznych, produkowanych w małych seriach, układy programowalne mają dużą przewagę nad układami typu ASIC. Rozwijająca się coraz szybciej technologia układów FPGA powoli zaciera granicę między tymi układami a układami ASIC. Niniejszy artykuł dotyczy badań nad implementacją przetworników w układach programowalnych.

Układy analogowe stają się łącznikiem pomiędzy światem zewnętrznym a układami cyfrowymi, maszynami elektronicznymi. Przetworniki A/C i C/A umożliwiają konstruktorom przechodzenie ze świata dyskretnego do ciągłego i odwrotnie, dlatego są bardzo ważnymi elementami. Technologia układów programowalnych wciąż się rozwija, potrzebne są zatem nowe rozwiązania i struktury przetworników delta-sigma.

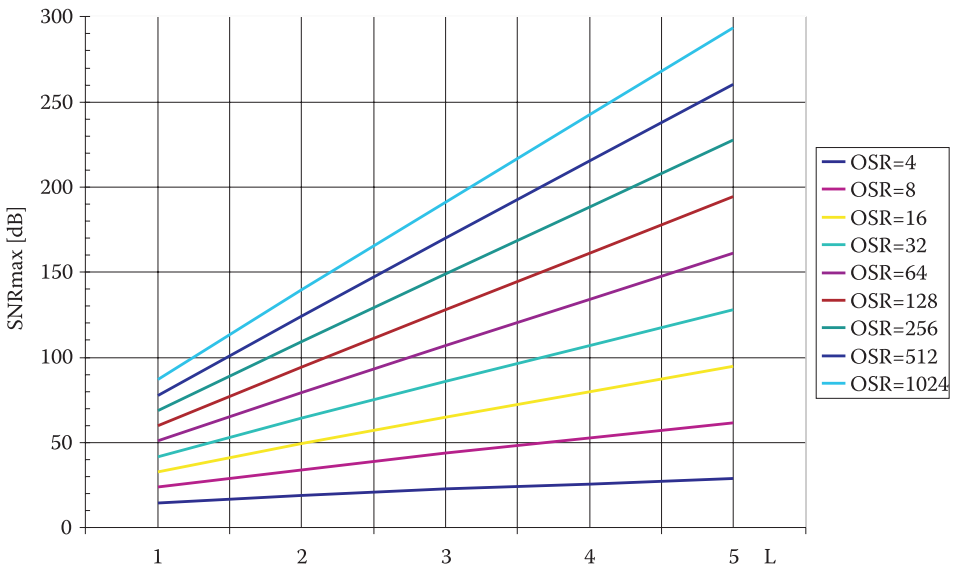
Temat modulacji delta-sigma został podjęty w wielu artykułach. W [1] autorzy przedstawiają uniwersalny moduł przetwornika cyfrowo-analogowego do zastosowań audio. Autorzy wykonali symulację w środowisku Simulink, wykorzystując toolbox *delsig* [2] opracowany przez Richarda Schreiera, następnie dokonali implementacji przetwornika trzeciego i piątego rzędu w układzie FPGA XC2V1000-4 Virtex II firmy Xilinx. Parametry, jakie uzyskali są zadowalające. Słabą stroną tego rozwiązania jest duża ilość zajmowanych zasobów i stosunkowo niska szybkość pracy przetwornika (maksymalnie 51 MHz).

Autorzy w [3] skupili się na uzyskaniu jak najmniejszej ilości zajmowanych zasobów układu FPGA przez modulator wykonany za pomocą DPA (ang. *digital phase accumulator*) — cyfrowego akumulatora fazy. Udało im się zrealizować 16-bitowy modulator delta-sigma zajmujący trzy makrokomórki (ang. *macrocells*) układu FPGA Virtex II. W tym rozwiązaniu sygnał wejściowy musi mieć strukturę szeregową, a maksymalna częstotliwość próbkowania wynosi 87,5 MHz, 42,4 MHz, 20,6 MHz lub 8,4 MHz dla rozdzielczości słowa wejściowego odpowiednio 4-, 8-, 16- lub 32-bitowego. Koszt tego rozwiązania jest niewielki, szczególnie w zastosowaniu do wielokanałowych przetworników DAC.

Prosty przetwornik cyfrowo-analogowy został przedstawiony w [4]. Implementacji dokonano w układzie Virtex-II. Autor opisuje praktyczne aspekty wykorzystania opisanego przetwornika, na bazie którego możliwe jest także skonstruowanie przetwornika analogowo-cyfrowego [5].

## 2. Ograniczenia modulatorów delta-sigma zaimplementowanych w układach FPGA

Szybkość i rozdzielczość przetworników delta-sigma są od siebie uzależnione. Rysunek 1 uwidacznia te zależności. Wybór optymalnego rozwiązania jak zawsze zależy od docelowej aplikacji.



Rys. 1. Wykres zależności  $SNR_{max}$  dla modulatorów delta-sigma jednobitowych w zależności od rzędu modulatora L dla różnych współczynników nadpróbkowania OSR

Szybkie przetwarzanie A/C i C/A o dużej rozdzielczości wymaga modulatorów wyższego rzędu. Ponieważ w układach FPGA można stosować jedynie kwantyzery jednobitowe, parametry przetworników możemy zmieniać tylko przez zmianę częstotliwości pracy przetwornika, czyli zmianę OSR (ang. *oversampling ratio*) oraz architektury modulatorów.

Z rysunku 1 wynikają ciekawe wnioski dla modulatorów pierwszego i drugiego rzędu, które opisywane są w dalszej części artykułu. Jeśli ma się do dyspozycji modulator pierwszego rzędu, osiągnięcie dużego współczynnika SNR wymaga stosowania dużego współczynnika nadpróbkowania. Przy OSR równym 1024 można

osiągnąć SNR równy 86 dB. Odpowiada to rozdzielczości około 14 bitów. Po założeniu implementacji modulatora w układzie Virtex-4 można przyjąć maksymalną częstotliwość pracy modulatora równą 300 MHz, co odpowiada maksymalnej częstotliwości sygnału 146,4 kHz. Jeśli założymy wykorzystanie modulatora do przetwarzania sygnałów biomedycznych, na przykład EKG, to można przyjąć pasmo sygnału równe 100 Hz. Jeśli wykorzystamy modulator pierwszego rzędu o częstotliwości pracy 100 MHz współczynnik nadpróbkowania wyniesie 500 000. Tak duży współczynnik nadpróbkowania pozwala na osiągnięcie  $SNR_{max}$  równego 167 dB. Po przeliczeniu tej wartości na rozdzielczość przetwornika otrzymujemy 27 bitów. Ta wartość jest oczywiście wielkością tylko teoretyczną. W dalszej części artykułu poruszony został problem zakłóceń, które znacząco wpływają na rozdzielczość. Niemniej jednak przykład ten pokazuje, że możliwe jest osiągnięcie praktycznie dowolnej rozdzielczości.

Przy wykorzystaniu modulatora do budowy EKG korzystne jest obniżenie częstotliwości pracy modulatora w celu minimalizacji poboru prądu. Wymagana minimalna rozdzielczość modulatora wynosi 16 bitów. Współczynnik SNR dla takiej wartości wynosi 98 dB. Dla modulatora pierwszego rzędu wartość taką można osiągnąć, stosując OSR równy 2500. Przy założeniu pasma sygnału równego 100 Hz minimalna częstotliwość pracy modulatora powinna wynosić co najmniej 500 kHz.

Jeśli chcemy wykorzystać przetwornik delta-sigma do przetwarzania sygnałów o możliwie największym pasmie i rozdzielczości 8 bitów, przy założeniu maksymalnej częstotliwości pracy modulatora równej 300 MHz współczynnik OSR musi wynosić 64, co w rezultacie daje maksymalną częstotliwość sygnału około 2,5 MHz. Jeśli wykorzystamy modulator drugiego rzędu, to maksymalna częstotliwość wynosi już 9,3 MHz. Dla modulatora czwartego rzędu maksymalna częstotliwość sygnału wynosi aż 25 MHz.

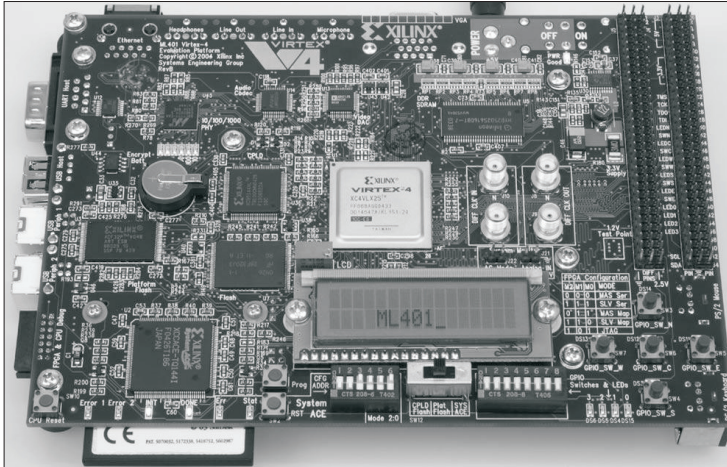
Z rozważań tych wynikają proste wnioski. Do przetwarzania sygnałów o dużym pasmie należy wykorzystać modulatory o wysokim rzędzie. W przypadku przetwarzania cyfrowo-analogowego przykłady takich architektur zostały już opisane [8], [9], natomiast struktury całkowicie cyfrowe rzędu wyższego niż jeden dla przetworników analogowo-cyfrowych delta-sigma wciąż są poszukiwane.

Oprócz osiągnięcia wymaganej rozdzielczości, nadpróbkowanie zmniejsza wymagania na filtry wygładzające i antyaliasingowe [7]. Klasyczny model przetwornika pierwszego rzędu został przedstawiony w wielu artykułach [1, 8, 9]. Wadą modulatorów pierwszego rzędu jest występowanie cykli skończonych [10, 11].

### 3. Badania eksperymentalne

Badania przetworników analogowo-cyfrowych i cyfrowo-analogowych prowadzono, wykorzystując płytę ewaluacyjną ML401 firmy Xilinx z układem

XC4VLX25FF668 z rodziny LX [13]. Na rysunku 2 przedstawiono widok wykorzystywanej płyty.

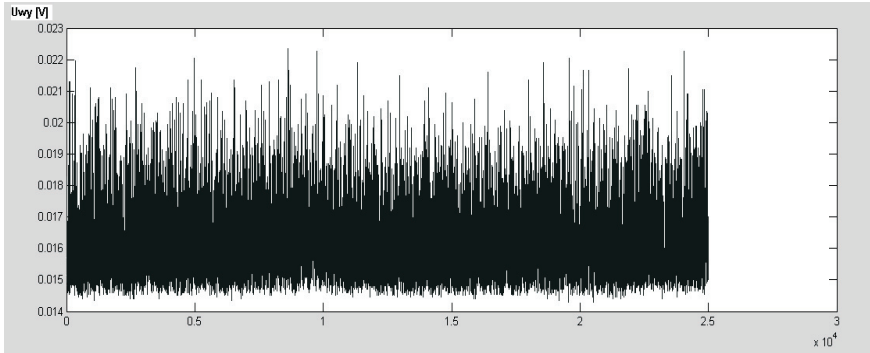


Rys. 2. Płyta ewaluacyjna ML401 firmy Xilinx

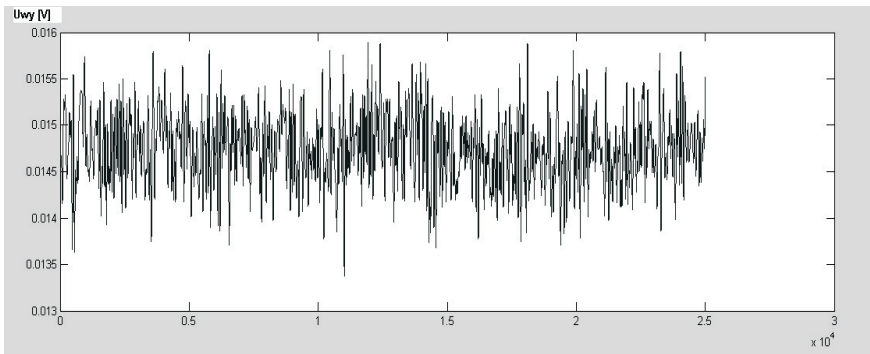
Płyta ML401 posiada konstrukcję, która pozwala na łatwe rozbudowanie i dołączenie dodatkowych elementów, takich jak na przykład filtry dolnoprzepustowe. Paradoksalnie, podczas badań przetworników delta-sigma okazało się, że wadą płyty jest znaczne rozbudowanie, mnogość oscylatorów i szybkich układów cyfrowych w połączeniu z zastosowanymi przetwornicami napięcia typu DC-DC, co powoduje znaczne zakłócenia na płycie. Aby mierzyć poziomy napięcia rzędu miliwoltów i mniejsze, zastosowaliśmy zewnętrzne zasilanie niskoszumnymi stabilizatorami liniowymi po uprzednim wyłączeniu przetwornic DC-DC na płycie. W celu zapobiegnięcia przenikaniu zakłóceń od komputera PC każdorazowo po zaprogramowaniu układu Virtex-4 odłączano programator JTAG, który wprowadzał zakłócenia. Dodatkowo interfejs RS232 podłączono poprzez układ separatora galwanicznego. Na rysunku 3 przedstawiono porównanie wyników konwersji przetwornika pierwszego rzędu delta-sigma A/C w dwóch przypadkach: bez separatora galwanicznego i ze standardowymi układami zasilającymi oraz z separatorem galwanicznym i zewnętrznym zasilaniem płyty.

Wykonano pomiary parametrów przetworników cyfrowo-analogowych delta-sigma pierwszego i drugiego rzędu oraz przetwornika analogowo-cyfrowego pierwszego rzędu. Do oceny parametrów przetworników cyfrowo-analogowych opracowano cyfrowy układ pomiarowy, znajdujący się wewnątrz struktury programowalnej. Pomiary zostały zautomatyzowane dzięki wykonaniu dodatkowych bloków oraz wykorzystaniu środowiska Matlab. Na rysunku 4 przedstawiono schemat blokowy stanowiska badawczego.

a)



b)

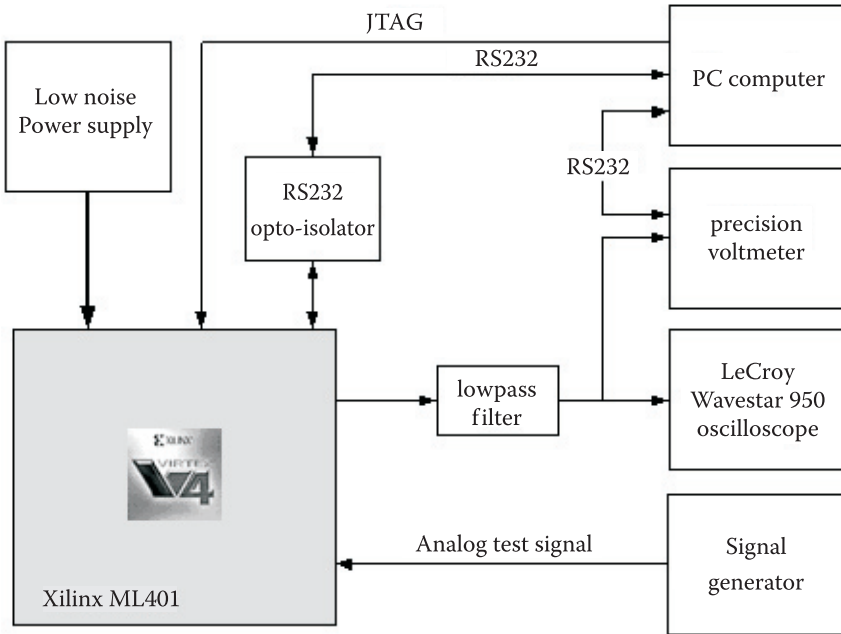


Rys. 3. Porównanie wyników konwersji przetwornika A/C delta-sigma: a) bez separatora, zasilanie standardowe; b) z separatorem galwanicznym, zasilanie zewnętrzne

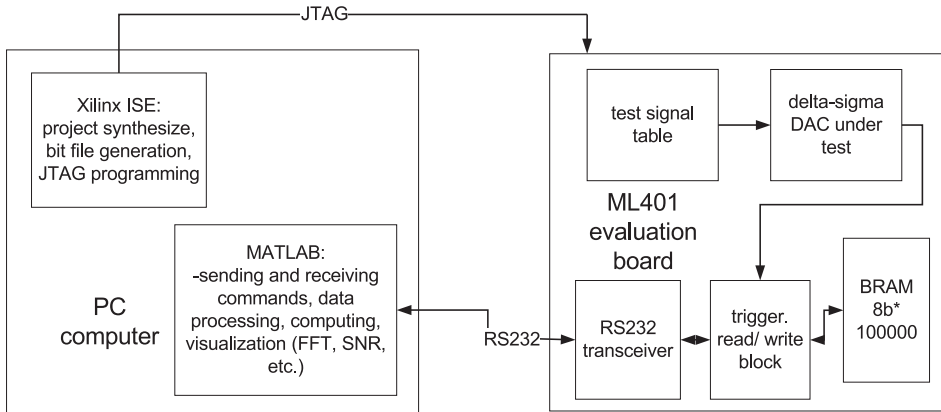
Generator funkcyjny służył jako źródło sygnału pomiarowego dla przetworników A/C. W celu wyznaczenia charakterystyki liniowości DNL przetworników C/A cyfrowy ciąg wyjściowy podano na filtr dolnoprzepustowy, a następnie analogową wartość napięcia mierzono precyzyjnym woltomierzem. Z uwagi na duży współczynnik nadpróbkiowania i rząd modulatorów nie większy niż dwa, zastosowano zwykły filtr RC.

Identyczny filtr stosowano jako integrator w przetwornikach analogowo-cyfrowych. Większość czynności związanych z przeprowadzeniem pomiarów odbywa się po stronie komputera PC. Schemat funkcjonalny stanowiska pomiarowego przedstawiono na rysunku 5.

W celu przetestowania przetworników C/A posłużono się tablicą z wartościami funkcji sinus dla kąta od 0 do 90°. Funkcje sinus dla pozostałych wartości kąta oblicza układ arytmetyczny zakodowany w języku VHDL. Zredukowano w ten sposób wielkość pamięci potrzebnej do wygenerowania pełnego okresu sygnału sinusoidalnego. Oprócz generatora sygnału testującego, w układzie programowalnym znajduje się



Rys. 4. Schemat blokowy stanowiska badawczego



Rys. 5. Schemat funkcjonalny procesu badania parametrów przetwornika

układ do komunikacji dwukierunkowej poprzez interfejs RS232 oraz układ zapisu i odczytu sygnału wyjściowego przetwornika. Próbkę wyjściową z przetwornika zapisywano z dużą częstotliwością do pamięci wewnętrznej BRAM 8-bitowej. Po zapisie całej pamięci próbek i odebraniu komendy od komputera PC jej zawartość zostaje wysłana z prędkością 115 200 bitów/s przez RS232 do komputera PC.

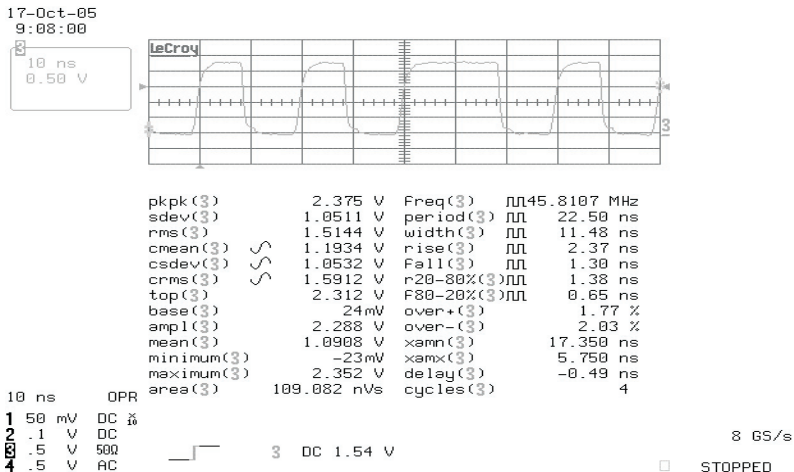


Do pomiarów i ich analizy został napisany program w środowisku Matlab, składający się z szeregu skryptów. Pozwoliło to na automatyzację pomiarów i umożliwiło ich łatwą modyfikację. Wykorzystano niektóre biblioteki programu, na przykład funkcje FFT oraz filtry dolnoprzepustowe.

Zastosowana metoda pomiaru widma sygnału wyjściowego przetworników C/A jest bardzo dokładna, ale nie uwzględnia wpływu wyjścia na parametry przetworników. Szybkość buforów wyjściowych układu programowalnego, pojemność wyjścia, poziomy napięcia dla „0” i „1” oraz wydajność prądowa mają wpływ na wyniki pomiarów.

Do badań wybrano przetworniki o rozdzielczości 16 bitów. Maksymalna wartość wyjściowa przetworników FS (full scale) zależy od typu wyjścia układu FPGA. Z uwagi na największą wydajność prądową, wybrano do badań typ wyjścia LVTTL, co daje zakres napięcia wyjściowego od 0 do 3,3 V dla układu typu XC4VLX25. Najmniejszy teoretyczny przyrost napięcia wyjściowego wynosi zatem  $50,35 \mu\text{V}$ . Pomiar liniowości potwierdziły tę wartość.

Najprostszy przetwornik cyfrowo-analogowy można zbudować za pomocą sumatora z wyjściem przeniesienia oraz przerzutnika [9]. Na wyjściu układu programowalnego otrzymujemy ciąg impulsów. Wartość średnia tego ciągu podąża za wartością sygnału wejściowego. Na rysunku 6 przedstawiono sygnał wyjściowy przetwornika cyfrowo-analogowego delta-sigma taktowanego zegarem o częstotliwości 100 MHz.

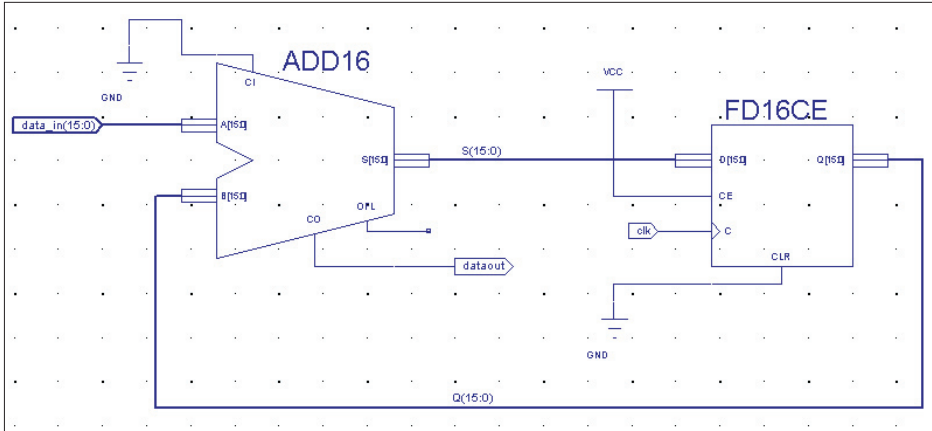


Rys. 6. Sygnał wyjściowy modulatora delta-sigma na wyjściu układu programowalnego

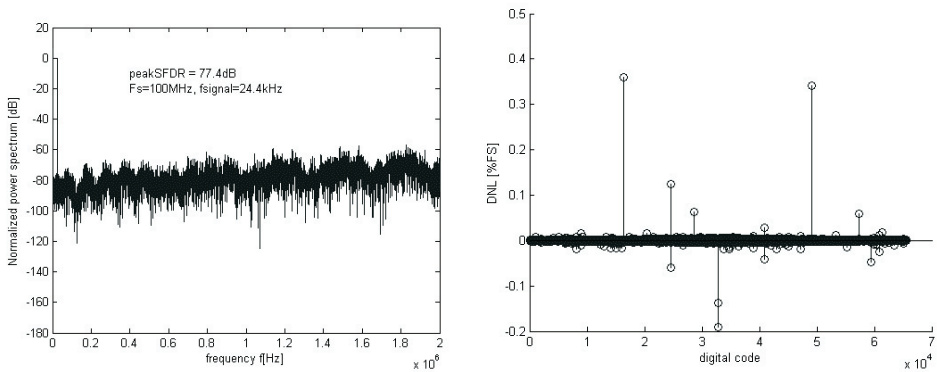
Na rysunku 7 przedstawiono schemat przetwornika o 16-bitowym słowie wejściowym. Wyjściem przetwornika jest wyjście przepełnienia sumatora. Jest to przypadek ekstremalny z wyjściem jednobitowym. Przedstawiony układ można



również zaimplementować w bloku DSP układu Virtex-4. Wyniki implementacji pokazują, że maksymalna częstotliwość pracy tej architektury dzięki prostej budowie to aż 330 MHz. Na rysunku 8 przedstawiono wykres fragmentu widma mocy oraz przebieg czasowy dla sygnału wyjściowego przetwornika przy podaniu na wejście sinusoidalnego sygnału testującego o częstotliwości  $f_s = 24,4$  kHz i częstotliwości próbkowania  $F_s = 100$  MHz.



Rys. 7. Implementacja prostego przetwornika cyfrowo-analogowego pierwszego rzędu



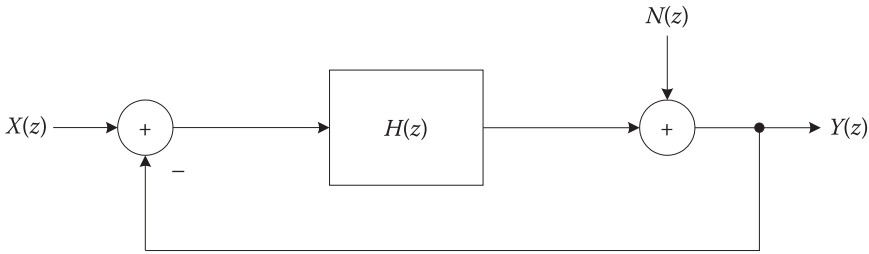
Rys. 8. Unormowane widmo mocy sygnału wyjściowego przetwornika o architekturze z rysunku 7 i wykres DNL dla całego zakresu przetwarzania

Dla przetworników C/A wykonano pomiary nieliniowości różniczkowej. Źródłem napięcia wejściowego był licznik 16-bitowy sterowany komputerem PC poprzez RS232. Po każdej zmianie sygnału wejściowego przetwornika C/A mierzono sygnał wyjściowy precyzyjnym woltomierzem, który był sterowany z komputera PC przez

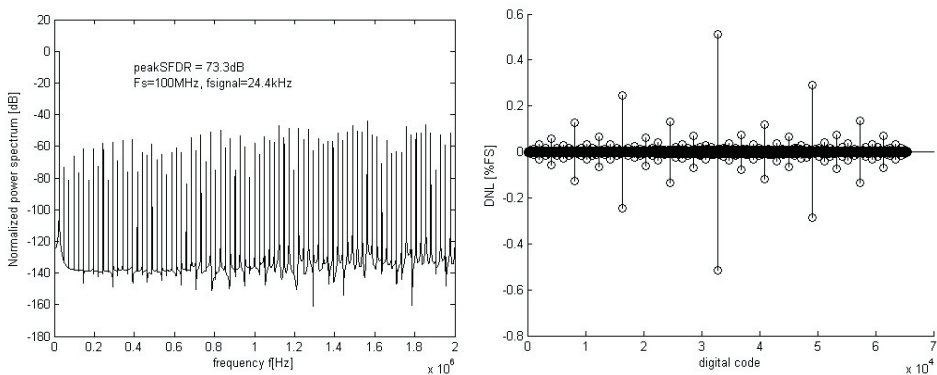
RS232 za pomocą komend języka SCPI. W ten sposób pomiar nieliniowości, który trwał około dwunastu godzin został zautomatyzowany. Na uwagę zasługuje również duża dokładność tej metody pomiaru i prostota. Błąd DNL został przedstawiony jako procent pełnej skali wartości. Wyniki dla modulatora z rysunku 7 wskazują na jego słabą liniowość, błąd DNL dla niektórych kodów wynosi maksymalnie  $+0,36/-0,2\%$  FS.

Architektura z rysunku 9 została zakodowana w języku VHDL. Średni poziom szumów jest w tym przypadku mniejszy o około 30 dB, co powoduje uwidocznienie się zniekształceń harmoniczných. Maksymalny błąd DNL jest na poziomie  $\pm 0,58\%$  FS. Łatwo zauważyć symetrię na wykresie błędu DNL, co jest spowodowane architekturą modulatora, wykorzystującą zapis liczb w kodzie U2 w celu uproszczenia odejmowania.

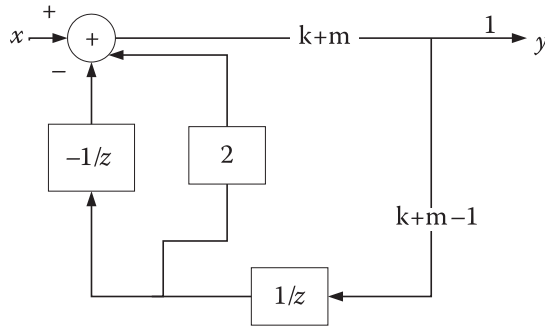
Dla architektury drugiego rzędu obserwujemy znaczną poprawę błędu DNL, którego wartość maksymalna zawiera się w granicach  $\pm 0,02\%$  FS. Dalszą poprawę DNL można uzyskać, stosując kombinacyjne bloki korekcji oraz dithering. Na rysunku 13 przedstawiono algorytm kalibracji i pracy modulatora z kombinacyjnym



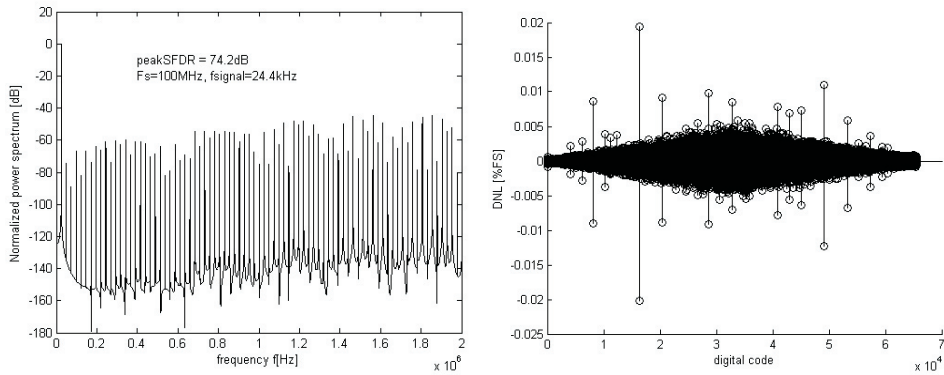
Rys. 9. Modulator delta-sigma pierwszego rzędu



Rys. 10. Unormowane widmo mocy sygnału wyjściowego przetwornika o architekturze z rysunku 9 i wykres DNL dla całego zakresu przetwarzania



Rys. 11. Modulator delta-sigma drugiego rzędu z filtracją błędów w pętli sprzężenia zwrotnego



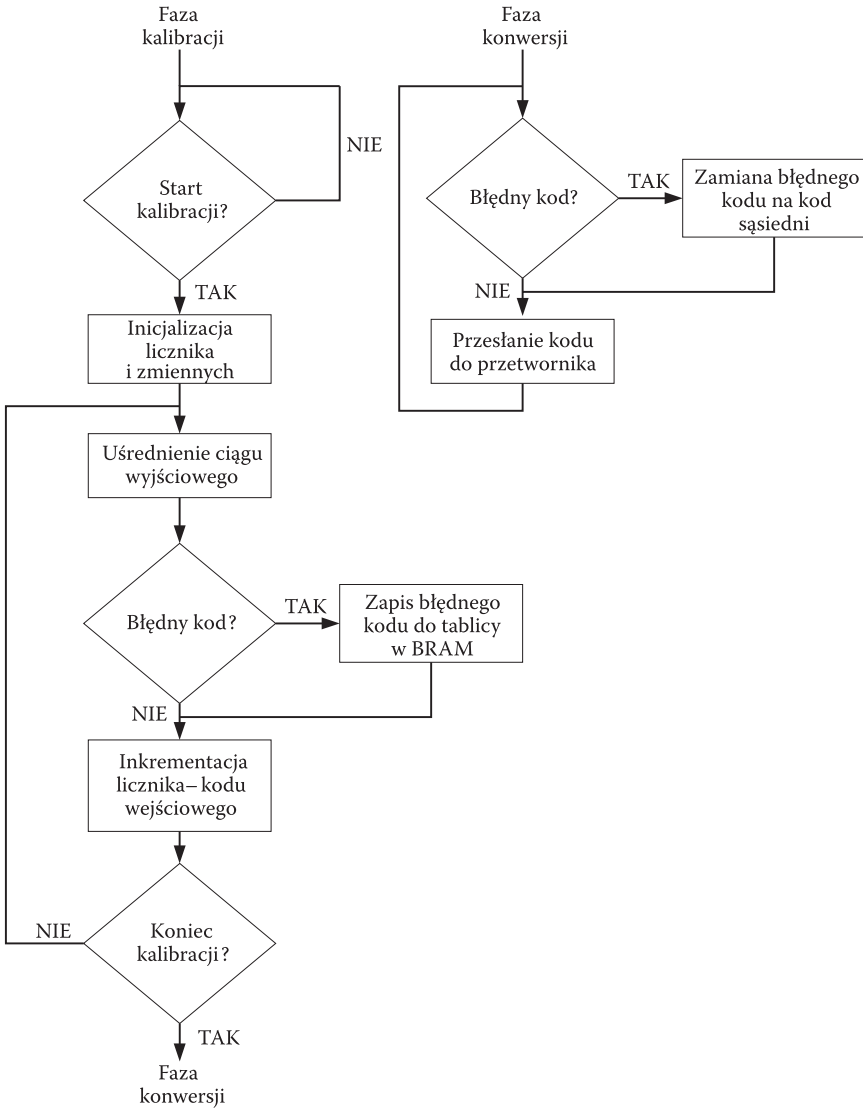
Rys. 12. Unormowane widmo mocy sygnału wyjściowego przetwornika o architekturze z rysunku 11 i wykres DNL dla całego zakresu przetwarzania

układem korekcji. Układ poprawia liniowość przetwornika, natomiast powoduje powstawanie brakujących kodów. Metoda ta pozwala na osiągnięcie dobrych wyników przy małych kosztach. Układ korekcji kalibruje się automatycznie.

W tabeli 1 przedstawiono maksymalne częstotliwości pracy dla poszczególnych modulatorów C/A oraz ilość zajmowanych zasobów układu programowalnego.

Jeśli wykorzystana jest wejścia LVDS, można wewnątrz struktury FPGA zaimplementować przetwornik A/C bez stosowania zewnętrznego komparatora analogowego. Technologia LVDS została opracowana w celu szybkiego transferu danych przez łącze szeregowo. Zakłócenia są przenoszone przez oba sygnały różnicowe i zostają odjęte w odbiorniku. W [6] autorzy wykorzystali wejścia LVDS do budowy przetwornika A/C delta-sigma.

Rysunek 14 przedstawia schemat przetwornika A/C pierwszego rzędu. Częstotliwość próbkowania może być dowolnie ustalana aż do maksymalnej częstotliwości pracy układu, która wynosi 307 MHz. Do budowy takiego przetwornika potrzebna jest jedna para wejść różnicowych oraz jedno wejście typu LVTTTL lub podobne.



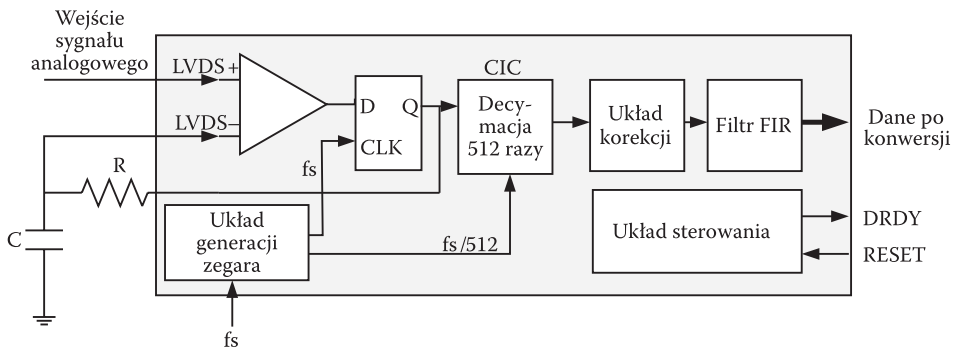
Rys. 13. Algorytm kalibracji i pracy modulatora z kombinacyjnym układem korekcji

Na zewnątrz układu programowalnego znajduje się tylko integrator zbudowany z kondensatora i rezystora, który stanowi blok sprzężenia zwrotnego. Na wyjściu przerzutnika D otrzymujemy szybkozmienny ciąg jednobitowy. W celu zwiększenia rozdzielczości i obniżenia częstotliwości zastosowano filtr decymujący CIC. Decymacja 512-krotna obniża częstotliwość sygnału wyjściowego z przetwornika. Ponieważ filtr CIC ma niską stromość charakterystyki i słabą selektywność, stosuje się po tym filtrze dodatkowy filtr FIR, który usuwa zakłócenia wysokoczęstotliwościowe oraz koryguje

TABELA 1

Ilość zajętych zasobów i maksymalne częstotliwości pracy dla przetworników C/A dla poszczególnych typów modulatorów

Typ	pierwszego rzędu z rysunku 7	pierwszego rzędu z rysunku 9	drugiego rzędu z rysunku 11
liczba makrokomórek	17	11	28
liczba przerzutników	16	19	36
liczba tablic LUT:	0	17	50
maksymalna częstotliwość [MHz]	330,077	286,681	208,351



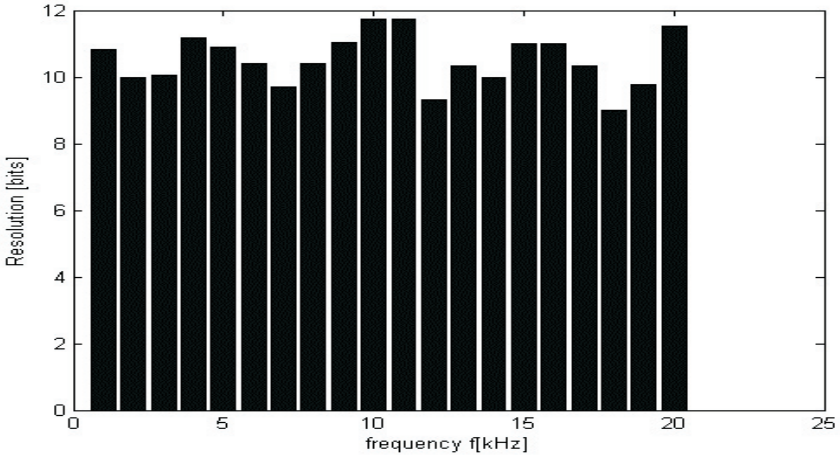
Rys. 14. Budowa przetwornika A/C pierwszego rzędu

charakterystykę przejściową filtru CIC i dokonuje decymacji ze współczynnikiem dwa. W efekcie tych operacji na wyjściu otrzymujemy sygnał o częstotliwości  $f_s/1024$  i rozdzielczości 16 bitów. Układ sterowania uaktywnia linie DRDY po zakończonej konwersji — jest to sygnał odczytu dla współpracującego układu.

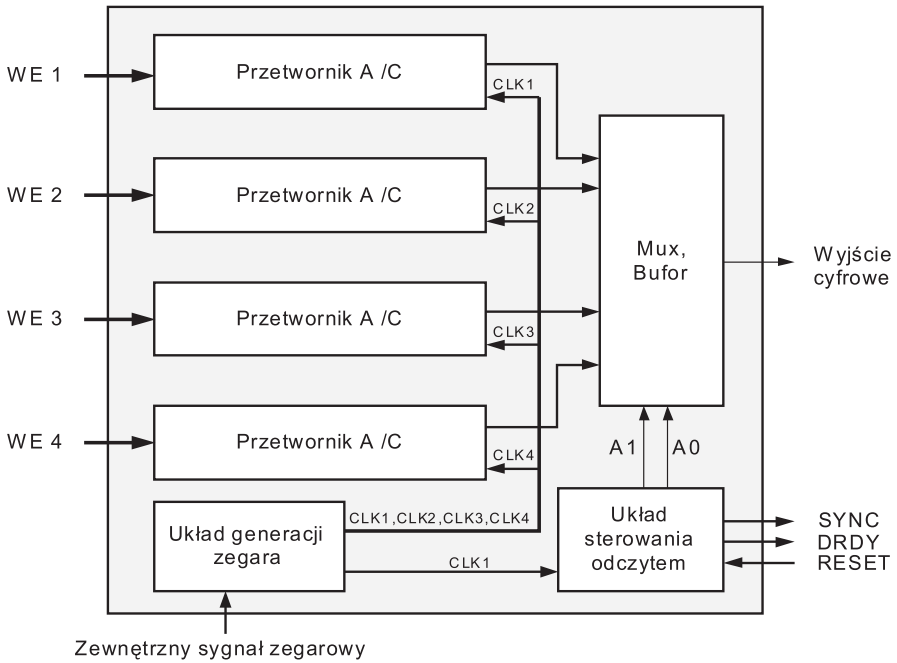
Na rysunku 15 przedstawiono wykres rozdzielczości przetwornika przy podaniu sygnału wejściowego sinusoidalnego o częstotliwości od 0 do 20 kHz.

Zasoby zajmowane przez ten przetwornik to 109 komórek logicznych i około 200 przerzutników flip-flop. Stanowi to około 0,5% całych zasobów logicznych układu LX25 Virtex-4. Tak mała zajętość zachęca do konstrukcji przetworników wielokanałowych. Poniżej na rysunku 16 przedstawiono koncepcję czterokanałowego przetwornika A/C. Pojedynczy stopień konwersji jest identyczny jak na rysunku 14.

Przetwornik składa się z czterech niezależnych przetworników delta-sigma. Sygnał zegarowy dla przetworników jest przesunięty za pomocą bloku DCM w fazie o  $90^\circ$ . Układ sterowania odczytem steruje multiplekserem, wystawiając na wyjście równoległe sygnał z wyjścia odpowiedniego przetwornika. W ten sposób na wyjściu otrzymujemy kolejno sygnały wyjściowe ze wszystkich czterech przetworników. Sygnałem odczytu jest sygnał DRDY, sygnał SYNC synchroni-



Rys. 15. Wykres rozdzielczości przetwornika A/C



Rys. 16. Przetwornik czterokanałowy A/C delta-sigma

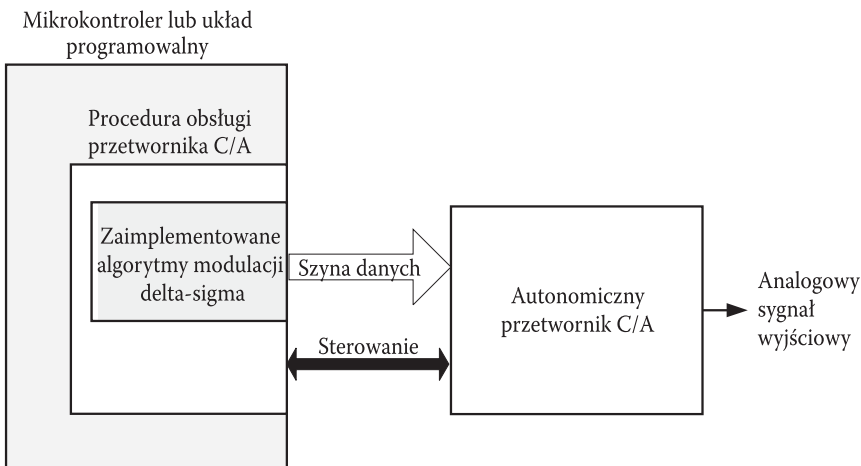
zuje odczyt z pierwszego kanału przetwornika. Możliwa jest łatwa rozbudowa układu o kolejne kanały. Konstruktor może również zmienić interfejs wyjściowy z równoległego na szeregowy lub też dedykowany do współpracujących z przetwornikiem układów.

#### 4. Poprawa rozdzielczości przetwornika cyfrowo-analogowego przy pomocy algorytmów programowych delta-sigma

Stosując programowy algorytm konwersji delta-sigma, można osiągnąć znaczącą poprawę rozdzielczości przetwornika cyfrowo-analogowego. Metoda ta jest powszechnie stosowana w technice audio-wideo. Techniki te są szczególnie przydatne gdy stosujemy proste, tanie przetworniki. Szczególnie interesujące wydaje się wykorzystanie do sterowania takim przetwornikiem układu programowalnego z racji jego szybkości i możliwości równoległego wykonywania zadań.

Na rysunku 17 przedstawiono metodę poprawy rozdzielczości przetwornika z wykorzystaniem algorytmów delta-sigma. Przed podaniem sygnału cyfrowego na wejście przetwornika C/A zostaje on przetworzony w programowym modulatorze delta-sigma. Modulator może być dowolnego stopnia, natomiast kwantyzator modulatora musi być wielobitowy o rozdzielczości przetwornika C/A. Poprawia to jednocześnie parametry samego modulatora delta-sigma i całego układu. Poniżej przedstawiono przykład kodu w języku C modulatora pierwszego rzędu.

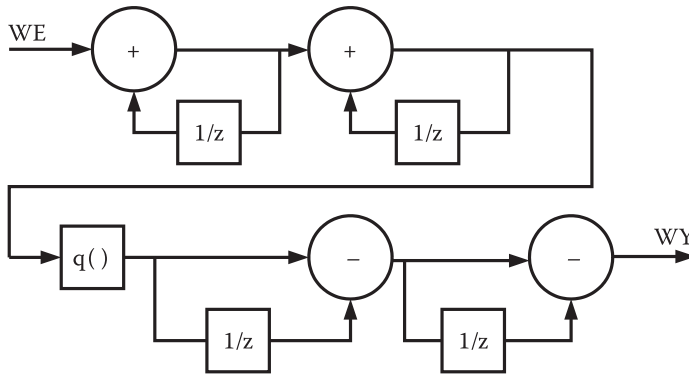
```
//modulator delta-sigma pierwszego rzędu
//zmienna globalna: state — aktualna wartość na wyjściu sumatora
//zmienna wejściowa: input — sygnał wejściowy przetwornika
unsigned int Deltasig(unsigned int input)
{
    unsigned int temp;
    temp=input+state;
    state=temp&0xFF00;
    return (temp>>8);
}
```



Rys. 17. Koncepcja metody poprawy rozdzielczości przetworników C/A o słabej rozdzielczości



Interesującą propozycją jest wykorzystanie modulatorów delta-sigma, opartych na architekturze przedstawionej na rysunku 18. Architektura podobna jest do implementacji filtra decymującego Hogenauera. Dzięki swojej modułowej budowie zwiększenie rzędu modulatora jest bardzo proste i odbywa się przez dodanie jednego bloku akumulatora i bloku różniczkującego. Zwiększenie rzędu tego modulatora wiąże się z koniecznością zwiększenia rozdzielczości kwantyzera, ale w przypadku podłączenia zewnętrznego autonomicznego przetwornika A/C nie ma to znaczenia.



Rys. 18. Kaskadowy modulator delta-sigma drugiego rzędu

## 5. Podsumowanie

Rozważania podane w punkcie drugim i wyniki podane w punkcie trzecim artykułu potwierdzają słuszność idei integracji przetworników delta-sigma w układach programowalnych. Od konstruktora zależy wybór współczynnika nadpróbkowania i architektury. Musi on uwzględnić wymagane pasmo sygnału wejściowego, rozdzielczość, pobór prądu i zajętość zasobów, aby zastosować właściwą architekturę modulatora. Ponieważ wiedza o cyfrowej modulacji delta-sigma jest coraz większa i technologia FPGA rozwija się bardzo dynamicznie, przetworniki z modulatorami delta-sigma będą coraz lepsze. Pojawia się pytanie, czy zastosowanie autonomicznego przetwornika A/C lub C/A nie jest lepszym rozwiązaniem. Jak zawsze zależy to od docelowej aplikacji. Rekonfigurowalność, łatwość adaptacji architektury do konkretnego zastosowania, możliwość dopasowania interfejsu przetwornika to duże zalety w porównaniu z układami autonomicznymi, komercyjnymi. Dzięki temu można budować systemy o właściwościach, które dotychczas były niedostępne.

Przetwornik cyfrowo-analogowy, zbudowany z wykorzystaniem modulatora pierwszego rzędu, pierwszego typu jest bardzo łatwy do implementacji, zajmuje niewiele zasobów — siedemnaście komórek logicznych, co stanowi 0,07% zasobów układu XCV4LX25. Jego częstotliwość pracy wobec tego jest największa i z łatwością

można zaprojektować modulator delta-sigma pracujący z częstotliwością 330 MHz, który nadaje się do przetwarzania sygnałów o niewielkim pasmie. W przypadku wolnozmiennego sygnału wejściowego modulator generuje duże zakłócenia o niskiej częstotliwości, co jest typowe dla modulatorów pierwszego rzędu. Można tego uniknąć, stosując dithering sygnałem o wysokiej częstotliwości nieskorelowanym z sygnałem wejściowym. Dobrym rozwiązaniem, z racji swojej prostoty, jest zastosowanie generatorów pseudolosowych LFSR [14].

Drugi wariant przetwornika pierwszego rzędu ma lepszy współczynnik SFDR. Jego maksymalna częstotliwość pracy wynosi 286,681 MHz. Opis modulatora w języku VHDL ułatwia implementację przetworników o różnej rozdzielczości. Wykres błędu DNL dla tego rozwiązania wykazuje dużą symetrię. Kody o największych błędach można usunąć kombinacyjnymi układami korekcji.

Przetwornik z modulatorem drugiego rzędu, zgodnie z teorią, posiada najlepszy współczynnik SFDR. Jednocześnie jego implementacja w układzie programowalnym zajmuje najwięcej zasobów, co wpływa na zmniejszenie maksymalnej częstotliwości pracy. Charakteryzuje się także dobrą liniowością, najlepszą ze wszystkich przebadanych modulatorów.

Do przetwarzania sygnałów o szerokim pasmie potrzebne są modulatory o rzędzie większym od dwóch. Ze względu na problemy ze stabilnością takich modulatorów dobrym rozwiązaniem są architektury kaskadowe oraz z przeplotem. Kryteria, jakimi należy się kierować przy wyborze architektury modulatora delta-sigma, są podane w [9].

Przetwarzanie A/C z modulatorami delta-sigma można z powodzeniem zrealizować, wykorzystując zamiast zewnętrznego komparatora autonomicznego wejścia typu LVDS. Przetworniki A/C pierwszego rzędu nadają się do przetwarzania sygnałów o pasmie nieprzekraczającym kilkunastu MHz. Wykorzystanie całej dostępnej rozdzielczości dla danego pasma jest bardzo trudne ze względu na wpływ szumów systemu zasilania.

Wykorzystanie modulatorów delta-sigma w układach programowalnych daje dobre rezultaty. Przedstawione przetworniki można wykorzystać do aplikacji wymagających przetworników wielokanałowych.

Artykuł wpłynął do redakcji 19.07.2006 r. Zweryfikowaną wersję po recenzji otrzymano 25.09.2006 r.

#### LITERATURA

- [1] R. LUDEWIG, et al., *IP Generation for an FPGA-based Audio DAC Delta-sigma Converter*, Field Prog. Logic and App.: 14th Int. Conf., FPL 2004, Leuven, Belgium, August 30-September 1, 2004, 526-535.
- [2] R. SCHREIER, <http://www.mathworks.com>, MATLAB Central > File Exchange > Controls and Systems Modeling > Control Design > delsig.
- [3] M. A. MELGAREJO, *Minimum area FPGA implementation of a first order sigma delta modulator*, GSPx Conference Paper, 2003.
- [4] J. LOGUE, *Virtex Synthesizable Delta-Sigma DAC*, XAPP 154, Xilinx, 1999.

- [5] J. LOGUE, *Virtex Analog to Digital Converter*, XAPP 155, Xilinx, 27 December 2001.
- [6] F. SOUSA, *Taking advantage of LVDS input buffers to implement sigma-delta A/D converters in FPGA*, Proc. of the Europ. Conf. on Cir. Theory and Design, Cracow, Poland, 2003, 217-220.
- [7] S. PARK, *Principles of Delta-sigma Modulation for Analog-to-Digital Conversion*, MOTOROLA INC., Austin, TX, USA, (APR8), 1990.
- [8] S. R. NORSWORTHY, R. SCHREIER AND G. C. TEMES, *Delta-Sigma Data Converters*, IEEE Press, 1997.
- [9] J. C. CANDY, G. C. TEMES, *Oversampling delta-sigma data converters, Theory, design, and simulation*, IEEE, Wiley Interscience, 1992.
- [10] V. FRIEDMAN, *The structure of the limit cycles in sigma delta modulation*, IEEE Trans. COM., vol. 36, no. 8, 1988, 972-979.
- [11] D. HYUN G. FISCHER, *Limit Cycles and Pattern Noise in Single-Stage Single-Bit Delta-Sigma Modulators*, IEEE Trans. CIR., vol. 49, no. 5, May 2002.
- [12] S. K. KNAPP, *Using Programmable Logic to Accelerate DSP Functions*, Xilinx, 1995.
- [13] Virtex-4 Handbook, Xilinx, 2004.
- [14] P. ALFKE, *Efficient shift registers, LFSR counters, and long pseudo-random sequence generators*, XAPP 052, July 7, 1996.

T. RADOMSKI, R. PELKA

### **Delta-sigma analogue-to-digital and digital-to-analogue converters implemented in FPGA VIRTEX-4**

**Abstract.** This paper presents selected implementations of delta-sigma modulators used as analogue-to-digital (ADCs) and digital-to-analogue converters (DACs). Implementations of three different architectures of the first and second order of DAC converters and one ADC converter in Virtex-4 chip on the ML401 board from *Xilinx* are described. The quality of converters has been measured and described by relevant power spectrum diagrams and differential linearity functions. Detailed comparison of implementations is also given in terms of the used resources and maximum operating frequency. We have assembled a digital measurement system that automated measurement sessions by using MATLAB scripts. We also describe DACs correction algorithm, DAC resolution improvement method, and four-channel ADC converter.

**Keywords:** signal processing, delta-sigma modulation, FPGA, analogue-to-digital converter, digital-to-analogue converter

**Universal Decimal Classification:** 621.382