



## Ocena wydajności procesorów wbudowanych w układy FPGA

T. SONDEJ, L. ZAGOŹDZIŃSKI, RYSZARD PEŁKA

Wojskowa Akademia Techniczna, Wydział Elektroniki, Instytut Telekomunikacji,  
00-908 Warszawa, ul. S. Kaliskiego 2

**Streszczenie.** W artykule przedstawiono ocenę wydajności sprzętowego (PowerPC) i programowego (MicroBlaze) procesora, wbudowanego w układ FPGA typu Virtex-4 firmy *Xilinx*. Uzyskane miary wydajności zestawiono z wynikami uzyskanymi dla procesorów autonomicznych typu ARM i DSP. Opisane szczegółowe porównanie procesorów wbudowanych w układ FPGA może pomóc projektantowi w wyborze sprzętowego lub programowego procesora dla różnych aplikacji oraz daje ogólną ich ocenę w porównaniu z procesorami autonomicznymi. Badania wydajności przeprowadzono na dwa sposoby: pierwszy dotyczył testów dla jednakowej częstotliwości pracy zegara (100 MHz) i różnych konfiguracji pamięci, natomiast drugi przeprowadzono dla częstotliwości maksymalnych.

**Słowa kluczowe:** układy cyfrowe, procesor sprzętowy, procesor programowy, benchmark, system-on-chip, FPGA

**Symbole UKD:** 621.382

### 1. Wprowadzenie

Zwiększenie zasobów logicznych oraz obniżenie ceny układów FPGA umożliwiło projektowanie kompletnych systemów cyfrowych w jednej strukturze półprzewodnikowej. Systemy takie nazywane są układami SoC (System-On-Chip). Do niedawna mogły być one implementowane tylko w układach ASIC. W większości przypadków układy SoC integrują w sobie mikroprocesor, pamięć, specjalizowane bloki logiczne, układy komunikacyjne oraz struktury reprogramowalne. Jednym z podstawowych elementów układu SoC jest mikroprocesor. Pierwsze mikroprocesory stosowane w układach FPGA implementowane były bezpośrednio w strukturze półprzewodnikowej. Nazywane są one procesorami sprzętowymi. Już w latach 90.

rozwiązania takie zaczęła stosować firma *Atmel* (procesory AVR), później firma *Triscend* (procesory 8051, ARM7), *Altera* (procesory ARM9), *Xilinx* (procesory PowerPC), *QuickLogic* (procesory MIPS) i *NEC* (procesory ARM7). Procesory te znacznie różnią się między sobą architekturą i wydajnością. AVR to proste mikroprocesory 8-bitowe, które pełniły raczej rolę rekonfiguracji układu FPGA, natomiast procesory ARM9, PowerPC i MIPS należą do grupy zaawansowanych procesorów 32-bitowych o dużej wydajności. W układzie FPGA mogą one realizować funkcje konfiguracji systemu oraz przetwarzania danych.

Dzięki radykalnemu zwiększeniu zasobów logicznych układów FPGA możliwe stało się wykorzystanie procesorów, które są opisane programowo, zwykle w języku HDL. Procesory takie nazywane są procesorami programowymi. Są one implementowane w układzie FPGA przy wykorzystaniu ogólnie dostępnych bloków logicznych [3, 4, 7]. Od 2000 roku nastąpił bardzo szybki rozwój procesorów programowych. Obecnie do najpopularniejszych należą: MicroBlaze firmy *Xilinx* oraz Nios (Nios II) firmy *Altera*. Przykłady ich wykorzystania można znaleźć w [1, 5, 6, 10]. MicroBlaze jest konfigurowalnym procesorem 32-bitowym, który jest przedmiotem niniejszego artykułu i jest szczegółowo opisany w punkcie 2. Nios oraz nowszy Nios II jest programowym procesorem zoptymalizowanym do implementacji w układach FPGA firmy *Altera*. Znana jest również uniwersytecka odmiana UT Nios [8]. Procesor Nios II ma 32-bitową architekturę RISC, występującą w trzech odmianach: f — Fast Core, e — Economy Core, s — Standard Core. Wersja NiosII/f posiada 6-stopniowe przetwarzanie potokowe, pamięć cache, układ dynamicznego przewidywania skoków i jednocyklowy układ mnożący. Może pracować z częstotliwością do 135 MHz.

Do znanych procesorów programowych należy również LEON2 i najnowszy LEON3. Jest to 32-bitowy procesor RISC, bazujący na architekturze SPARC V8. Przykłady wykorzystania procesora rodziny LEON można znaleźć w [15] i [16]. LEON2 posiada 5-stopniowe przetwarzanie potokowe, pamięć cache, oddzielną dla danych i instrukcji, sprzętowy układ mnożący i dzielący oraz MAC. LEON2 dostępny jest bezpłatnie, na zasadzie licencji GNU, w postaci kodu VHDL. Oprócz jądra procesora, dostępne są również współpracujące z nim wybrane układy peryferyjne.

Innym bezpłatnym procesorem jest OpenRISC1200 [2]. Posiada on 32-bitową, skalarną architekturę RISC z 5-stopniowym przetwarzaniem potokowym. Większość instrukcji wykonywana jest w jednym cyklu zegarowym. Jego architektura obejmuje również pamięć cache, oddzielną dla danych i instrukcji, moduł zarządzania pamięcią (MMU), moduł zarządzania mocą, kontroler przerwań, liczniki oraz układ debuggera. Częstotliwość pracy jednostki CPU, dla implementacji w układach FPGA, może dochodzić do kilkudziesięciu MHz.

W systemach mikroprocesorowych z układami FPGA, z procesorami zarówno sprzętowymi, jak i programowymi, magistrale procesora, lokalne pamięci, układy peryferyjne oraz kontrolery pamięci są budowane z zasobów logicznych układu FPGA. Wady i zalety takich rozwiązań przedstawiono w [4].

Procesory programowe zapewniają projektantowi dużą elastyczność implementacji, ale zwykle kosztem zmniejszonej wydajności i zwiększonej mocy strat w porównaniu z procesorami sprzętowymi.

W artykule przedstawiono porównanie wydajności sprzętowego procesora PowerPC z procesorem programowym MicroBlaze w układzie FPGA Virtex-4. Wydajność procesora jest w tym przypadku rozumiana jako szybkość wykonywania określonych algorytmów. Do badania wydajności wykorzystano zestaw znanych testów, których charakterystykę przedstawiono w rozdziale 3. Badania przeprowadzono dla takich samych ustawień sprzętowych i różnych poziomów optymalizacji kompilatora C. Określono również maksymalne możliwości obydwu procesorów. Wszystkie badania przeprowadzono w warunkach rzeczywistych, na dostępnych zestawach uruchomieniowych. Ponadto, w celu porównania wydajności procesorów wbudowanych w układ FPGA Virtex-4 z procesorami autonomicznymi, przeprowadzono testy dla procesora ARM9 i procesora sygnałowego DSP serii C55.

## 2. Charakterystyka badanych mikrosystemów

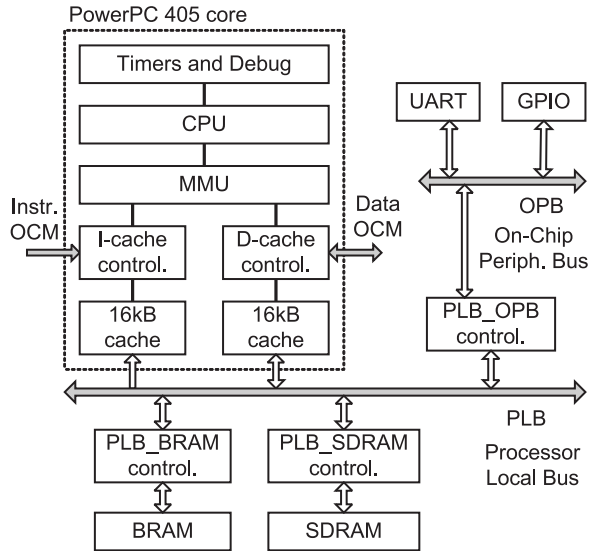
### 2.1. Architektura mikrosystemu PowerPC w układzie Virtex-4

Nazwa PowerPC obejmuje rodzinę wielu różnych procesorów. W układach Virtex-4 zastosowano jądro procesora PowerPC 405 firmy IBM. Procesor PowerPC 405 posiada 32-bitową architekturę RISC, która w technologii 90 nm może pracować z zegarem 400 MHz. Jest to procesor specjalizowany do zastosowań w systemach wbudowanych, dlatego charakteryzuje się niewielką mocą strat (0,19 mW/MHz przy napięciu zasilania równym 1,1 V).

Procesor PowerPC 405 posiada architekturę skalarną z pięciostopniową kolejką, pamięcią cache, oddzielną dla instrukcji i danych, portem JTAG z pamięcią FIFO, MMU oraz kilkoma timerami. Schemat blokowy jądra procesora PowerPC 405 w podstawowej konfiguracji w układzie Virtex-4 pokazano na rysunku 2.1.

Jądro procesora PowerPC komunikuje się z pamięcią przez jeden z dwóch głównych interfejsów: PLB (Processor Local Bus) lub OCM (On-Chip-Memory). Interfejs PLB może komunikować się z pamięcią o szerokości magistrali danych równej 64 lub 128 bitów. Dostęp do tej pamięci realizowany jest pośrednio przez kontrolery cache, oddzielnie dla pamięci danych i programu. Przy wykorzystaniu interfejsu PLB procesor wykorzystuje jedną pamięć, w której przechowywane są instrukcje i dane (w sensie jednolitej przestrzeni adresowej). Może być to wewnętrzna statyczna pamięć BRAM lub pamięć zewnętrzna, np. SDRAM.

Bezpośredni dostęp do pamięci jest możliwy za pomocą interfejsu OCM. W przypadku takiego rozwiązania wymagana jest oddzielna pamięć BRAM dla instrukcji i danych. Przy korzystaniu z magistrali OCM i pamięci BRAM, pamięć cache nie jest wykorzystywana. Układy peryferyjne podłączone są do wspólnej



Rys. 2.1. Struktura systemu z procesorem PowerPC w układzie FPGA Virtex-4

magistrali OPB (On-Chip Peripheral Bus). Magistrale OPB i PLB połączone są za pomocą kontrolera PLB\_OPB.

Należy podkreślić, że ta wersja procesora PowerPC nie ma wbudowanego koprocessora zmiennoprzecinkowego.

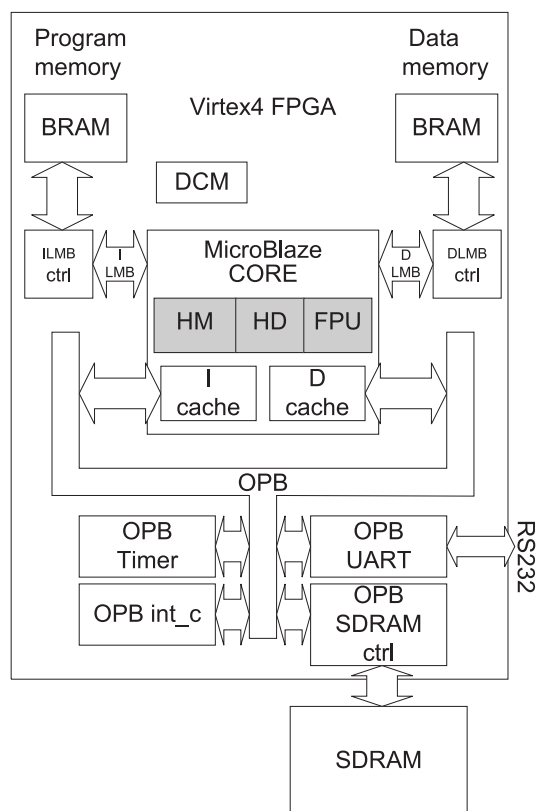
## 2.2. Architektura mikrosystemu MicroBlaze w układzie Virtex-4

Procesor MicroBlaze (MB) jest 32-bitowym rozwiązaniem typu soft-core, przeznaczonym do implementacji w układach programowalnych FPGA firmy *Xilinx*. Może on być implementowany w układach serii Spartan i Virtex, które zawierają bloki pamięci RAM. Skalowalność rozwiązania oraz duża różnorodność możliwych do zastosowania urządzeń peryferyjnych dają możliwość skonfigurowania procesora do konkretnego projektu. Zastosowanie procesora w strukturze powoduje zajęcie zasobów logicznych w stopniu zależnym od przyjętej konfiguracji rdzenia procesora, systemu pamięciowego i peryferiów. Implementacja procesora wymaga zajęcia co najmniej 2000 bloków logicznych „SLICE” (dla układu Virtex4). Zajętość pamięci RAM zależy od alokacji programu i danych. Dla programu i danych umieszczonych w BRAM minimalną wartością jest, zdaniem autorów, 16 kB, co pozwala na wykonanie prostej aplikacji sterującej. Zastosowanie systemu SoC ma sens, gdy w strukturę układu FPGA można wbudować oprócz procesora pewne, zależne od zastosowania bloki funkcjonalne.

W tej części scharakteryzowano strukturę procesora MB, która podlegała badaniom. Przyjęto założenie, że badać należy struktury o potencjalnie wysokiej wydajności, odrzucono zatem rozwiązania, które spowalniają wykonanie progra-

mu testowego. Szczegóły dotyczące poszczególnych rozwiązań można znaleźć na stronie [www.xilinx.com](http://www.xilinx.com).

Jako odniesienie dla konfiguracji użyto podstawowego rdzenia procesora MB, połączonego z systemem pamięciowym alokowanym w blokach BRAM za pośrednictwem szyn ILMB (*Instruction Local Memory Bus*) oraz DLMB (*Data Local Memory Bus*) (rys. 2.2). System pamięciowy alokowany w zewnętrznej pamięci SDRAM został dołączony z wykorzystaniem pamięci cache (wykorzystujących bloki BRAM) za pośrednictwem szyny OPB (*On chip Peripheral Bus*).



Rys. 2.2. Struktura mikrosystemu z procesorem MicroBlaze w układzie FPGA Virtex-4

Podniesienie wydajności obliczeń jest możliwe dzięki rozszerzeniu rdzenia o bloki sprzętowej jednostki zmiennoprzecinkowej FPU, sprzętowego układu mnożącego HM, sprzętowego układu dzielącego HD oraz układu przesuwającego BARREL SHIFTER.

Najbardziej wydajna konfiguracja wykorzystuje program i dane alokowane w wewnętrznej pamięci typu SRAM struktury FPGA, w blokach BRAM. W przypadku rozbudowanych programów oraz gdy niezbędne jest zachowanie zasobów

pamięciowych struktury FPGA konieczne jest zastosowanie pamięci zewnętrznej. Do badań użyto pamięci typu SDRAM.

Obsługa układu czasowo-licznikowego dla liczenia odcinków czasu przekraczających 42 sekundy (dla zegara 100 MHz) wymaga zastosowania systemu przerwań, który jest obsługiwany przez kontroler przerwań OPB\_INTC. Badanie wydajności procesora jako jednostki obliczeniowej wymaga zastosowania układów czasowo-licznikowych do obliczenia czasu realizacji procedur. Do wyprowadzenia na konsolę wyników wykorzystano port szeregowy UART. Inne bloki peryferyjne nie były dołączane. Praca systemu jest synchronizowana z bloku DCM, zasilanego z zewnętrznego generatora kwarcowego.

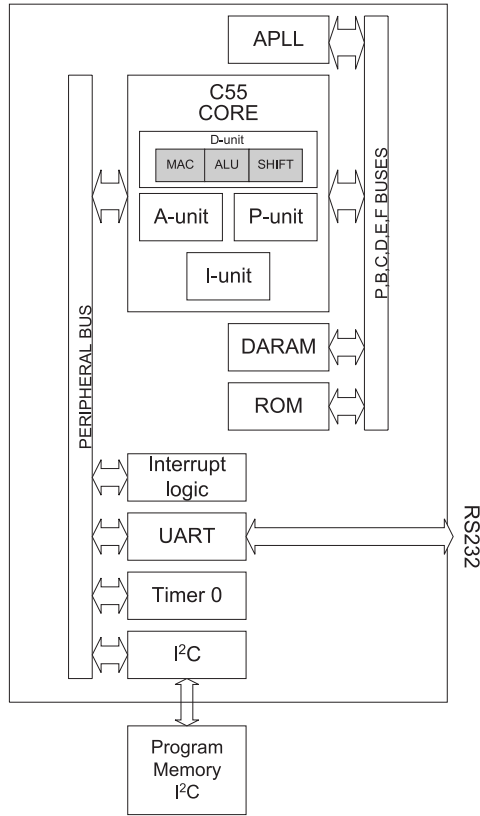
### 2.3. Architektura mikrosystemu z procesorem TMS320VC5502

W porównywanym mikrosystemie ze stałoprzecinkowym procesorem sygnałowym [19] wykorzystano układ TMS320VC5502 firmy *Texas Instruments* [20]. Procesor ten należy do grupy procesorów o niskim poborze energii (ang. *low power*).

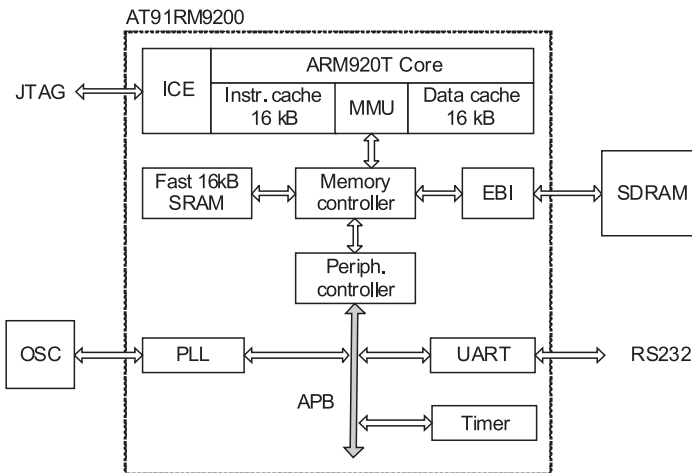
Procesor skonfigurowano do pracy z programem wykonywanym z szybkiej wewnętrznej pamięci DARAM (rys. 2.3). W tej pamięci umieszczono również dane wykorzystywane w czasie realizacji algorytmu. Program jest wpisywany do pamięci DARAM w czasie uruchamiania procesora przy wykonywaniu programu tzw. bootloadera. Program jest przechowywany w zewnętrznej pamięci nieulotnej z interfejsem I2C. Do odmierzenia odcinków czasu wykorzystano układ czasowo-licznikowy „Timer0”. Komunikacja ze środowiskiem pomiarowym, podobnie jak w pozostałych testach następuje za pośrednictwem interfejsu RS232. System przerwań obsługuje układ czasowo-licznikowy oraz port szeregowy.

### 2.4. Architektura mikrosystemu z procesorem ARM 9

W badaniach porównawczych wykorzystano również powszechnie stosowany rdzeń procesora ARM920T [17]. Rdzeń ten został wykorzystany w procesorze typu AT91RM9200 firmy *Atmel* [18]. Na rysunku 2.4 przedstawiono schemat blokowy architektury badanego systemu. Główny element mikrosystemu stanowi mikroprocesor AT91RM9200. Posiada on 32-bitową architekturę RISC z 5-stopniowym przetwarzaniem potokowym oraz pamięci cache o rozmiarze po 16 kB dla danych i instrukcji. Dane do pamięci cache są przesyłane pośrednio przez moduł zarządzania pamięcią MMU oraz kontroler pamięci. Ponieważ mikroprocesor AT91RM9200 ma wbudowaną tylko niewielką pamięć SRAM, do badań wykorzystano zewnętrzną pamięć SDRAM, w której zapamiętany jest program oraz dane. Przesyłanie danych do pamięci SDRAM jak również sterowanie pracą mikrosystemu realizowane było za pomocą interfejsu JTAG. Mikrosystem taktowany był zewnętrznym oscylatorem kwarcowym, który w wewnętrznej pętli PLL powielany był do częstotliwości ok. 180 MHz. Do pomiaru czasu wykorzystano sprzętowy timer systemowy. Komunikację z mikrosystemem zrealizowano za pomocą interfejsu RS232.



Rys. 2.3. Struktura mikrosystemu z procesorem DSP C55



Rys. 2.4. Struktura mikrosystemu z procesorem ARM 9

## 2.5. Charakterystyka środowiska pomiarowego

Do testów dla procesora PowerPC wykorzystano zestaw uruchomieniowy typu ADS-*XLX-V4FX-EVL12* firmy *Avnet*. W zestawie tym wykorzystano układ Virtex-4 FX12 ES, który jest próbką inżynierską, dlatego procesor PowerPC może pracować z maksymalną częstotliwością równą 300 MHz (dla włączonego układu APU — *Auxiliary Processor Unit*). Dane i program dla PowerPC zapisane były w wewnętrznej pamięci BRAM lub zewnętrznej, 32-bitowej SDRAM (DDR266B). Do pomiaru czasu wykorzystano 64-bitowy timer systemowy.

Testy procesora MicroBlaze zostały wykonane z wykorzystaniem zestawu uruchomieniowego typu V4SX35 MB\_CS\_REV2 firmy *Memec*, który został wyposażony w strukturę FPGA typu Virtex-4 SX35 -10CSE. Podobnie jak układ FX12, jest on próbką inżynierską. Do badań wykorzystano zainstalowaną na płycie zestawu pamięć SDRAM typu HYB25D512160BC6 firmy *Infineon*.

Do projektu systemu związanego z procesorem PowerPC oraz MicroBlaze wykorzystano oprogramowanie *Xilinx* EDK 7.1i SP2 oraz ISE 7.1i SP4.

Testy procesora TMS320VC5502-200 zrealizowano przy użyciu płyty testowej wykonanej w WAT. Procesor był taktowany zegarem wytwarzanym w generatorze kwarcowym o częstotliwości 20 MHz. Częstotliwość ta została powielona w pętli PLL procesora do wartości 100 MHz.

Program został skompilowany przy użyciu środowiska *Texas Instruments* CCS v2. Wykorzystano mechanizm optymalizacji kodu -o2.

Badanie procesora AT91RM9200 zrealizowano przy użyciu zestawu uruchomieniowego typu CSB337 firmy *Cogent Computer Systems*. W zestawie tym wykorzystano między innymi 32-bitową pamięć SDRAM typu MT48LC8 M16-7TG firmy *Micron*. Pamięć ta wykorzystywana była jako pamięć programu oraz danych. Procesor AT91RM9200 taktowany był zegarem o częstotliwości 3,6864 MHz powielanej do wartości 184,32 MHz. Jako środowisko projektowe wykorzystano oprogramowanie  $\mu$ Vision3 V3.31 firmy *Keil* z kompilatorem RealView RVCT3.0 Build 942 firmy *ARM*. W kompilatorze ustawiono drugi poziom optymalizacji ze względu na szybkość wykonywania programu.

## 3. Charakterystyka testów wydajnościowych

Testowanie wydajności systemów cyfrowych od wielu lat jest nierozłącznym elementem projektowania i optymalizacji nowych systemów cyfrowych. W okresie ostatnich kilkadziesiąt lat opracowano wiele różnych algorytmów testowania. Wszystkie testy są opracowane w języku C. Przegląd znanych metod testowania systemów komputerowych przedstawiono w pracy [14]. Metody te można podzielić na dwie grupy: do badania ogólnej wydajności systemu cyfrowego lub dla konkretnego obszaru zastosowań. Do najpopularniejszych testów należą: Dhystone, Whetstone, SPEC2000, BDTImark, MediaBench, CommBench oraz zestaw testów



opracowanych przez konsorcjum EEMBC (EDN Embedded Microprocessor Benchmark Consortium). Popularne testy EEMBC są testami komercyjnymi, na które wymagana jest licencja. Ich odpowiednikiem jest bezpłatny zestaw MiBench [9]. Podobnie jak EEMBC, zawiera on testy między innymi dla aplikacji przemysłowych, sieciowych, biurowych i telekomunikacyjnych. Rozwój układów SoC wymusił również opracowanie testów do badania ich wydajności [13, 6].

Ponieważ celem artykułu jest porównanie ogólnej wydajności systemu mikroprocesorowego, do badań wybrano znane testy Dhrystone i Whetstone oraz test Savage'a i algorytm szyfrujący DES.

Chociaż Dhrystone i Whetstone zostały opracowane ponad 30 lat temu, są one nadal stosowane [11, 12]. Dhrystone jest algorytmem badania ogólnej wydajności systemu mikroprocesorowego dla liczb całkowitych. W dużej części zawiera on procedury związane z działaniem na tablicach i łańcuchach znaków. Generowany kod w dużym stopniu zależy także od architektury procesora i efektywności zastosowanego kompilatora języka C. Dlatego jest on również wykorzystywany do badania jakości kompilatorów C.

Whetstone jest typowym testem do badania wydajności systemu w przypadku działań na liczbach zmiennoprzecinkowych. Zawiera kilka modułów reprezentujących typowe działania matematyczne, wykorzystywane w badaniach naukowych. Oprócz tego badany jest dostęp do tablic, skoki warunkowe oraz wywołania podprogramów. Innym testem do badania szybkości i dokładności obliczeń na liczbach zmiennoprzecinkowych jest test Savage'a. W teście tym wielokrotnie wykonywane są działania na funkcjach matematycznych, podczas których występuje kumulacja błędów obliczeń.

## 4. Wyniki badań eksperymentalnych

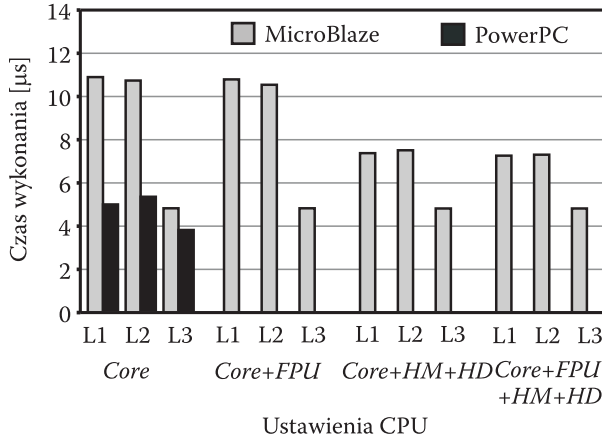
Badania porównawcze wszystkich procesorów polegały na pomiarze czasu wykonywania poszczególnych algorytmów testujących. Zastosowano testy Dhrystone, Whetstone, Savage oraz algorytm kryptograficzny DES. Przeprowadzono badania rdzenia procesorów PowerPC (PPC) i MicroBlaze (MB) dla częstotliwości zegara 100 MHz oraz badania dla różnej konfiguracji pamięci. Określono również maksymalne możliwości obydwu procesorów w rozważanych zestawach uruchomieniowych. Dla procesorów autonomicznych (ARM i DSP) badania przeprowadzono wyłącznie dla maksymalnych możliwych wydajności, to znaczy dla maksymalnej częstotliwości pracy rdzenia procesora, najszybszej możliwej pamięci dla programu i danych oraz ustawienia optymalizacji kodu kompilatora C ze względu na szybkość wykonywania programu.

### 4.1. Badanie rdzenia CPU

Na rysunku 4.1 przedstawiono czas realizacji testu Dhrystone dla częstotliwości zegara CPU 100 MHz, różnej konfiguracji rdzenia procesora MicroBlaze i trzech poziomów (L1, L2, L3) optymalizacji kompilatora GCC. Konfiguracja rdzenia dotyczyła

tylko procesora programowego MB i obejmowała dodanie koprocesora zmiennoprzecinkowego (FPU) oraz modułu sprzętowego mnożenia (HM) i dzielenia (HD).

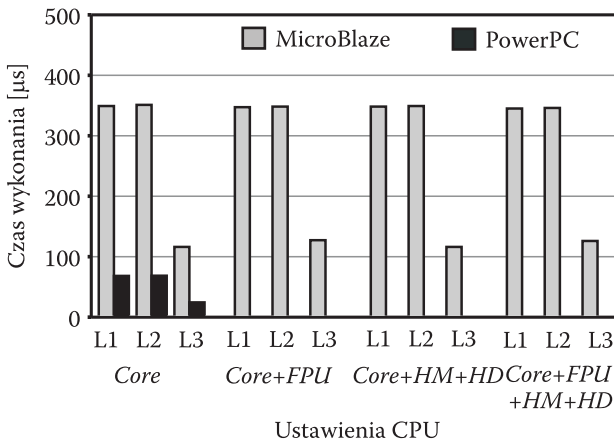
Dla tego testu procesor PPC charakteryzuje się około dwukrotnie krótszym czasem realizacji testu w porównaniu do rdzenia procesora MB. Dodanie koproce-



Rys. 4.1. Wyniki testu Dhrystone

sora FPU do MB nie wpłynęło na wynik badań, co wynika z charakterystyki testu Dhrystone. Natomiast dołączenie do rdzenia MB sprzętowego układu mnożącego i dzielącego spowodowało skrócenie czasu realizacji testu o około 30%, ale tylko dla opcji L1 i L2. Interesujące jest to, że dla poziomu optymalizacji L3, rozszerzenie jądra MB nie powoduje skrócenia czasu obliczeń.

Na rysunku 4.2 przedstawiono wyniki dla testu zmiennoprzecinkowego Whetstone. Dla tego testu procesor PPC charakteryzuje się około czterokrotnie krótszym czasem realizacji testu w porównaniu do procesora MB. Dla obu procesorów,



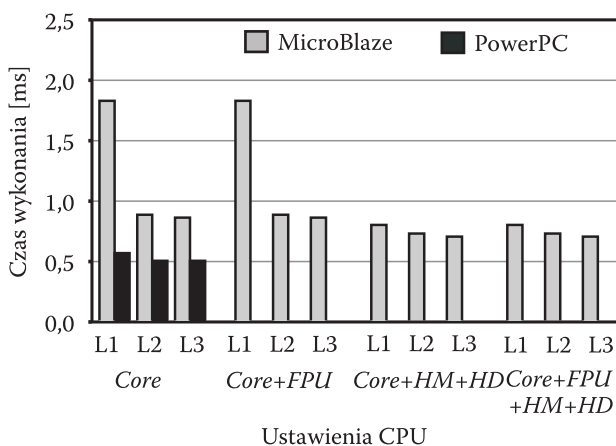
Rys. 4.2. Wyniki testu Whetstone

zdecydowanie najkrótszy czas uzyskuje się dla poziomu optymalizacji L3. Dołączenie dodatkowych modułów do jądra MB, dla tego testu, nie zmniejszyło czasu obliczeń.

W przeprowadzonym teście Savage uzyskano podobne rezultaty jak dla testu Whetstone, z tą różnicą, że dołączenie do jądra procesora MB koprocessora FPU skróciło czas obliczeń o około 20%. Ponadto poziom optymalizacji kompilatora we wszystkich przypadkach nie miał wpływu na czas obliczeń, co wynika z charakteru testu Savage.

Do badań porównawczych procesorów wykorzystano również algorytm kryptograficzny DES, kodujący pojedynczy blok danych (64 bity). Uzyskane wyniki przedstawiono na rysunku 4.3.

Podobnie jak dla wcześniejszych testów, procesor PPC okazał się szybszy niż MB, ponadto poziom optymalizacji L2 i L3 nie wpływa tak znacząco na wynik jak dla testów Dhrystone i Whetstone.



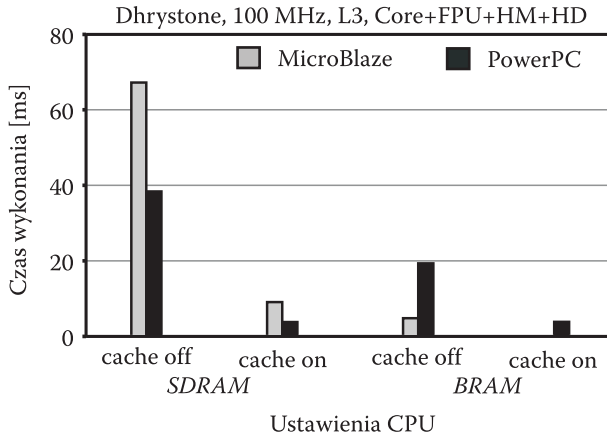
Rys. 4.3. Wyniki testu DES

## 4.2. Badanie pamięci

Alokacja systemu pamięciowego w układach zewnętrznych skutkuje znaczącym spowolnieniem transferu danych do rdzenia procesora. Jako odniesienie do porównania przyjęto czas realizacji testu Dhrystone w konfiguracji procesora z pamięcią alokowaną w blokach BRAM bez pamięci cache. W tym teście zastosowano procesor MB w konfiguracji z pełnym koprocessorem. W bezpośrednim porównaniu tej konfiguracji procesor PPC jest trzykrotnie wolniejszy (rys. 4.4).

Włączenie pamięci cache dla pamięci BRAM, co jest możliwe w procesorze PPC, skutkuje przyspieszeniem obliczeń. Procesor PPC pracuje wówczas ze zbliżoną prędkością jak procesor MB.

Mapowanie programu w zewnętrznej pamięci SDRAM znacząco spowalnia wykonanie programu dla obydwu procesorów. Jest to spowodowane tym, że pamięć



Rys. 4.4. Wyniki badania pamięci

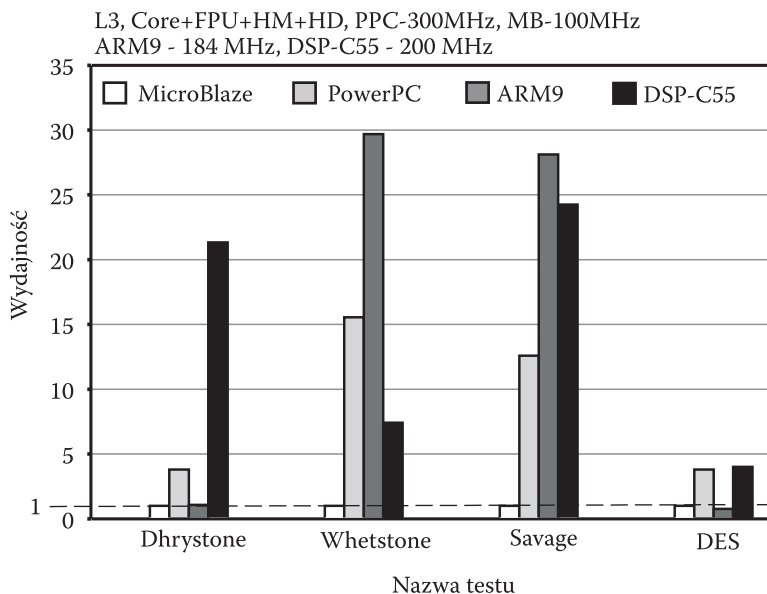
zewnątrzna jest dołączona do rdzenia za pośrednictwem szyn ogólnego przeznaczenia. W tej konfiguracji procesor MB jest 1,8 raza wolniejszy niż PPC i 10 razy wolniejszy niż konfiguracja odniesienia. Włączenie pamięci cache powoduje, że obydwa procesory pracują z szybkością zbliżoną do szybkości odniesienia, przy czym procesor MB jest około dwukrotnie wolniejszy od niej.

### 4.3. Badanie maksymalnych możliwości systemu

Testy wydajnościowe przeprowadzono również dla maksymalnych częstotliwości zegara procesora, możliwych do ustawienia w badanych platformach sprzętowych. Rzeczywiste maksymalne częstotliwości pracy obydwu procesorów w układzie FPGA znacznie odbiegają od częstotliwości określonych przez producenta (co wynika między innymi z faktu, że badane były dostępne próbki układów). Układy z serii produkcyjnych powinny mieć lepsze parametry. Dla procesorów autonomicznych (ARM9 i DSP-C55) ustawiono maksymalne częstotliwości pracy i optymalną konfigurację pamięci.

Na rysunku 4.5 pokazano maksymalne możliwości badanych sprzętowych procesorów w odniesieniu do procesora programowego MicroBlaze w układzie Virtex-4.

Dla testów na liczbach stałoprzecinkowych (Dhrystone i DES) procesor PPC posiada czterokrotnie lepszą wydajność niż MB, natomiast dla pozostałych testów na liczbach zmiennoprzecinkowych wydajność ta jest większa ponad kilkunastokrotnie. Jeśli chodzi o procesory autonomiczne, to dla testów stałoprzecinkowych, dla procesora ARM9 uzyskano porównywalne wyniki jak dla MB, natomiast procesor DSP-C55 znacznie przewyższa wydajnością dla testu Dhrystone, a dla testu DES jest porównywalny z PPC. W przypadku testów na liczbach zmiennoprzecinkowych największą wydajność uzyskano dla procesora ARM9, który dla testu Whetstone ma niemal 30-krotnie lepszą wydajność niż MB.



Rys. 4.5. Maksymalna wydajność badanych procesorów

## 5. Analiza wyników

Uzyskane wyniki pokazują, że procesory wbudowane w struktury FPGA znacznie ustępują procesorom autonomicznym. Ponadto można stosować jeszcze wiele innych procesorów autonomicznych o większych częstotliwościach pracy, natomiast w przypadku układów FPGA wybór ten jest niewielki. Z tego powodu skupiono się głównie na porównaniu procesorów wbudowanych w strukturę FPGA.

Przeprowadzone badania wskazują, że procesor PowerPC uzyskuje krótsze czasy realizacji algorytmów w większości testów porównawczych. Jedynie porównanie systemu pamięciowego w konfiguracji z pamięciami BRAM bez pamięci cache daje przewagę procesorowi MicroBlaze. Jednak należy zauważyć, że pamięci cache są wbudowane w rdzeń procesora PowerPC, zatem ich stosowanie nie powoduje wykorzystywania zasobów logicznych struktury FPGA.

Rozbudowa rdzenia procesora MicroBlaze o bloki koprocatora zmiennoprzecinkowego nie przyniosła znaczącego przyrostu wydajności. Wynika to z kodu wytwarzanego przez kompilator języka C. Środowisko programistyczne procesora MicroBlaze produkuje kod zależny od aktualnej konfiguracji procesora. Zastosowanie struktury bez koprocatora skutkuje wytworzeniem kodu, w którym procedury obliczeniowe występują w postaci funkcji emulujących bloki obliczeniowe. Zastosowanie koprocatora zmiennoprzecinkowego (FPU) powoduje, że podstawowe funkcje arytmetyki zmiennoprzecinkowej, takie jak dodawanie, mnożenie itp. są realizowane jedną instrukcją języka assemblera np. *fadd* lub *fmul*, podobnie

w przypadku zastosowania koprocessora stałoprzecinkowego (HM i HD) funkcje stałoprzecinkowego mnożenia i dzielenia są wykonywane instrukcjami języka assemblera *mul* lub *idiv*. Należy jednak zauważyć, że złożone obliczenia matematyczne zawsze pociągają za sobą wywołania standardowych funkcji bibliotecznych, a te nie wykorzystują powyższych właściwości. Jest to cecha środowiska programistycznego, która narzuca konieczność wytworzenia własnych procedur matematycznych, w przypadkach gdy wydajność jest ograniczeniem systemu.

Maksymalna wydajność mikrosystemu zależy od dopuszczalnej częstotliwości sygnału zegarowego, sterującego pracą mikroprocesora. Uzyskana częstotliwość graniczna dla procesora PowerPC wyniosła 300 MHz. Dla procesora MicroBlaze osiągnięto jedynie 100 MHz. Zwiększenie tej częstotliwości powodowało niestabilną pracę mikrosystemu. Rozbudowa rdzenia procesora zmniejsza nieznacznie jego maksymalną szybkość. Raport środowiska IDE podaje wartość częstotliwości maksymalnej dla każdego z zastosowanych bloków, co pokrywa się z uzyskanym wynikiem. Należy oczekiwać, że wprowadzenie na rynek szybszych układów FPGA zwiększy maksymalne możliwości procesora MicroBlaze.

Badania maksymalnej wydajności procesorów wykazały duże rozbieżności w wynikach nawet dla danego typu procesora. Charakterystyczny jest ARM9, który dla testów na liczbach stałoprzecinkowych jest porównywalny z MB, natomiast dla testów na liczbach zmiennoprzecinkowych znacznie przewyższa pozostałe, mimo tego że badany rdzeń ARM9 nie posiada sprzętowej jednostki FPU. Sytuacja taka spowodowana jest jakością kompilatora C. Dla procesora ARM9 zastosowano kompilator firmy ARM, który jest dedykowany dla procesorów z rdzeniem ARM. Kompilator ten efektywnie wykorzystuje właściwości architektury procesorów ARM i charakterystyczne instrukcje assemblerowe. W przypadku procesorów w układach FPGA producent oprogramowania projektowego EDK z góry narzucił stosowanie bezpłatnych kompilatorów GNU, które zwykle nie wykorzystują optymalnie właściwości danych rdzeni procesorów. Ponadto dla procesora MicroBlaze nie ma obecnie alternatywnego kompilatora C, natomiast dla PowerPC można zastosować inny.

## 6. Podsumowanie

Podczas przyjmowania założeń projektowych należy odpowiedzieć na pytanie: czy ważniejsza jest wysoka wydajność mikrosystemu, czy jego miniaturyzacja. W pierwszym przypadku należy zastosować procesory autonomiczne, które znacznie przewyższają wydajnością procesory wbudowane w układ FPGA. W przypadku miniaturyzacji systemu mikroprocesorowego lepszym rozwiązaniem jest zastosowanie procesora zintegrowanego z blokami FPGA. W takim przypadku decydującym kryterium wyboru sprzętowego lub programowego procesora wydają się dostępne zasoby logiczne struktury FPGA. Jeżeli ich ilość jest wystarczająca, to atrakcyjnym rozwiązaniem jest procesor programowy, który jest bardziej elastyczny i daje możli-

wość łatwej budowy systemów wieloprocessorowych. Jeżeli zasobów logicznych jest mało lub są większe wymagania na wydajność procesora, to lepszym rozwiązaniem jest zastosowanie układu z wbudowanym procesorem sprzętowym. Jednak takie układy są znacznie droższe a ich wybór jest mniejszy. Podjęcie decyzji o wyborze architektury procesora wymaga zatem dokonania szczegółowej analizy zadania projektowego.

Istotnym czynnikiem wpływającym na końcową wydajność mikroprocesora jest jakość zastosowanego kompilatora C. O ile w przypadku procesorów autonomicznych dostępny jest zwykle więcej niż jeden kompilator C, to w przypadku procesorów programowych obecnie dostępne są tylko kompilatory GNU. Niestety, kompilatory takie bazują na ogólnej strukturze, algorytmach i bibliotekach stosowanych dla kilkunastu innych mikroprocesorów i zwykle nie są optymalizowane do konkretnych typów architektur. W rezultacie efektywność bezpłatnego kompilatora GNU znacznie ustępuje kompilatorom komercyjnym i może znacząco obniżyć wydajność procesora.

Artykuł wpłynął do redakcji 19.07.2006 r. Zweryfikowaną wersję po recenzji otrzymano 25.09.2006 r.

#### LITERATURA

- [1] R. LYSECKY, F. VAHID, *A Study of the Speedups and Competitiveness of FPGA Soft Processor Cores using Dynamic Hardware/Software Partitioning*, Design, Automation and Test in Europe, 2005, 18-23.
- [2] M. BOLADO, J. CASTILLO, H. POSADAS, P. SANCHEZ, E. VILLAR, C. SANCHEZ, P. BLASCO, H. FOUREN, *Using open source cores in real applications*, Conference on Design of Circuits and Integrated Systems, 2003, 683-688.
- [3] P. YIANNACOURAS, J. ROSE, J. G. STEFFAN, *The microarchitecture of FPGA-Based Soft Processors*, Conference on Compilers, Architecture and Synthesis for Embedded Systems, 2005, 202-212.
- [4] B. H. FLETCHER, *FPGA embedded processors, Revealing true system performance*, Embedded Systems Conference, 2005, ETP-367.
- [5] Y. JIN, N. SATISH, K. RAVINDRAN, K. KEUTZER, *An Automated Exploration Framework for FPGA-Based Soft Multiprocessor Systems*, Proceedings of the 2005 International Conference on Hardware/Software Codesign and System Synthesis, 2005, 273-278.
- [6] R. ENZLER, M. PLATZNER, C. PLESSL, L. THIELE, G. TRÖSTER, *Reconfigurable processors for handhelds and wearables: Application analysis*, Proceedings of SPIE, vol. 4525, 2001, 135-146.
- [7] R. ENZLER, C. PLESSL, M. PLATZNER, *System-Level Performance Evaluation of Reconfigurable Processors*, Elsevier Journal on Microprocessors and Microsystems, 29(2/3), 2005, 63-73.
- [8] F. PLAVEC, B. F. ZVONKO, G. VRANESIC, S. D. BROWN, *Experiences with soft-core processor design*, Proceedings of the 19th IEEE International Parallel and Distributed Processing Symposium, 2005, 167b.
- [9] M. R. GUTHAUS, J. S. RINGENBERG, D. ERNST, T. M. AUSTIN, T. MUDGE, R. B. BROWN, *MiBench: A free, commercially representative embedded benchmark suite*, 4th Annual Workshop on Workload Characterization, 2001.
- [10] M. HÜBNER, K. PAULSSON, J. BECKER, *Parallel and Flexible Multiprocessor System-On-Chip for Adaptive Automotive Applications based on Xilinx MicroBlaze Soft-Cores*, Proceedings of the 19th IEEE International Parallel and Distributed Processing Symposium, 2005, 149a.

- [11] S. H. LEE, I. K. KIM, L. CHOI, *Branch Predictor Design and Performance Estimation for a High Performance Embedded Microprocessor*, Design Automation Conference, 2003, 519-522.
- [12] J. ZHENYU, M. SINDHWANI, T. SRIKANTHAN, *RTOS acceleration on soft-core processors using instruction set customization*, Proceedings of the Field-Programmable Technology Conference, 2004, 371-374.
- [13] E. J. MARINISSEN, V. IYENGAR, K. CHAKRABARTY, *A set of benchmarks for modular testing of SOCs*, Proceedings of IEEE International Test Conference, 2002, 519-528.
- [14] J. Z. PING, *Review of benchmarking computer systems*, <http://www.comp.nus.edu.sg/~jiangzp/research/>, 2005.
- [15] J. BECKER, M. VORBACH, *Architecture, Memory and Interface Technology Integration of an Industrial/Academic Configurable System-on-Chip (CSoC)*, IEEE COMPUTER SOCIETY ANNUAL SYMPOSIUM ON VLSI, 2003.
- [16] C. BOLCHINI, A. MIELE, F. SALICE, D. SCIUTO, *A model of soft error in generic IP processors*, IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, 2005, 334+342.
- [17] A. N. SLOSS, D. SYMES, C. WRIGHT, *ARM System Developer's Guide*, Elsevier 2004.
- [18] *AT91RM9200 ARM920T-based Microcontroller*, Atmel Data Sheet, Rev. 1768F-ATARM-30-May-06.
- [19] D. STRANNEBY, *Digital Signal Processing: DSP and Applications*, Stranneby, 2001.
- [20] *TMS320VC5502 Fixed-Point Digital Signal Processor*, Data Manual, Texas Instruments, Literature Number: SPRS166E.

T. SONDEJ, L. ZAGOŹDZIŃSKI, R. PEŁKA

### Evaluation of performance of processors embedded in FPGAs systems

**Abstract.** This paper describes a simple, yet effective and convenient method for evaluation of the computing performance of hard- and soft-processor (PowerPC and Micro-Blaze, respectively) embedded in Virtex-4 FPGA from Xilinx. Experimental results have been compared with stand-alone ARM and DSP microprocessors. Detailed comparison of the performance of both processors is presented to help designers to choose between the hard- and soft-processor in different applications. This comparison has been performed in twofold way: the PowerPC and Micro-Blaze cores have been tested at the same clock frequency (100 MHz) for some available configurations of the memory subsystem, and maximum performance factors of both cores have been measured using maximum clock speed.

**Keywords:** digital systems, hard-processor, soft-processor, benchmark, FPGA, system-on-chip

**Universal Decimal Classification:** 621.382