

Arkadiusz KLUGER

POLITECHNIKA ŚLĄSKA W GLIWICACH
INSTYTUT METROLOGII I AUTOMATYKI ELEKTROTECHNICZNEJ

Dwusygnałowy, programowany generator funkcyjny

Mgr inż. Arkadiusz KLUGER

urodzony w 1972r. Ukończył studia na Wydziale Elektrycznym Politechniki Śląskiej w 1997 r. Od 1997 r. asystent w Instytucie Metrologii i Automatyki Elektrotechnicznej na Wydziale Elektrycznym Politechniki Śląskiej w Gliwicach. Jego zainteresowania związane są głównie z pomiarami precyzyjnymi oraz techniką cyfrową.



Streszczenie

Przedstawiono koncepcję układu oraz wyniki badań prototypu generatora funkcyjnego, o zakresie częstotliwości (0,1 - 10 000) Hz, w którym do wytworzenia sygnału wyjściowego wykorzystano technikę bezpośredniej cyfrowej syntezy częstotliwości (DDS). Przedstawiono oszczędny sposób obliczania słów programujących wartości amplitudy i częstotliwości.

Abstract

A concept and performances of a digital function generator based on 80C32 controller and DDS technique are presented. Range of the output frequency is from 0.1 Hz to 10000 Hz. The saving methods how to calculate a programming words of an amplitude and frequency are presented.

Wprowadzenie

W wielu układach pomiarowych potrzebne są generatory o precyzyjnie nastawianych wartościach częstotliwości i napięcia. Wymagania takie mogą spełniać generatory cyfrowe budowane w oparciu o technikę bezpośredniej syntezy częstotliwości. Zakres możliwych do uzyskania częstotliwości zależy od sposobu realizacji układu. Dla układów generujących sygnał charakteryzujący się zmienną liczbą próbek na okres częstotliwość wynosi od kilku herców do kilkudziesięciu megaherców, natomiast dla układów ze stałą liczbą próbek na okres (lub stałym okresem próbkowania) częstotliwość jest zwykle mniejsza i wynosi od kilkudziesięciu (kilkuset) kiloherców. Zwykle układy takie generują sygnał sinusoidalny, prostokątny lub piłokształtny, a współpracując z komputerem pozwalają na zaprogramowanie innych kształtów. W pracy przedstawiono koncepcję generatora, która została sprawdzona przez wykonanie układu o następujących właściwościach użytkowych:

- programowana cyfrowo wartość częstotliwości w zakresie od 0,1 Hz do 10 kHz, z rozdzielczością 0,1 Hz, taka sama dla obu sygnałów wyjściowych,
- programowana cyfrowo amplituda sygnałów wyjściowych w zakresie od 0 do $\pm 2,55$ V, z rozdzielczością 0,01 V, niezależnie dla obu kanałów,
- ciągła generacja jednego lub jednocześnie dwóch przebiegów o dowolnym kształcie,
- możliwość wielokrotnego, cyfrowego zaprogramowania kształtu generowanych sygnałów, niezależnie dla każdego z kanałów.

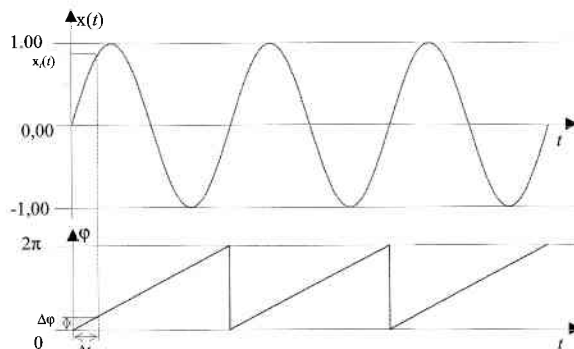
Koncepcja syntezy przebiegu wyjściowego

Praca programowanego, cyfrowego generatora funkcyjnego polega na odtwarzaniu kolejnych próbek przebiegów zapisanych w pamięci. Konstrukcja taka wymaga zastosowania układu adresującego pamięć, którego częstotliwość zadawana jest w sposób liniowy. Z przeprowadzonej analizy możliwych do zastosowania układów [6] przyjęto rozwiązanie oparte na bezpośredniej cyfrowej syntezie częstotliwości (direct digital synthesis - DDS).

Idea cyfrowej bezpośredniej syntezy częstotliwości (DDS)

Metoda DDS pozwala na uzyskanie przebiegów o różnych częstotliwościach wyjściowych z jednej częstotliwości wzorcowej i najczęściej jest stosowana do generacji sygnału sinusoidalnego.

Faza sygnału wyjściowego narasta liniowo w czasie (rys.1). Na podstawie tej własności można napisać [5]:



Rys. 1. Przebieg wartości i fazy sygnału sinusoidalnego

$$\Delta\varphi = \omega\Delta t = 2\pi f_{wy,DDS}\Delta t \quad (1)$$

gdzie:

$\Delta\varphi$ - przyrost kąta fazowego przebiegu wyjściowego,

Δt - przyrost czasu,

$f_{wy,DDS}$ - częstotliwość przebiegu wyjściowego.

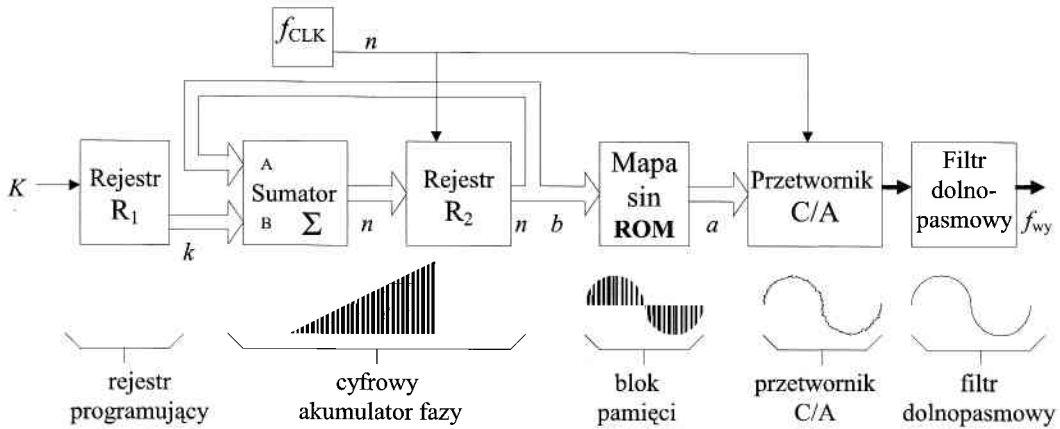
Ponieważ czas jest inkrementowany zegarem o częstotliwości f_{CLK} , więc minimalny przyrost czasu wynosi:

$$\Delta t = \frac{1}{f_{CLK}} \quad (2)$$

f_{CLK} jest częstotliwością wzorcową stabilizowaną przez rezonator kwarcowy.

Z równań (1) i (2) otrzymuje się:

$$f_{wy} = \frac{\Delta\varphi}{2\pi} \cdot f_{CLK} \quad (3)$$



Rys. 2. Schemat blokowy układu bezpośredniej cyfrowej syntezy częstotliwości (DDS)

W oparciu o zależność (3) można zbudować układ cyfrowy (rys. 2), którego podstawową częścią jest tzw. cyfrowy akumulator fazy [4], który składa się z n -bitowego sumatora oraz rejestru R_2 przechowującego wynik sumowania. Wyjście tego rejestru jest dołączone zwrotnie do jednego z wejść sumatora. Do drugiego wejścia sumatora doprowadzone jest, pamiętane w rejestrze R_1 , k -bitowe słowo K , programujące częstotliwość wyjściową syntezer. Akumulator fazy jest taktowany sygnałem f_{CLK} i w każdym takcie następuje zwiększenie jego zawartości o liczbę K określoną przez k -bitowe słowo programujące.

Dla $K=1$ w każdym takcie przebiegu zegarowego f_{CLK} zawartość akumulatora będzie zwiększana o jeden. Po osiągnięciu wartości $2^n - 1$ wystąpi przepełnienie i rozpocznie się zliczanie od początku. W tym przypadku okres przebiegu wyjściowego będzie N -krotnie dłuższy od okresu przebiegu zegarowego ($N = 2^n - 1$ - liczba możliwych stanów akumulatora).

Jeżeli na wejściu cyfrowego akumulatora fazy ustawiona zostanie wartość słowa programującego $K > 1$, to w kolejnych cyklach zegara opisany proces będzie się odbywał z okresem wystąpienia przepełnienia K -krotnie krótszym.

Blok pamięci próbek (mapa sin) przetwarza informację o fazie sygnału na informację o jego amplitudzie. W tym celu w pamięci trwałej ROM umieszczono wartości funkcji sinus. Każdej kolejnej wartości słowa cyfrowego z wyjścia akumulatora fazy zostaje przyporządkowana wartość amplitudy przebiegu sinusoidalnego. Wartości próbek przebiegu wyjściowego odpowiadają współrzędnym N punktów równomiernie rozłożonych na okręgu w płaszczyźnie zespolonej, wyznaczającym fazę sygnału. Współrzędne tych punktów wynoszą:

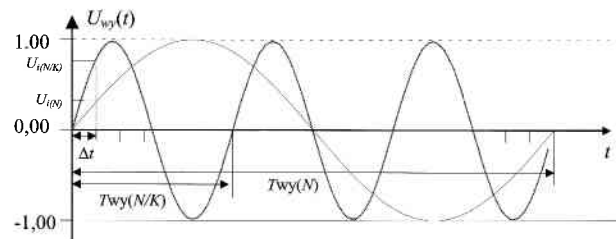
$$\exp\left(j \frac{2\pi}{N} (2^i - 1)\right); \quad (i = 0, \dots, n) \quad (4)$$

Dla danej wyjściowej $K = 2^k - 1$, na wyjściu bloku pamięci występuje wartość:

$$\sin\left(\frac{2\pi}{N} \cdot K\right) \quad (5)$$

Dla określonej wartości K słowa programującego, w kolejnych taktach sygnału zegarowego f_{CLK} argument ulega zwiększeniu o $\left(\frac{2\pi}{N} \cdot K\right)$.

Możliwość programowania przyrostu kąta fazowego ($\Delta\varphi$) powoduje, że liczba próbek w okresie sygnału wyjściowego z układu DDS zależy od aktualnie generowanej częstotliwości (rys. 3). Okres sygnału wyjściowego można zatem zdefiniować następująco:



Rys. 3. Przebiegi wyjściowe układu DDS

$$T_{wy, DDS} = \frac{N}{K} \cdot \Delta t = \frac{N}{K} \cdot T_{CLK} \quad (6)$$

stąd:

$$f_{wy, DDS} = \frac{K}{N} \cdot f_{CLK} \quad (7)$$

gdzie:

N/K - liczba próbek dla jednego okresu przebiegu wyjściowego układu DDS,

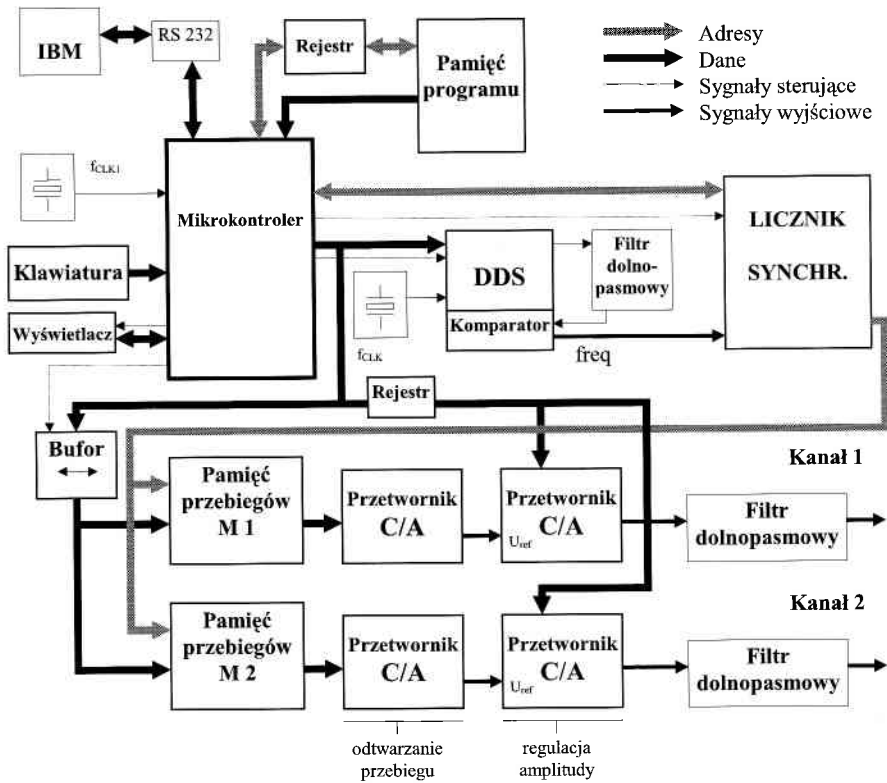
K - przyrost kąta fazowego w jednym takcie sygnału zegarowego ($K = 2^k - 1$ odpowiada wartości słowa programującego częstotliwość wyjściową syntezer, k - liczba bitów programujących cyfrowego akumulatora fazy),

N - liczba taktów zegarowych przypadająca na okres przebiegu wyjściowego przy odtwarzaniu wszystkich próbek z bloku pamięci ($N = 2^n$ - pojemność cyfrowego akumulatora fazy, n - liczba bitów akumulatora fazy, $n \geq k + 1$).

Ograniczenie $n \geq k + 1$ wynika z twierdzenia o próbkowaniu Kotelnikowa - Shannona, stąd uzyskiwany zakres częstotliwości wyjściowych nie może być większy od $(0 \text{ do } 1/2 f_{CLK})$.

W generatorze przyjęto $k = n - 2$ co ogranicza górny zakres częstotliwości wyjściowej układu DDS do $1/4 f_{CLK}$. Oznacza to, że przebieg wyjściowy układu DDS o maksymalnej częstotliwości składa się z czterech próbek. Umożliwia to rozsuniecie obszaru pracy i obszaru występowania efektów dyskretyzacji.

Do przetworzenia cyfrowej informacji o amplitudzie sygnału na przebieg analogowy, zastosowano przetwornik C/A, uzupełniony filtrem dolnopasmowym tłumiącym składowe sygnały leżące poza pasmem podstawowym. Pasma przepustowe filtru zawiera się w przedziale $(0 \dots 1/4 f_{CLK})$.



Rys. 4. Schemat blokowy dwusygnałowego generatora opartego o technikę DDS, ze stałą liczbą odtwarzanych próbek przebiegu

na określone parametry pracy układu i wybór przebiegów, wpisując dane z klawiatury. Zadane parametry są pamiętane w wewnętrznej pamięci RAM mikrokontrolera, a następnie w trakcie dalszej realizacji programu przeliczane i wysyłane przez odpowiednie rejestry i bufory do współpracujących z mikrokontrolerem przetworników C/A, bloków pamięci przebiegów M1 i M2 oraz do układu DDS. Sygnał cyfrowy z bloku pamięci po przetworzeniu na sygnał analogowy w kaskadowym połączeniu dwóch przetworników C/A [1] (sygnał wyjściowy pierwszego przetwornika podany jest na wejście napięcia odniesienia drugiego) o odpowiednim poziomie napięcia jest w obu kanałach odpowiednio odfiltrowany w filtrach dolnoprzestrzennych i podany na wyjście generatora. Ze względu na właściwości użytkowe oraz minimalizację liczby podzespołów generatora, w układzie zastosowano scalony element DDS (AD 9850)

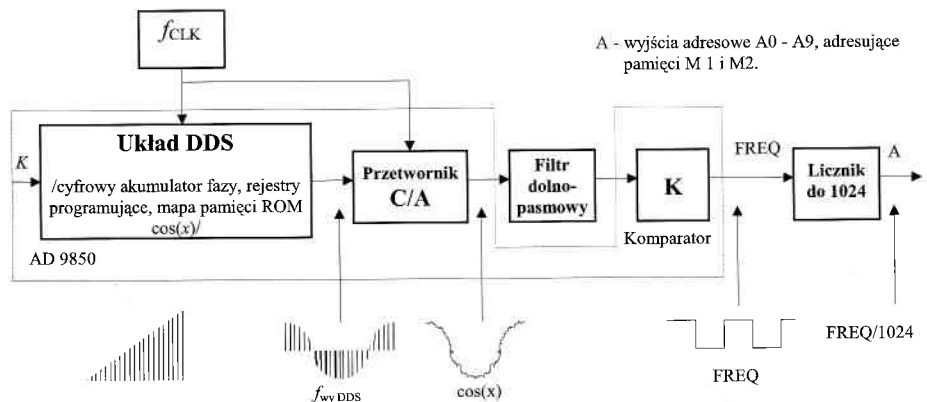
współpracujący z zewnętrznym oscylatorem. Wykorzystując strukturę tego elementu zaprojektowano układ adresowania pamięci przebiegów (rys. 5).

Struktura układu generatora

Wykorzystując technikę DDS układ generatora można zaprojektować zasadniczo na dwa sposoby. Oba rozwiązania zawierają podstawowy układ DDS, przy czym pierwsze wykorzystuje DDS bezpośrednio do generacji przebiegów i w tym przypadku przebieg wyjściowy składa się z różnej liczby próbek na okres w zależności od aktualnie generowanej częstotliwości wyjściowej. W drugim rozwiązaniu układ DDS służy do wytworzenia sygnału zegarowego adresującego pamięć i wówczas przebieg wyjściowy niezależnie od częstotliwości zawsze składa się ze stałej liczby próbek.

Po przeprowadzeniu analizy obu rozwiązań [6], [2] z uwzględnieniem parametrów użytkowych układu przyjęto rozwiązanie o stałej liczbie próbek na okres sygnału wyjściowego.

Kontrolę nad pracą układu (rys.4) sprawuje mikrokontroler (80C32), który wysyła sygnały sterujące aktywizujące poszczególne podzespoły generatora, w tym programuje układ DDS do generowania odpowiedniej częstotliwości. Użytkownik jest na bieżąco informowany o aktualnym stanie układu dzięki zastosowaniu wyświetlacza LCD, posiada również bezpośredni wpływ



Rys. 5. Schemat blokowy układu adresowania pamięci

Zgodnie z zasadą działania układu DDS [5] częstotliwość wyjściowa tego układu wyrażona jest równaniem (7), gdzie: $K \in (1, \dots, 232-1)$ jest wartością słowa programującego częstotliwość, a $N = 2^{32}$ jest pojemnością cyfrowego akumulatora fazy.

Na wyjściu układu DDS otrzymuje się ciąg próbek o amplitudach zmodulowanych przebiegiem sinusoidalnym o częstotliwości $f_{wy, DDS}$. Sygnał ten jest podawany na szybki 10-bitowy przetwornik C/A, dalej na filtr dolnoprzestrzenny i dalej na szybki komparator. Na jego wyjściu uzyskuje się sygnał prostokątny (FREQ) o wypełnieniu 1/2 i częstotliwości równej częstotliwości $f_{wy, DDS}$.

Jako źródło zewnętrznego sygnału zegarowego zastosowano oscylator kwarcowy o częstotliwości znamionowej 50 MHz i niepewności generowanej częstotliwości nie większej niż 30 ppm. Częstotliwość średnia tego oscylatora zmierzona w serii pomiarów przyrządem cyfrowym PM 6680 firmy Fluke wyniosła:

$$f_{\text{CLK}} = 49,9997 \text{ MHz}$$

która pozwala na uzyskanie na wyjściu układu DDS sygnału o częstotliwości z przedziału:

$$f_{\text{wy, min, DDS}} = \frac{1}{2^{32}} \cdot f_{\text{CLK}} = 0,0117 \text{ Hz}$$

$$f_{\text{wy, max, DDS}} = \frac{2^{30} - 1}{2^{32}} \cdot f_{\text{CLK}} = 12,5 \text{ MHz}$$

Do wyznaczenia częstotliwości $f_{\text{wy, max, DDS}}$ przyjęto $K = 2^{30} - 1$ co oznacza, że przebieg ten składa się z 4 próbek na okres. Impulsy prostokątne tego sygnału są następnie zliczane w liczniku synchronicznym, który dzieli częstotliwość tego sygnału przez 1024. Wyjścia licznika (A0 - A9) adresują bloki M1 i M2 pamięci próbek (2 x 8 przebiegów po 1024 próbki każdy) w celu odtworzenia wszystkich próbek wybranego przebiegu. Powyższą liczbę próbek przyjęto, aby błąd wynikający z próbkowania był znacznie mniejszy od błędu wynikającego z kwantowania. Wobec powyższego częstotliwość wyjściowa generatora opisana jest wzorem:

$$f_{\text{wy}} = \frac{K}{N \cdot L} \cdot f_{\text{CLK}} \quad (8)$$

gdzie:

$L = 1024$ - pojemność licznika synchronicznego,
i może należeć do przedziału: (0,0000114; 12206,96) Hz.

Aby uzyskać zgodność z wcześniej przyjętymi założeniami przedział ten ograniczono obustronnie: $f_{\text{wy, min}} = 0,1 \text{ Hz}$; $f_{\text{wy, max}} = 10 \text{ kHz}$. Ograniczenie to zrealizowano przez określenie granicznych wartości słowa programującego częstotliwość wyjściową:

$$K_{\text{min}} = \frac{f_{\text{wy, min}} \cdot 1024 \cdot 2^{32}}{f_{\text{CLK}}} \approx 8796 \quad (9)$$

$$K_{\text{max}} = \frac{f_{\text{wy, max}} \cdot 1024 \cdot 2^{32}}{f_{\text{CLK}}} \approx 879614580 \quad (10)$$

Błąd zaokrąglenia słowa (maksymalnie o $\pm 0,5$) wprowadza odchyłkę częstotliwości wyjściowej.

Np. dla $f_{\text{wy, min}} = 0,1 \text{ Hz}$ otrzymuje się:

$$f_{\text{wy, min, rzecz}} = \frac{K_{\text{min}} \cdot f_{\text{CLK}}}{2^{32} \cdot 1024} = 0,0999983 \text{ Hz}$$

czyli:

$$|\Delta f| = |f_{\text{wy, min, rzecz}} - f_{\text{wy, min}}| = 1,7 \cdot 10^{-6} \text{ Hz}; \quad |\delta f| = 0,17 \%$$

dla $f_{\text{wy, max}} = 10 \text{ kHz}$ otrzymuje się:

$$f_{\text{wy, max, rzecz}} = \frac{K_{\text{max}} \cdot f_{\text{CLK}}}{2^{32} \cdot 1024} = 9999,999999 \text{ Hz}$$

czyli:

$$|\Delta f| = |f_{\text{wy, max, rzecz}} - f_{\text{wy, max}}| = 1 \cdot 10^{-6} \text{ Hz}; \quad |\delta f| = 1 \cdot 10^{-8} \%$$

Z powyższej analizy wynika, że różnica między uzyskaną a nastawioną wartością częstotliwości wyjściowej, wynikająca z ko-

nieczności zaokrąglenia wartości K , jest na poziomie 10^{-6} Hz , czyli jest znacznie mniejsza od niepewności wynikającej z zastosowanego rezonatora kwarcowego. Można zatem stwierdzić, że dokładność uzyskiwanych częstotliwości wyjściowych jest zdecydowanie dokładnością użytego rezonatora.

Innym istotnym elementem układu adresowania pamięci jest filtr dolnoprasmowy, umieszczony między wyjściem przetwornika C/A a komparatorem, którego brak lub złe zestrojenie (zbyt szerokie pasmo przepustowe) uniemożliwia poprawną pracę komparatora. Komparator jest układem szybkim i może przełączać nie tylko dla składowej podstawowej ale również przy odkształceniach. Przejawia się to niestabilnym sygnałem prostokątnym o przypadkowym wypełnieniu. Efekt ten wyeliminowano przez zastosowanie filtra dolnoprasmowego piątego rzędu o strukturze typu „II”, o częstotliwości granicznej 11 MHz i o impedancji wejściowej oraz wyjściowej 200Ω (wartość wymagana dla układu AD 9850).

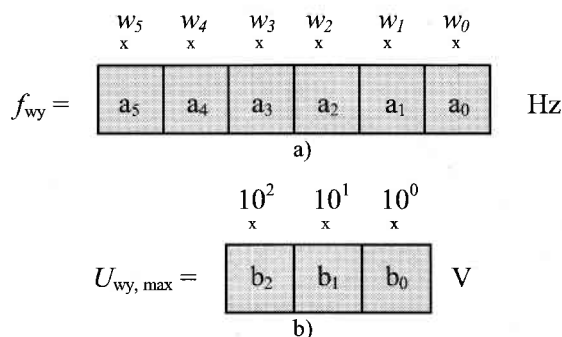
Algorytm obliczania częstotliwości wyjściowej oraz napięcia wyjściowego

Uzyskanie częstotliwości wyjściowej wpisanej z klawiatury wymaga odpowiedniego zaprogramowania układu AD 9850 przez wpis słowa programującego, obliczanego ze wzoru:

$$K = \frac{N \cdot L}{f_{\text{CLK}}} \cdot f_{\text{wy}} = 87961,46 \cdot f_{\text{wy}} \quad (11)$$

Wyciśnięcie słowa programującego wymaga zamiany wpisanej z klawiatury częstotliwości wyjściowej generatora z postaci dziesiętnej na postać binarną, a następnie wymnożenia jej przez stałą wartość. Wynikiem takiej operacji jest czterobajtowa liczba binarna (zgodna z formatem słowa programującego układ AD 9850). Wykonanie takiej operacji wymaga zastosowania procedury mnożenia wielobajtowego, która w przypadku mikrokontrolera 80C32 jest złożona i wprowadza znaczące opóźnienie w realizacji programu.

W związku z powyższym procedurę zmodyfikowano. Częstotliwość wprowadzona z klawiatury zapamiętywana jest w sześciu komórkach: a_0 do a_5 , do których wpisywane są kolejne cyfry wartości f_{wy} , a każdej komórce przypisana jest odpowiednia waga (rys. 6a).



Rys. 6. Graficzna reprezentacja wartości programowanych parametrów, a) częstotliwości wyjściowej; b) napięcia wyjściowego

Wartość słowa programującego można zapisać w sposób następujący:

$$K = \sum_{i=0}^5 a_i \cdot w_i \quad (12)$$

gdzie:

$$a_i \in \langle 0, \dots, 9 \rangle;$$

$$w_0 = 8796; w_1 = 87961; w_2 = 879615; w_3 = 8796146;$$

$$w_4 = 87961458; w_5 = 879614580.$$

Wartości w_i zostały wyliczone ze wzorów (11 i 12) przy podstawieniu za f_{wy} wartości wynikającej z wpisu „1” na pozycji a_i (oraz „0” na pozostałych), co odpowiada minimalnej przeskalowanej wartości K (na pozycji danej wagi) zapisanej w 4 komórkach pamięci. Aby uzyskać odpowiednią wartość K wystarczy zsumować z przeniesieniem a_i -razy wartości w_i dodając bajty od najmłodszych do najstarszych i zsumować z przeniesieniem poszczególne składniki. Tak uzyskana wartość binarna (4 bajty) jest przesyłana do układu AD 9850.

Wartość amplitudy napięcia wyjściowego można zapisać wzorem:

$$U_{wy,max} = \sum_{i=0}^2 b_i \cdot 10^i \quad (13)$$

gdzie:

$$b_i \in \langle 0, \dots, 9 \rangle.$$

Obliczenie wartości amplitudy polega na wymnożeniu zawartości poszczególnych komórek b_i (wpisanych z klawiatury) przez odpowiadające im wagi 10^i (rys. 6b) i zsumowaniu iloczynów. Uzyskana w ten sposób 8-bitowa wartość binarna przesyłana jest do odpowiednich rejestrów zatraskowych współpracujących z przetwornikami C/A.

Podstawowe parametry generatora

Prezentowany układ został zbudowany i sprawdzony [6]. Analiza widmowa sygnału wyjściowego potwierdziła przewidywania teoretyczne, które można znaleźć w literaturze [2]. Widma zbadanych sygnałów zawierały tylko te składowe harmoniczne, przy zachowaniu proporcji pomiędzy ich amplitudami, które wynikają z rozwinięcia funkcji opisujących wybrany sygnał wyjściowy w szereg Fouriera. Przeprowadzono także pomiary czasów narastania i opadania sygnału prostokątnego uzyskując następujące wyniki: $t_n = 865$ ns, $t_0 = 890$ ns. Dzięki odpowiedniemu doborowi pojemności w układzie wzmacniacza wyjściowego w przebiegu nie występowały oscylacje związane z ustaleniem sygnału i w związku z tym nie było potrzeby wyznaczenia czasu ustalenia sygnału wyjściowego. Przekroczenie określonej wartości prądu wyjściowego (I_{wy}) powoduje zadziałanie zabezpieczenia we wzmacniaczu operacyjnym (LF 355) i szybki spadek napięcia wyjściowego. Dla przebiegu sinusoidalnego następuje to przy $I_{wy} > 14$ mA, dla prostokątnego przy $I_{wy} > 16$ mA, dla trójkątnego przy $I_{wy} > 10$ mA. Z tego powodu jako maksymalny prąd wyjściowy generatora przyjęto 10 mA.

Generator ma następujące ważniejsze parametry:

Liczba pamiętanych jednocześnie przebiegów:	8,
Zakres częstotliwości:	0,1 Hz - 10 kHz,
Minimalny krok nastawy częstotliwości:	0,1 Hz,
Niestabilność częstotliwości:	< 10 ⁻³ %,
Zakres napięcia wyjściowego:	± 2,55 V,
Minimalny krok nastawy napięcia wyjściowego:	0,01 V,
Zakres prądu wyjściowego:	0 ... 10 mA,
Impedancja wyjściowa (dla 10 kHz)	< 0,2 Ω,
Czas narastania i opadania fali prostokątnej:	< 1 μs,

Uwagi końcowe

Dokładność i stabilność częstotliwości przebiegów wyjściowych jest uzależniona przede wszystkim od zastosowanego rezonatora kwarcowego (50 MHz) współpracującego z układem DDS, odpowiedzialnym za wytworzenie sygnału służącego dalej do adresowania pamięci.

Maksymalna wartość możliwej do uzyskania częstotliwości wyjściowej jest ograniczona głównie czasem dostępu do pamięci EEPROM (150 ns). Uzyskano częstotliwość 11 kHz, jednakże aby pamięć nie pracowała w warunkach granicznych przyjęto 10 kHz. W przypadku zastosowania szybszej pamięci, należałoby również zastosować szybsze przetworniki C/A. Innym powodem ograniczenia częstotliwości wyjściowej jest założenie, że cyfrowy sygnał wyjściowy z układu DDS składa się co najmniej z 4 próbek. Oznacza to, że maksymalna częstotliwość sygnału adresującego pamięć wynosi 12,2 kHz i taka też mogłaby być częstotliwość wyjściowa. Należałoby również wówczas przestroić filtr dolnoprzepustowy współpracujący z układem DDS.

W generatorze istnieje możliwość uzyskiwania przebiegów wyjściowych o częstotliwości stanowiącej wielokrotność nominalnej, przez zapis w bloku pamięci próbek kilku okresów danego przebiegu. Jednakże generowanie sygnałów o większej częstotliwości realizowanych w taki sposób może spowodować pojawienie się w przebiegu wyjściowym wyższych harmonicznych wynikających z próbkowania, które wystąpią przy mniejszych częstotliwościach.

Parametry układu można poprawić przez zastosowanie przetworników C/A o większej liczbie bitów (zwiększenie rozdzielczości napięcia wyjściowego, mniejszy błąd nieliniowości, itd.). Wymagałoby to także zastosowania pamięci EEPROM oraz rejestrów i buforów o większych pojemnościach. Korzystne byłoby również zastosowanie szybszych wzmacniaczy operacyjnych współpracujących z przetwornikami C/A celem uzyskania krótszych czasów narastania i opadania sygnału prostokątnego oraz zastosowanie odpowiednich wzmacniaczy mocy na wyjściach układu. Aby zwiększyć częstotliwość wyjściową (przy odpowiednio szybkich pamięciach i przetwornikach) można ewentualnie zastosować rezonator kwarcowy o większej częstotliwości – układ AD 9850 może współpracować z zewnętrznym rezonatorem o częstotliwości do 125 MHz.

Literatura

- [1] Z. KULKA, A. LIBURA, M. NADACHOWSKI:
Przetworniki analogowo-cyfrowe i cyfrowo-analogowe.
WKiŁ, Warszawa 1987,
- [2] A. WOJNAR:
Teoria sygnałów. WNT, Warszawa 1980,
- [3] A. RYDZEWSKI:
Mikrokomputery jednoukładowe rodziny MCS - 51. WNT,
Warszawa 1995,
- [4] P. MICHALAK:
Cyfrowa bezpośrednia synteza częstotliwości. Radioelektronik 1993, nr 1, 2,
- [5] Analog Devices:
CMOS, 125 MHz Complete DDS Synthesizer AD 9850.
Karta katalogowa, 1996,
- [6] A. KLUGER:
Dwusygnałowy, mikroprocesorowy, programowany generator funkcyjny.
Praca dyplomowa, Instytut Metrologii i Automatyki Elektrotechnicznej
Politechniki Śląskiej, Gliwice 1997.