

Marcin WALECKI¹, **Marian URBAŃCZYK**¹, **Damian SŁOTA**², **Roman WITUŁA**²

¹POLITECHNIKA ŚLĄSKA, KATEDRA OPTOELEKTRONIKI, ul. B. Krzywoustego 2, 44-100 Gliwice,

²POLITECHNIKA ŚLĄSKA, INSTYTUT MATEMATYKI, ul. Kaszubska 23, 44-100 Gliwice

Przetwornik logiki binarnej na logikę trójwartościową i czterowartościową

Mgr inż. Marcin WALECKI

Absolwent kierunku Elektronika i Telekomunikacja Wydziału Elektrycznego Politechniki Śląskiej w Gliwicach. Od 2006 roku słuchacz studiów doktoranckich w dyscyplinie Elektrotechnika w Politechnice Śląskiej. Zajmuje się zagadnieniami dotyczącymi logiki wielowartościowej, ze szczególnym uwzględnieniem syntezy układów konwertujących sygnały binarne na sygnały logiki wielowartościowej.

e-mail: marwalecki@gmail.com



Prof. dr hab. inż. Marian URBAŃCZYK

Absolwent Wydziału Elektrycznego Pol. Śląskiej w 1973 r., doktorat w IPPT PAN w Warszawie w 1982 r., habilitacja na Wydziale Elektroniki Pol. Wrocławskiej w 1999r, tytuł profesora 2012. W latach 1973-2009 pracował w Instytucie Fizyki, obecnie w Katedrze Optoelektroniki Wydziału Elektrycznego Pol. Śląskiej. Zawodowo zajmuje się akustoelektroniką, akustycznymi falami powierzchniowymi w zastosowaniu do obróbki sygnałów. Dorobek naukowy - ponad 120 publikacji i 4 patenty RP.

e-mail: marian.urbanczyk@polsl.pl



Dr hab. inż. Damian SŁOTA

Adiunkt w Instytucie Matematyki Politechniki Śląskiej w Gliwicach. Zajmuje się metodami numerycznymi dla bezpośrednich oraz odwrotnych zagadnień związanych z przepływem ciepła oraz innymi zastosowaniami matematyki, a także elementami teorii liczb i zagadnień pokrewnych.

e-mail: damian.slota@polsl.pl



Dr inż. Roman WITUŁA

Adiunkt w Instytucie Matematyki Politechniki Śląskiej w Gliwicach. Zajmuje się zagadnieniami dotyczącymi algebry, teorii liczb, funkcji specjalnych oraz ich zastosowań w naukach technicznych.

e-mail: roman.witula@polsl.pl



Streszczenie

Praca dotyczy modelowania przetworników logiki binarnej na logikę trójwartościową i czterowartościową. Podano przykładowe rozwiązanie zagadnienia wyznaczenia zależności opisującej stan logiczny jednego z wyjść przetwornika logiki binarnej na logikę wielowartościową (synteza układu logicznego). Analizę wykonano na platformie pakietu *Mathematica*. W pracy zastosowano automatyczną, programową filtrację możliwych rozwiązań na postać funkcji logicznych opisujących stan wyjścia przetworników w odniesieniu do przyjętych kryteriów wyboru. Na podstawie uzyskanych wyników w programie oraz wzoru ogólnego na stan logiczny drugiego wyjścia przetwornika przedstawiono przykładowy teoretyczny model przetwornika sygnałów logiki dwuwartościowej na trójwartościową i czterowartościową (2/3, 2/4) dla dowolnych poziomów napięciowych sygnałów logicznych. Wykonano symulacje przetworników w programie SPICE dla modeli idealnych i rzeczywistych. W modelu przetworników wykorzystano wielowojściowe napięciowe wzmacniacze operacyjne, jako układy sumujące i różnicowe.

Słowa kluczowe: modelowanie matematyczne, logika binarna i wielowartościowa, przetworniki logiki.

Signal converter of the binary logic to ternary and quaternary logic

Abstract

The paper deals with the modeling of converters of binary to ternary and quaternary logics. An exemplary solution of determining the relation describing the logical state of one of outputs of the converter of binary logics to multivalued logics has been quoted, i.e. the synthesis of a logical system. The analysis was performed on the platform of the software Mathematica. An automatic program filtration of possible solutions of logical functions was applied, describing output states of converters in compliance with the accepted criteria of the proper choice. Basing on the obtained results in this program and on the general formula concerning the logical state of the other output of the converter an exemplary theoretical model of the converter of signals of binary to ternary and quaternary logics has been presented (2/3 and 2/4) concerning any arbitrary voltage level of logical signals. Simulations of converters in the SPICE program have been performed for ideal and real models. In the model of the converters multi-input voltage amplifiers have been applied, operating as adding and subtracting signal systems.

Keywords: binary logic, logic conversion.

1. Wprowadzenie

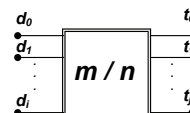
Zaletą stosowania cyfrowych układów logiki wielowartościowej jest zmniejszenie liczby połączeń wewnętrznych i zewnętrznych, które mogą zajmować nawet kilkadziesiąt procent powierzchni układu scalonego [1-4]. Przetworniki sygnałów cyfrowych dwuwartościowych (binarnych) na wielowartościowe pośredniczą w komunikacji pomiędzy układami cyfrowymi pracującymi w logice wielowartościowej z tradycyjnymi układami binarnymi. Istotnym zagadnieniem jest opracowanie metody syntezy funkcji logicznej przetwornika. Metoda syntezy przetwornika powinna zapewniać uzyskanie optymalnej postaci logicznej funkcji przetwarzania, tak by realizacja praktyczna przetwornika była najprostsza i najmniej kosztowna.

W dalszej części pracy przedstawiono metodę syntezy funkcji logicznej przetwornika 2/3 oraz 2/4, a także wyniki symulacji uzyskanych w ten sposób przetworników idealnych i rzeczywistych.

2. Teoretyczny model czterobitowego przetwornika logicznego sygnału dwuwartościowego na trój i czterowartościowy

Przetworniki logiki binarnej na wielowartościową $2/n$ zamieniają sygnał wejściowy binarny na sygnał w logice wielowartościowej. Zakłada się, że odstęp między poszczególnymi poziomami napięciowymi sygnału wyjściowego przetwornika $2/n$ jest stały.

Ogólny symbol przetwornika m -bitowego logiki dwuwartościowej na logikę n -wielowartościową pokazany jest na rys 2.1.



Rys. 2.1. Symbol przetwornika m -bitowych sygnałów dwuwartościowych d_i na sygnał wielowartościowy t_j

Fig. 2.1. Symbol of the m -bit binary signal converter d_i to multivalued signal t_j

Liczbę wyjść j przetwornika $2/n$ dla m -bitowego wejścia binarnego można obliczyć ze wzoru:

$$k = i \log_R 2 \quad (2.2)$$

$$j = \lceil k \rceil \quad (2.3)$$

gdzie: j – liczba wyjść - liczba całkowita, powstała po zaokrągleniu liczby k do najbliższej większej liczby całkowitej, R – wartość sygnału wyjściowego (liczba poziomów), i – liczba wejść binarnych.

Liczbę wyjść dla poszczególnych przetworników obliczoną na podstawie wzorów (2.2) i (2.3) przedstawiono w tabeli 2.1.

Tab. 2.1. Liczby wyjść przetworników 2/3 oraz 2/4
Tab. 2.1. The number of converter outputs 2/3 and 2/4

Typ przetwornika	Wartość i	Wartość R	Wartość k	Liczba wyjść j
2/3	4	3	2,52	3
2/4	4	2	2,00	2

Dla przetwornika 2/3:

$$k = i \log_R 2 = 4 \log_3 2 = \frac{2 \log 4}{\log 3} \approx 2,5237 \rightarrow j = 3 \quad (2.4)$$

Dla przetwornika 2/4:

$$k = i \log_R 2 = 4 \log_2 2 = 2 \log_2 4 = 2 \rightarrow j = 2 \quad (2.5)$$

Układy przetworników logiki binarnej na wielowartościową można zbudować w oparciu o wielowartościowe wzmacniacze operacyjne [6].

3. Synteza przetwornika 2/3 i 2/4

W pracy [11] podano sposób matematycznego modelowania funkcji logicznej przetwornika logiki wielowartościowej. W przypadku przetwornika $2/n$ ($n > 2$) równanie ogólne na stan wyjścia t_0 wyraża się zależnością:

$$t_0 = \sum_{i=0}^3 2^i d_i - \sum_{j=1}^k (n^j t_j) \quad (3.1)$$

gdzie: $k=2$ dla przetwornika 2/3 (w którym występują 3 wyjścia $\{t_2, t_1, t_0\}$), $k=1$ dla przetwornika 2/4, 2/5, ... 2/8, t_j – odpowiednie stany na pozostałych wyjściach.

Dodatkowo, należy analitycznie wyznaczyć wzory opisujące stan wyjścia t_1 przetworników 2/3 i 2/4. Na podstawie tablic stanów dla poszczególnych typów przetworników [8,11] można wyznaczyć metodą sumy koniunkcji zależności funkcyjne na stany t_1 dla poszczególnych typów przetworników. Kryterium ostatecznego wyboru funkcji logicznej spośród wielu możliwych najczęściej jest minimalna złożoność układu (koszt).

Procedura poszukiwania funkcji logicznej dla przetwornika 2/3 i 2/4 jest analogiczna do opisanej w pracy [11]. Obliczenia numeryczne wykonano w pakiecie *Mathematica*. Analizując otrzymane rozwiązania, możemy wybrać funkcję $G(\mathbf{d})$, którą uznamy za najbardziej przydatną do syntezy przetwornika. Jako kryterium wyboru funkcji do praktycznej realizacji przyjęto liczbę składników jaką zawiera funkcja $G(\mathbf{d})$ (wybrać funkcję z najmniejszą liczbą składników) lub też postać, którą można najłatwiej zrealizować praktycznie. W niniejszej pracy realizowane było to w ten sposób, że z całego nieskończonego zbioru rozwiązań losowo wybierane było rozwiązanie, następnie sprawdzano czy spełnia ono zadane kryteria. Jako kryterium (filtr) zastosowano warunek, by wszystkie parametry ε_i przyjmowały wartości całkowite z przedziału od -3 do 3. Poszukiwano także rozwiązań, w których

ilość niezerowych parametrów ε_i była mniejsza od zadanej liczby. Było to kryterium określające liczbę niezerowych składników sum definiujących funkcję $G(\mathbf{d})$. Odpowiednią procedurę wykonano w języku pakietu *Mathematica*.

W przypadku przetwornika 2/3 znaleziono 22 rozwiązania o pięciu niezerowych składnikach, 23 rozwiązania o sześciu niezerowych składnikach oraz 21 rozwiązanie o siedmiu niezerowych składnikach. Rozwiązań z większą liczbą niezerowych składników było znacznie więcej. Spośród znalezionych rozwiązań do syntezy przetwornika wybrano rozwiązanie:

$$t_1 = ((d_2 \wedge d_1) + d_2 + (\bar{d}_2 \wedge d_1 \wedge d_0) + (d_3 \wedge \bar{d}_2 \wedge \bar{d}_1 \wedge \bar{d}_0) - (d_3 \wedge \bar{d}_2 \wedge d_1 \wedge d_0) - (d_3 \wedge d_2 \wedge d_1 \wedge \bar{d}_0)) \alpha = (A_2 + A_3 - A_4 - A_5) \alpha \quad (3.2)$$

W przypadku przetwornika 2/4 znaleziono jedno rozwiązanie o dwóch składnikach, jedno o pięciu składnikach, trzy rozwiązania o sześciu składnikach, siedem rozwiązań o siedmiu składnikach oraz 22 rozwiązania o ośmiu składnikach. Spośród znalezionych rozwiązań do syntezy przetwornika wybrano rozwiązanie:

$$t_1 = (2d_3 + d_2) \alpha \quad (3.3)$$

4. Symulacyjne modele przetworników z zastosowaniem wzmacniaczy operacyjnych

Na podstawie wzorów określających stan wyjść t_0 i t_1 można zbudować układy przetworników logiki binarnej na logikę wielowartościową. Jako przykład podano sposób syntezy przetworników 2/3 i 2/4.

4.1. Przetwornik logiki binarnej na logikę trójwartościową

Na podstawie wzoru ogólnego (3.1) oraz wyników otrzymanych z programu *Mathematica* (3.2) można napisać zależności opisujące wyjście t_0 i t_1 przetwornika 2/3. Dla równych odstępów Δ_3 poziomów sygnałów trójwartościowych stan wyjść t_0 oraz t_1 przetwornika 2/3 opisują relacje (4.1.1) oraz (4.1.2):

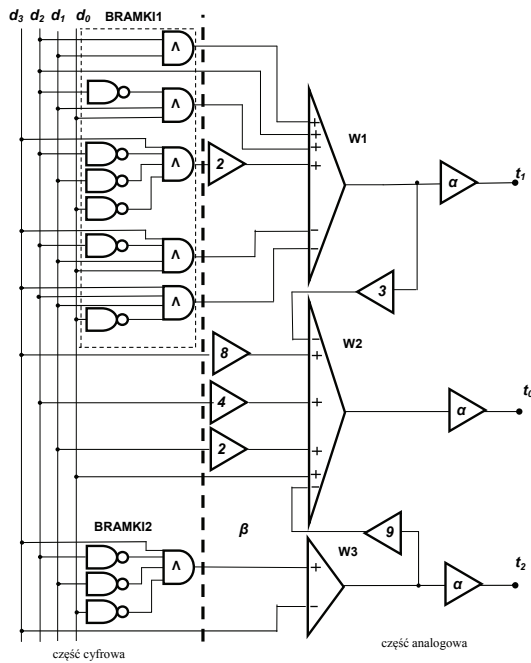
$$t_0 = (8d_3 + 4d_2 + 2d_1 + d_0 - 3t_1 - 9t_2) \alpha \quad (4.1.1)$$

$$t_1 = \left((d_2 \wedge d_1) + d_2 + (\bar{d}_2 \wedge d_1 \wedge d_0) + 2(d_3 \wedge \bar{d}_2 \wedge \bar{d}_1 \wedge \bar{d}_0) - \left((d_3 \wedge \bar{d}_2 \wedge \bar{d}_1 \wedge d_0) - (d_3 \wedge d_2 \wedge d_1 \wedge \bar{d}_0) \right) \right) \alpha = (A_2 + A_3 - A_4 - A_5) \alpha \quad (4.1.2)$$

Dla przedstawienia wszystkich stanów na wyjściach przy ograniczeniu taktów pracy do 16 cykli dla przetwornika 2/3 konieczne jest użycie trzeciego wyjścia t_2 opisanego przy pomocy zależności (4.1.3):

$$t_2 = (d_3 - (d_3 \wedge \bar{d}_2 \wedge \bar{d}_1 \wedge \bar{d}_0)) \alpha = (d_3 - A_6) \alpha \quad (4.1.3)$$

Na podstawie wzorów (4.1.1), (4.1.2), (4.1.3) został zbudowany schemat ideowy przetwornika logiki binarnej na logikę trójwartościową 2/3 przedstawiony na rys 4.1.1. Zawiera on część cyfrową realizującą operacje logiczne dwuwartościowe (zawiera klasyczne bramki logiczne koniunkcji i negacji) oraz część arytmetyczną realizującą sumy i różnice oraz mnożenie przez stałą, w której zastosowano wielowartościowe wzmacniacze operacyjne.



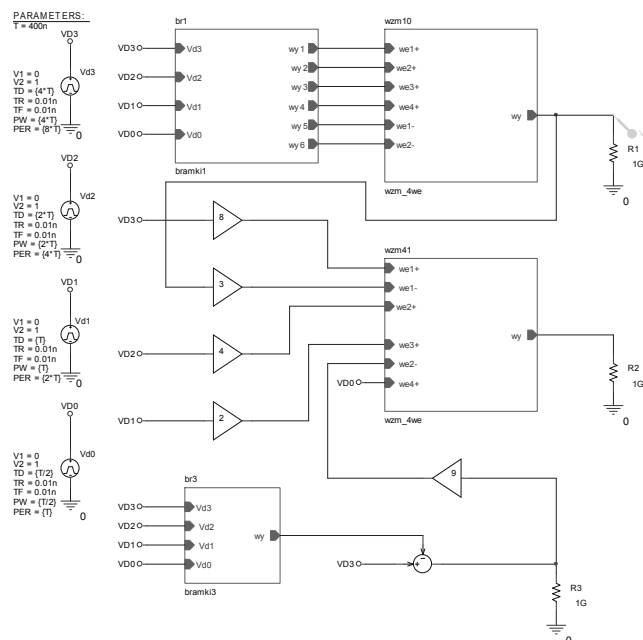
Rys. 4.1.1 Schemat przetwornika logiki binarnej na logikę trójwartościową (2/3)
 Fig. 4.1.1. Diagram of the binary logic to the ternary logic converter (2/3)

Model do symulacji w programie SPICE układu przetwornika idealnego z rys. 4.1.1 jest przedstawiony na rys. 4.1.2. Poszczególne bloki składowe modelu przedstawiono na rys. 4.1.3 do 4.1.5.

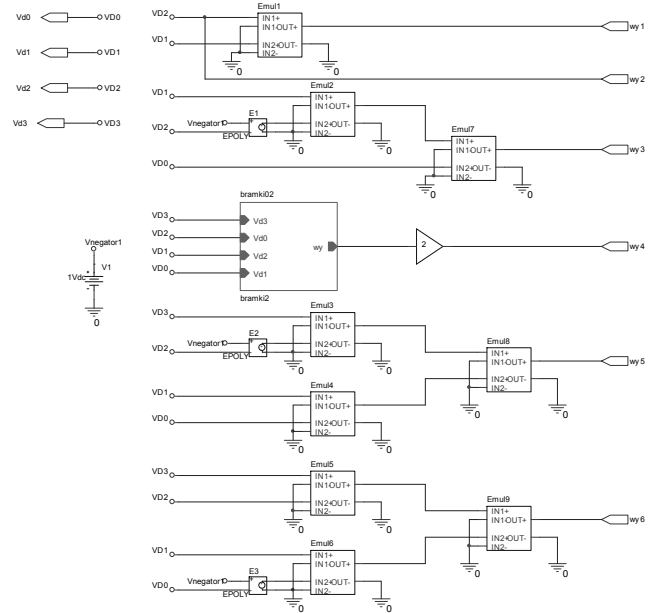
Do realizacji bloku idealnego negatora sygnału binarnego użyto źródła napięcia sterowanego napięciem (E).

Operację iloczynu logicznego zrealizowano używając układów mnożących napięciem $Emul$.

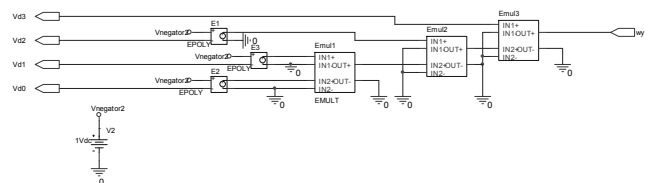
Blok $bramki3$ z rys. 4.1.2 ma taką samą strukturę jak układ z rys. 4.1.4.



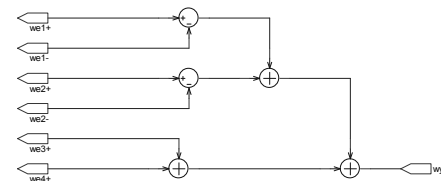
Rys. 4.1.2 Schemat blokowy idealnego przetwornika logiki binarnej na logikę trójwartościową (2/3)
 Fig. 4.1.2. Block diagram of the binary logic to the ternary logic ideal converter (2/3)



Rys. 4.1.3. Schemat bloku $bramki1$ przetwornika (2/3)
 Fig. 4.1.3. Block diagram of the $Gate1$ of the converter (2/3)

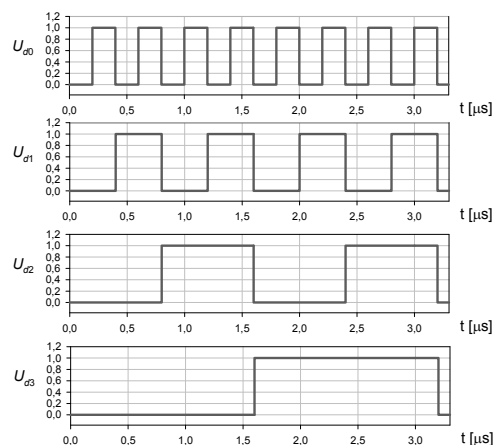


Rys. 4.1.4. Schemat bloku $bramki2$ przetwornika (2/3)
 Fig. 4.1.4. Block diagram of the $Gate2$ of the converter (2/3)



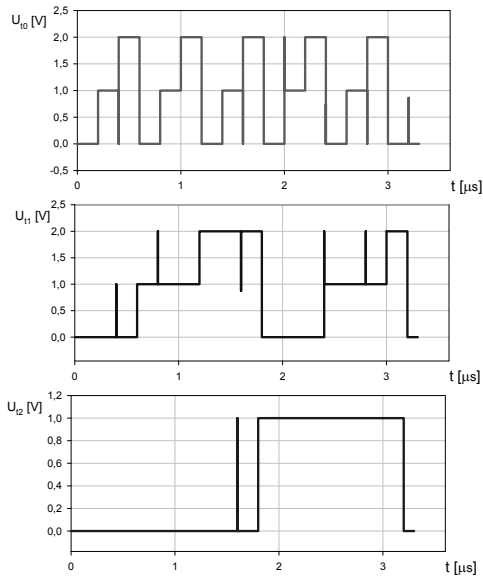
Rys. 4.1.5. Schemat bloku Wzm_4we przetwornika (2/3)
 Fig. 4.1.5. Block diagram of the Wzm_4we of the converter (2/3)

Sygnaly wejściowe U_d symulowanego układu przedstawiono na rys. 4.1.6:



Rys. 4.1.6. Sygnaly wejściowe U_d symulowanego układu przetwornika 2/3
 Fig. 4.1.6. Simulated input signals U_d of the converter 2/3

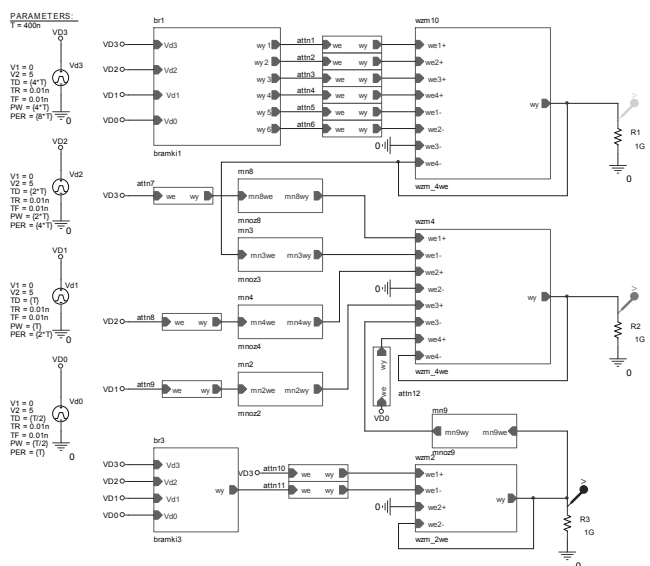
Sygnaly wyjściowe t_0 , t_1 , t_2 symulowanego przetwornika logiki binarnej na trójwartościową przedstawiono na rys. 4.1.7.



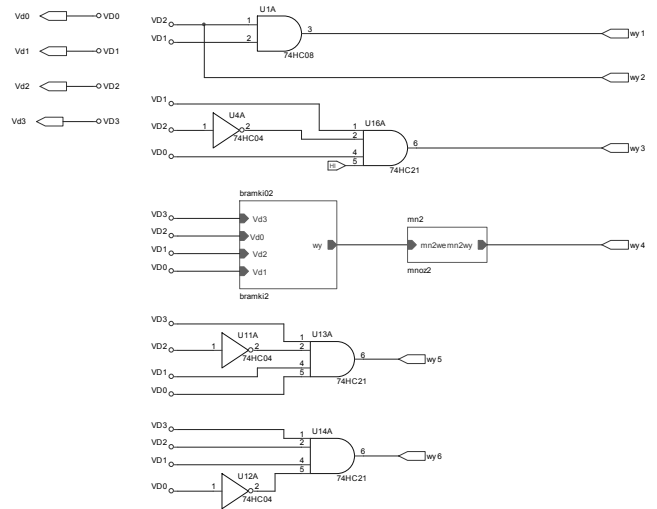
Rys. 4.1.7. Sygnaly wyjściowe t_0 , t_1 , t_2 symulowanego przetwornika logiki binarnej na trójwartościową
Fig. 4.1.7. Output signals t_0 , t_1 , t_2 of simulated converter for binary logic to ternary

Układy rzeczywiste zawierają elementy pasożytnicze. Schemat blokowy rzeczywistego przetwornika 2/3 przedstawiono na rys. 4.1.8. powstał na podstawie schematu ideowego na rys. 4.1.1. Blok *wzm10* z rys. 4.1.8 przedstawia blok *W1* ze schematu ideowego (rys. 4.1.1), blok *wzm2* z rys. 4.1.8 przedstawia blok *W2* ze schematu ideowego (rys. 4.1.1), blok *wzm3* z rys. 4.1.8 przedstawia blok *W3* ze schematu ideowego (rys. 4.1.1), blok *br1* z rys. 4.1.8 przedstawia blok *BRAMKI1* ze schematu ideowego (rys. 4.1.1), blok *br3* z rys. 4.1.8 przedstawia blok *BRAMKI2* ze schematu ideowego (rys. 4.1.1). Bramki logiczne zostały zasymulowane w przy pomocy układów rzeczywistych bramek AND i NOT, natomiast negację sygnału uzyskano przy pomocy źródła napięciowego sterowanego napięciem *E*.

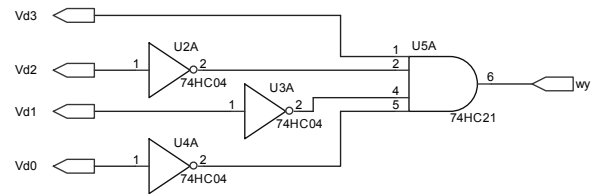
Poszczególne bloki składowe schematu zastępczego przedstawiono na kolejnych rysunkach.



Rys. 4.1.8. Schemat blokowy przetwornika rzeczywistego (2/3)
Fig. 4.1.8. Block diagram of the real converter (2/3)

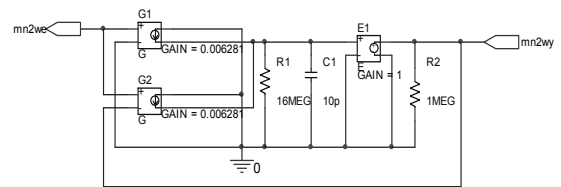


Rys. 4.1.9. Schemat bloku *bramki1* przetwornika rzeczywistego (2/3)
Fig. 4.1.9. Block diagram of the *Gate1* of real converter (2/3)



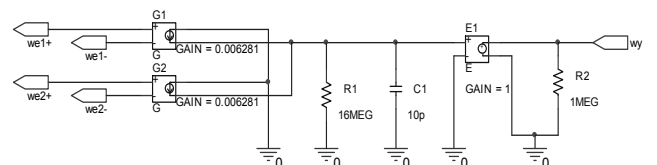
Rys. 4.1.10. Schemat bloku *bramki2* przetwornika (2/3)
Fig. 4.1.10. Block diagram of the *Gate2* of real converter (2/3)

Blok *bramki3* z rys. 4.1.8 ma taką samą strukturę jak układ z rys. (4.1.10). Układy wzmacniaczy zostały zasymulowane przy użyciu źródeł prądowych, sterowanych napięciem *G* oraz źródeł napięciowych, sterowanych napięciem *E*. Blok *mnoz2* z rys. 4.1.9 został przedstawiony na rys. 4.1.11.



Rys. 4.1.11. Schemat bloku *mnoz2* przetwornika logiki binarnej na logikę trójwartościową (2/3)
Fig. 4.1.11. Block diagram *mnoz2* of the binary logic to the ternary logic converter (2/3)

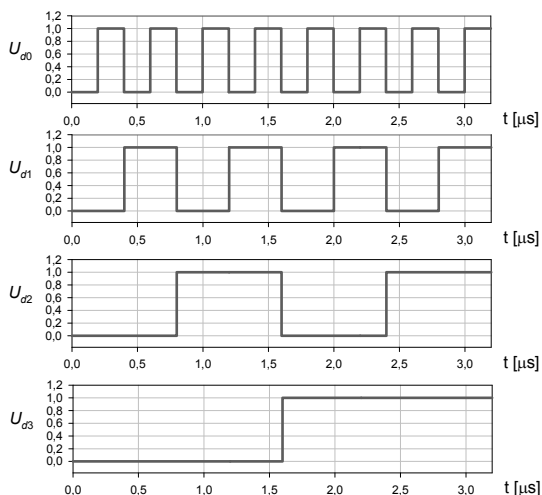
Pozostałe bloki: *mnoz3*, *mnoz4*, *mnoz8*, *mnoz9* wykonane są w analogiczny sposób.



Rys. 4.1.12. Schemat bloku *Wzm_2we* przetwornika logiki binarnej na logikę trójwartościową (2/3)
Fig. 4.1.12. Block diagram *Wzm_2we* of the binary logic to the ternary logic converter (2/3)

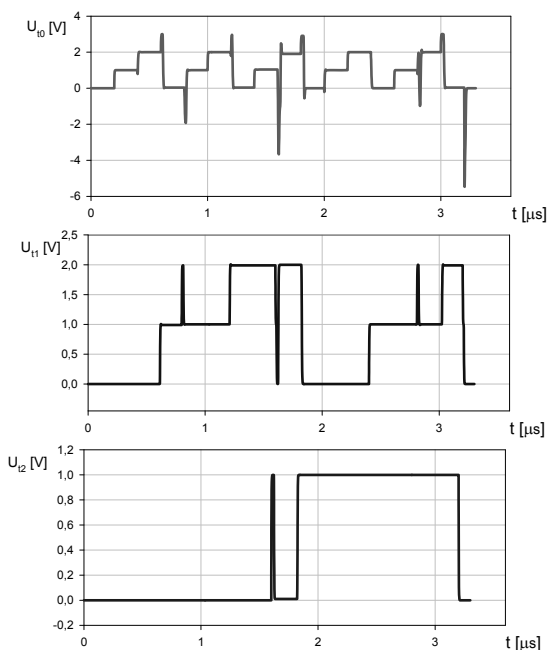
Blok *Wzm_4we* wykonany jest w analogiczny sposób.

Sygnaly wejściowe U_d układu przedstawiono na rys. 4.1.13.



Rys. 4.1.13. Sygnaly wejściowe symulowanego układu przetwornika (2/3)
Fig. 4.1.13. The input signals of the simulated converter (2/3)

Sygnaly wyjściowe t_0, t_1, t_2 symulowanego przetwornika logiki binarnej na trójwartościową przedstawiono na rys. 4.1.14:



Rys. 4.1.14. Sygnaly wyjściowe t_0, t_1, t_2 symulowanego przetwornika (2/3)
Fig. 4.1.14. Output signals t_0, t_1, t_2 of the simulated converter (2/3)

4.2. Przetwornik logiki binarnej na logikę czterwartościową

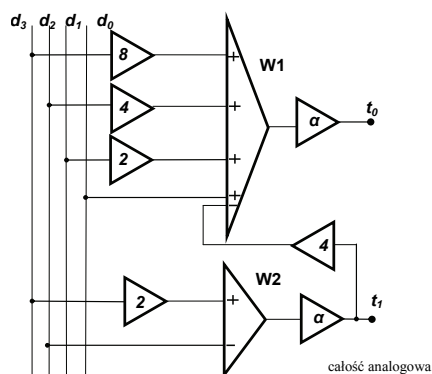
Dla równych odstępów Δ_4 poziomów sygnałów czterwartościowych przetwornik 2/4 stan wyjść t_0 oraz t_1 przetwornika 2/4 opisane są zależnościami:

$$t_0 = (8d_3 + 4d_2 + 2d_1 + d_0 - 4t_1)\alpha \quad (4.2.1)$$

$$t_1 = (2d_3 + d_2)\alpha \quad (4.2.2)$$

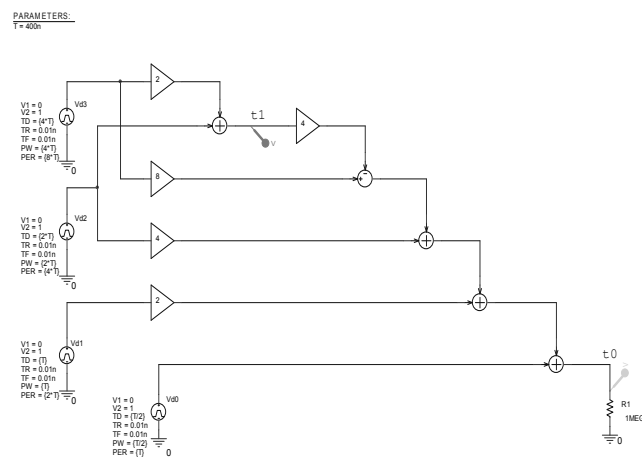
Stan t_1 wyznaczony jest na podstawie zbioru wyników uzyskanych w programie *Mathematica*.

Na podstawie wzorów (4.2.1) oraz (4.2.2) został przedstawiony na rys 4.2.1 schemat ideowy przetwornika logiki binarnej na logikę czterwartościową. Zawiera on część cyfrową, realizującą operacje logiczne dwuwartościowe (zawiera klasyczne bramki logiczne koniunkcji i negacji) oraz część arytmetyczną, realizującą sumy i różnice oraz mnożenie przez stałą (zrealizowaną przez wielowejściowe wzmacniacze operacyjne).



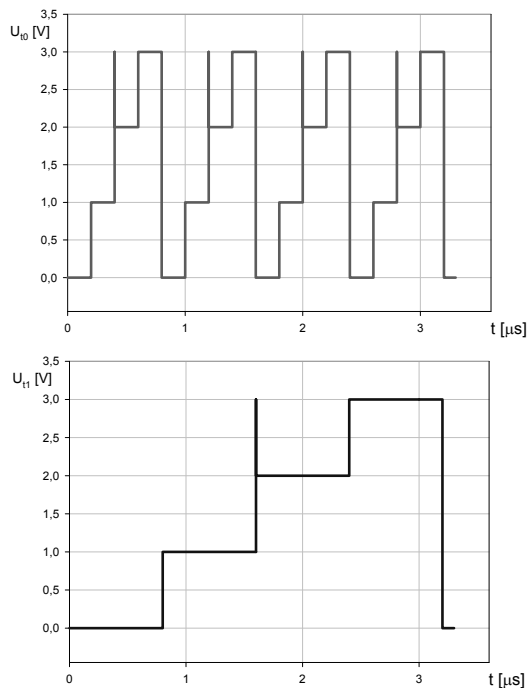
Rys. 4.2.1. Schemat ideowy przetwornika logiki binarnej na logikę czterwartościową (2/4)
Fig. 4.2.1. Schematic diagram of the binary logic to the quaternary logic converter (2/4)

Na podstawie ogólnego schematu blokowego przedstawionego na rys. 4.2.1 opisywany układ zamodelowano w programie SPICE. Symulację przeprowadzono dla układu zawierającego wzmacniacze, sumatory i bramki idealne (rys. 4.2.2).



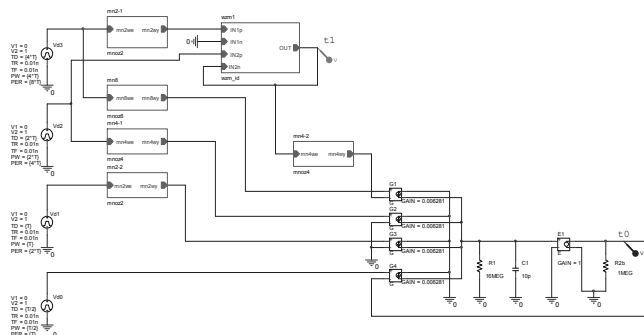
Rys. 4.2.2. Schemat blokowy przetwornika idealnego logiki binarnej na logikę czterwartościową (2/4)
Fig. 4.2.2. Block diagram of the binary logic to the quaternary logic ideal converter (2/4)

Bloki W1 i W2 ze schematu ideowego (rys. 4.2.1) zostały zamodelowane w przy pomocy węzłów sumacyjnych i różnicowych (rys. 4.2.2). Sygnał wejściowy U_d układu jest taki sam jak dla układu przetwornika 2/3 z rys 4.1.6. Sygnaly wyjściowe t_0, t_1 przetwornika 2/4 przedstawiono na rys. 4.2.3. Schemat blokowy przetwornika zawierający schematy zastępcze rzeczywistych elementów składowych przedstawiono na rys. 4.2.4.



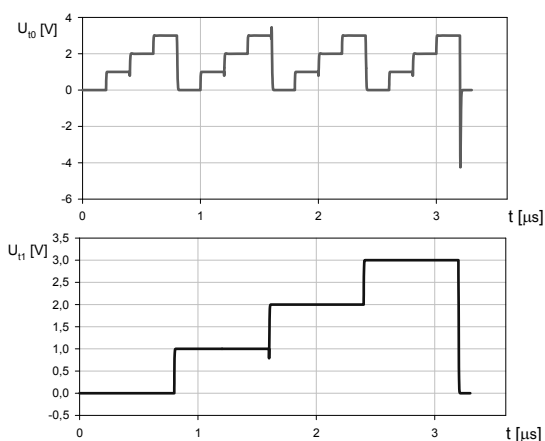
Rys. 4.2.3. Sygnały wyjściowe t_0 , t_1 symulowanego przetwornika logiki binarnej na czterowartościową

Fig. 4.2.3. Output signals t_0 , t_1 simulated binary logic converter to the quaternary logic



Rys. 4.2.4. Schemat blokowy przetwornika rzeczywistego logiki binarnej na logikę czterowartościową (2/4)

Fig. 4.2.4. Block diagram of the binary logic to the quaternary logic real converter (2/4)



Rys. 4.2.5. Sygnały wyjściowe t_0 , t_1 symulowanego przetwornika logiki binarnej na czterowartościową

Fig. 4.2.5. Output signals t_0 , t_1 of simulated binary logic converter to the quaternary logic

Układy wzmacniaczy zamodelowano przy użyciu sterowanych napięciem G źródeł prądowych oraz źródeł napięciowych sterowanych napięciem E. Bloki *mnoz2*, *mnoz4*, *mnoz8*, *wzm_id*, z rys. 4.2.4 mają taką samą strukturę jak układy dla przetwornika 2/3.

Wynik symulacji zbudowanego z elementów rzeczywistych przetwornika 2/4 przedstawiono na rys. 4.2.5.

5. Wnioski

Zalety stosowania układów cyfrowych z logiką wielowartościową są powodem zainteresowania syntezą układów przetworników logiki dwuwartościowej na wielowartościową. Praca jest kontynuacją wcześniejszej publikacji [11].

W pracy zamieszczono wyniki symulacji idealnych i rzeczywistych układów przetworników 2/3 oraz 2/4 syntezowanych na podstawie wyników analizy w pakiecie *Mathematica*. Zastosowana metoda analityczna okazała się skuteczna do syntezy funkcji logicznej dowolnego przetwornika logiki wielowartościowej.

Impulsy w stanach przełączania podczas symulacji układów przetworników idealnych wynikają z idealnych, bezinercyjnych elementów przyjętych do ich realizacji. W rzeczywistych układach pojemności i indukcyjności układów i pojemności pasożytnicze powodują redukcję impulsów.

6. Literatura

- [1] Hurst S.L.: Multiple-value logic – its status and its future. IEEE Transactions on Computer. Vol. C-33, December, 1984, pp. 1160–1179.
- [2] Mangin J.L., Current K.W.: Characteristics of prototype CMOS quaternary logic encoder-decoder circuits. IEEE Trans. on Computers. Vol. c-35. no. 2. 1986, pp. 157–161.
- [3] Wu X.W.: CMOS ternary logic circuits. IEE Proceedings on Circuits, Devices and Systems. Vol. 137. No. 1, 1990, pp. 21–27.
- [4] Thoidis I., Soudris D., Karfyllidis I., Christoforidis S., Thanailakis A.: Quaternary voltage-mode CMOS circuits for multiple-valued logic. IEE Proc. –CDS. Vol. 145. No. 2. 1998. pp. 71 – 77.
- [5] Topór-Kamiński L.: Wielowartościowy WO w układach o skokowo ustawianych wzmocnieniach. XXV – IC – SPETO, 2002.
- [6] Topór-Kamiński L.: Wielowartościowy wzmacniacz operacyjny w prądowych układach nieliniowych. Zeszyty Naukowe Politechniki Śląskiej, Seria: ELEKTRYKA, z.182, 2002.
- [7] Topór-Kamiński L., Pasko M.: Digitally tuned sinusoidal oscillator using one multiple-input operational amplifiers. Institute of Electrical Engineering. Acad. Sci. Czech Republic. Acta Techn. CSAV 49, 2004, pp. 257-266.
- [8] Walecki M., Urbańczyk M.: Przetwornik sygnałów logiki dwuwartościowej na trójwartościową z zastosowaniem wielowartościowego wzmacniacza operacyjnego, PAK, nr 3, 2011, pp. 261-263.
- [9] Grzymkowski R., Kapusta A., Kuboszek T., Słota D.: Mathematica 6, WPKJS, Gliwice 2008.
- [10] Topór-Kamiński L., Holajn P.: Identyfikacja parametrów makromodelu wielozaciskowego napięciowego wzmacniacza operacyjnego. Materiały XXVIII – IC – SPETO, 2005, str. 343–347.
- [11] Walecki M., Urbańczyk M., Słota D., Witula R.: Modelowanie matematyczne przetworników logiki binarnej na logikę wielowartościową oraz realizacja praktyczna przetwornika, PAK, nr 5, 2011, pp. 447-451.

otrzymano / received: 29.11.2011

przyjęto do druku / accepted: 03.09.2012

artykuł recenzowany / revised paper