

Marek SZYPROWSKI¹, Paweł KERNTOPF^{1,2}¹ POLITECHNIKA WARSZAWSKA, WYDZIAŁ ELEKTRONIKI, INSTYTUT INFORMATYKI, ul. Nowowiejska 15/19, 00-665 Warszawa² UNIwersytet Łódzki, WYDZIAŁ FIZYKI I INFORMATYKI STOSOWANEJ, ul. Pomorska 149/153, 90-236 Łódź

Odwracalne układy programowalne

Mgr inż. Marek SZYPROWSKI

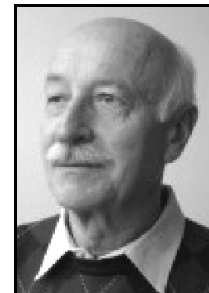
Ukończył studia magisterskie na Wydziale Elektroniki i Techniki Informatycznych Politechniki Warszawskiej. Obecnie odbywa studia doktoranckie w Instytucie Informatyki na tym Wydziale. Jego zainteresowania naukowe koncentrują się wokół układów odwracalnych, które stanowiły temat jego pracy magisterskiej.



e-mail: M.Szyprowski@ii.pw.edu.pl

Dr hab. inż. Paweł KERNTOPF

Ukończył studia na Wydziale Elektroniki i Techniki Informatycznych Politechniki Warszawskiej. Obecnie pracuje na stanowisku profesora nadzwyczajnego w Instytucie Informatyki na tym Wydziale oraz w Katedrze Fizyki Teoretycznej i Informatyki na Wydziale Fizyki i Informatyki Teoretycznej Uniwersytetu Łódzkiego. Zainteresowania naukowe: synteza układów logicznych, układy odwracalne, układy kwantowe, binarne i wielowartościowe diagramy decyzyjne.



e-mail: P.Kerntopf@ii.pw.edu.pl

Streszczenie

Pierwsze próby nawiązania w dziedzinie obliczeń odwracalnych do układów programowalnych pojawiły się w roku 2001, kiedy zademonstrowano zalety ich regularnej struktury do implementacji funkcji boolowskich za pomocą odwracalnych bramek logicznych. Od tego czasu zaproponowano kilka rozwiązań odwracalnych układów programowalnych, które nazywane są Reversible-PLA (R-PLA) i Reversible-FPGA (R-FPGA), oraz zajmowano się optymalizacją i testowaniem takich układów. W pracy przedstawiono przegląd tych rozwiązań oraz perspektywy rozwoju tej ważnej dziedziny.

Słowa kluczowe: układy odwracalne, układy programowalne, R-PLA, R-FPGA.

Reversible programmable circuits

Abstract

Reversible computation (i.e. bijective mapping) is an emerging research area. It has applications in many new areas of computer science, e.g. quantum computing, nanotechnologies, optical computing, digital signal processing, communications, bioinformatics, cryptography as well as in low power computation. This paper gives an overview of the present advances in the field of reversible programmable logic gate structures. The first part describes an attempt [8] to construct regular structures of Reversible Programmable Logic Arrays (R-PLAs). The second part focuses on construction of Reversible Field Programmable Gate Arrays [15]. Both presented approaches are based on classic Boolean PLA and FPGA design, where each building block has been constructed from reversible gates. The main drawback of the R-PLA and R-FPGA approaches is the fact that they are based on classic Boolean building blocks, which in case of reversible logic require many additional signal lines to keep the circuit reversibility. Recent advances in this area consist in reducing the number of gates, garbage signal lines and overall quantum cost of the structures. When comparing design of such circuits with known reversible circuit synthesis approaches one might expect a real breakthrough in terms of the circuit size and cost when R-PLA and R-FPGA structures will be constructed directly from reversible gates without an intermediate step with classic Boolean building blocks.

Keywords: reversible circuits, programmable circuits, R-PLA, R-FPGA.

1. Wstęp

Układy odwracalne realizują wzajemnie jednoznaczne odwzorowania sygnałów wejściowych na sygnały wyjściowe, tj. nie prowadzące do strat informacji. Badania nad układami odwracalnymi prowadzone są bardzo intensywnie, ponieważ wykazano, że ich stosowanie umożliwia zmniejszanie energii pobieranej przez układy cyfrowe [1]. Prace prowadzone w tym kierunku mają duże znaczenie przy opracowywaniu przyszłych technologii, w tym technologii kwantowych. Pozwoliłyby na znaczne przyspieszenie rozwiązywania niektórych problemów NP-trudnych, których nie można efektywnie rozwiązywać na dzisiejszych komputerach. Od dawna prowadzone są też prace nad implementacjami tych układów, także ze względu na potencjalną możliwość wykorzystania układów odwracalnych do konstrukcji

urządzeń o małym poborze mocy, w nanotechnologiach, układach optycznych, kryptografii, cyfrowym przetwarzaniu sygnałów, bioinformatyce i w innych działach informatyki.

Wśród zaproponowanych technologii bramek odwracalnych najczęściej realizacji uzyskano w klasycznych technologiach półprzewodnikowych CMOS [2]. Zbudowano m.in. eksperymentalne procesory odwracalne i rozmaite układy arytmetyczne [1], zaś w zeszłym roku opublikowano informacje o projekcie budowy do roku 2013 odwracalnego mikroprocesora w technologii CMOS we współpracy uniwersytetów w Gandawie i Kopenhadze.

Niniejsza praca jest pierwszym w literaturze przeglądem propozycji implementacji odwracalnych układów programowalnych. Pierwsze projekty budowy regularnych struktur z bramek odwracalnych opublikowano w [3-5]. Minęło kilka lat zanim podjęto kontynuację tych prac [6, 10, 11]. W ostatnim okresie nastąpiło znaczne ożywienie zajmowania się tematyką budowy układów Reversible PLA i Reversible FPGA [7-9, 12-20].

Podstawowe pojęcia z dziedziny syntezy odwracalnych układów logicznych czytelnik znajdzie w publikacjach [1, 2]. W niniejszej pracy omawiamy układy zbudowane z bramek CNOT (ang. *Controlled-NOT*, nazywanych także bramkami Feynmana) o dwóch wejściach/wyjściach oraz z bramek Toffoliego i Fredkina o trzech wejściach/wyjściach (ich definicje podane są w tab. 1).

Tab. 1. Definicje trzech najpopularniejszych bramek odwracalnych
Tab. 1. Definitions of three most common reversible gates

Bramka CNOT	Bramka Toffoliego	Bramka Fredkina
$y_1 = x_1$ $y_2 = x_1 \oplus x_2$	$y_1 = x_1$ $y_2 = x_2$ $y_3 = x_3 \oplus x_1x_2$	$y_1 = x_1$ $y_2 = x_1x_2 + x_1x_3$ $y_3 = x_1x_2 + x_1x_3$

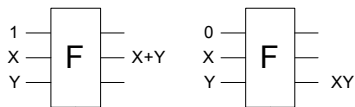
2. Odwracalne układy PLA

W pracach [7, 8, 17] pokazane zostały konstrukcje układów programowalnych PLA zbudowanych z bramek odwracalnych. W podejściu zaprezentowanym w pracy [8] skupiono się na wykorzystaniu istniejących sposobów projektowania układów PLA. Założono, że układ składa się z dwóch typowych części: macierzy bramek AND połączonej z macrycą bramek OR, co pozwala na użycie standardowych algorytmów syntezy. Jedynym elementem różniącym zaproponowane układy od standardowych są konstrukcje bramek AND i OR oraz sposób ich łączenia.

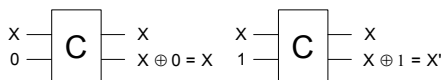
Zamiast typowych bramek AND i OR autorzy pracy [8] proponują użycie odwracalnej bramki Fredkina. W zależności od wartości sygnału na pierwszym wejściu bramka ta realizuje m.in. funkcje AND oraz OR (rys. 1).

Do skonstruowania układów PLA potrzebne są rozgałęzienia sygnałów, jak również uzyskanie negacji sygnałów. Jednak w układach odwracalnych nie jest dozwolone bezpośrednie łączenie ze sobą jednego wyjścia z wieloma wejściami kolejnych bramek. Problem ten został rozwiązany przy użyciu bramki

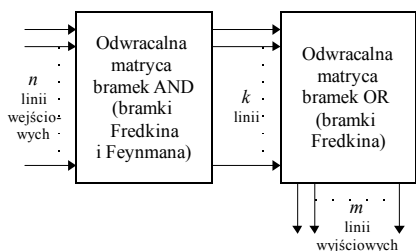
CNOT, która w zależności od wartości sygnału na drugim wejściu albo duplikuje sygnał, albo tworzy jego negację (rys. 2).



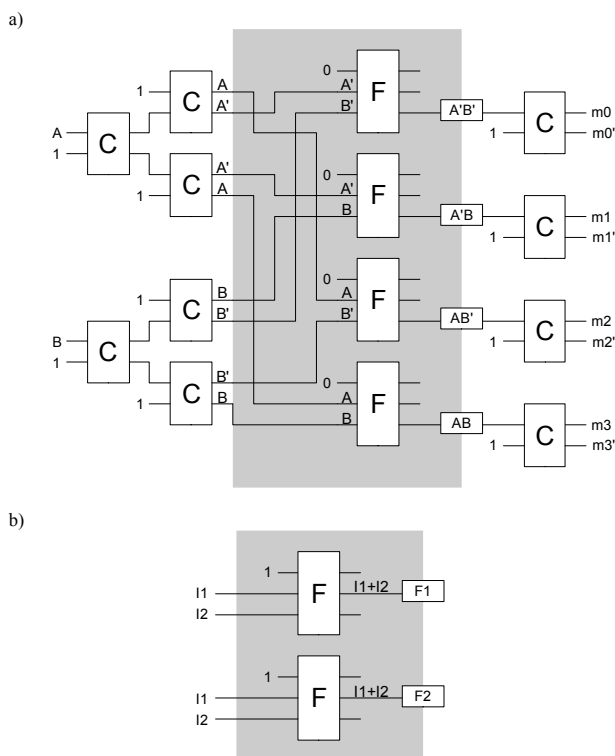
Rys. 1. Realizacja funkcji OR i AND za pomocą bramki Fredkina
Fig. 1. Implementation of OR and AND functions using Fredkin gate



Rys. 2. Powielenie sygnału oraz tworzenie jego negacji przy użyciu bramki Feynmana (CNOT)
Fig. 2. Example of signal duplication and its negation using Feynman gate



Rys. 3. Architektura odwracalnych układów PLA
Fig. 3. Architecture of the reversible PLA circuits



Rys. 4. Przykład konstrukcji odwracalnego układu PLA dla dowolnych funkcji logicznych 2 zmiennych: matryca bramek AND (a) i matryca bramek OR (b) wraz z bramkami powielającymi i negującymi sygnały
Fig. 4. Example of reversible PLA circuit for an arbitrary logic function of 2 variables: matrix of AND gates (a) and matrix of OR gates (b) with all required reversible gates for signal duplication and negation

Schemat odwracalnego układu PLA [8] pokazany jest na rys. 3. Przykład konstrukcji odwracalnego układu PLA z bramek Fredkina i CNOT dla dowolnych funkcji logicznych dwóch zmiennych podano na rys. 4. Istotną wadą tak skonstruowanego układu jest liczba dodatkowych linii sygnałowych (ang. *garbage*

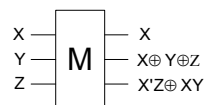
lines), które są wymagane dla spełnienia warunku odwracalności układu. Zaproponowana konstrukcja zakłada dodanie dwóch linii na każdą bramkę Fredkina oraz jednej dla każdej bramki CNOT.

3. Odwracalne układy FPGA

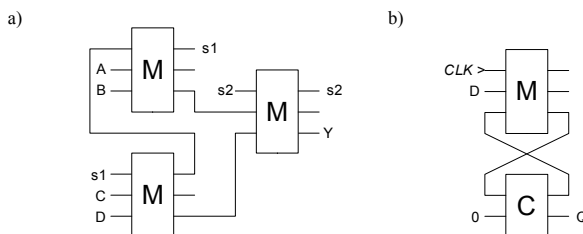
Kolejnym obszarem, w którym zaproponowano wykorzystanie układów odwracalnych są układy FPGA [14, 15]. Podobnie jak w przypadku układów odwracalnych PLA, jako punkt wyjściowy przyjęta została konstrukcja standardowych układów FPGA, ale zbudowana z bramek odwracalnych. Takie rozwiązanie przedstawione zostało w pracy [15].

Głównym elementem zaproponowanego rozwiązania są nowowprowadzone odwracalne bramki M (rys. 5). Autorzy pokazali, że możliwa jest implementacja takiej bramki z elementarnych bramek kwantowych, na które dekomponowane są typowe bramki odwracalne.

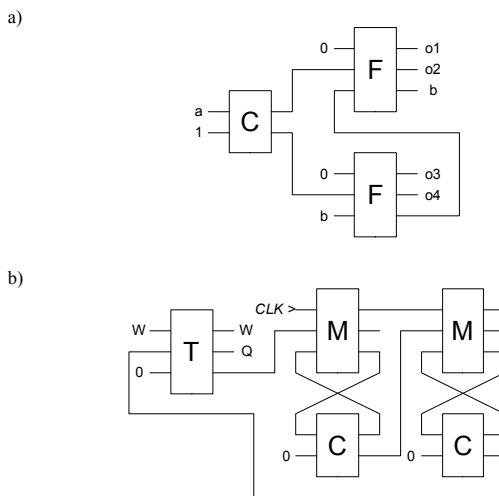
Stosując bramkę M oraz typowe bramki odwracalne Feynmana, Fredkina i Toffoliego autorzy [15] zbudowali wszystkie podstawowe elementy używane w strukturach FPGA: multiplexer 4-do-1 (rys. 6a), zatrask typu D (rys. 6b), dekodery n-do-2ⁿ (rys. 7a) oraz przerzutnik D w konfiguracji Master-Slave (rys. 7b).



Rys. 5. Bramka odwracalna M i funkcje logiczne przez nią realizowane
Fig. 5. Reversible gate M and logic function realized by it



Rys. 6. a) Realizacja multiplexera 4-do-1 z bramek odwracalnych M, b) Realizacja zatrasku typu D z bramek M oraz bramki Feynmana
Fig. 6. a) 4-to-1 MUX built from three M gates, b) D-Latch built from one M gate and Feynman gate

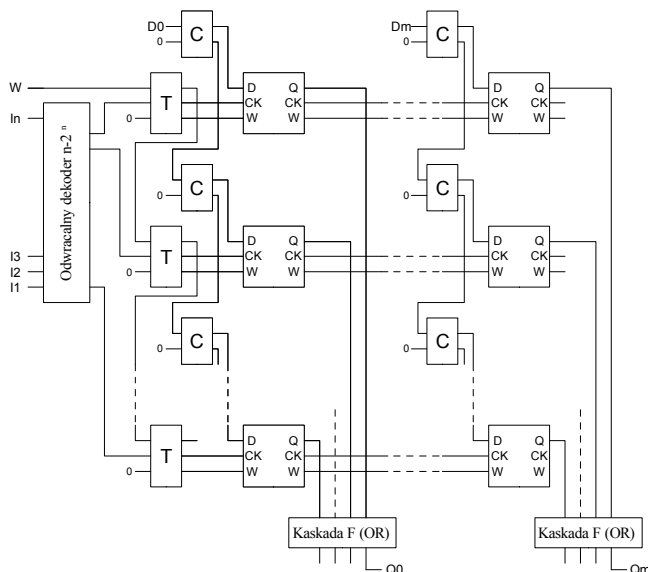


Rys. 7. Elementy składowe bloku realizującego pamięć RAM:
a) przykład dekodera 2-do-4 (ogólnie n-do-2ⁿ),
b) przerzutnik D w konfiguracji Master-Slave z linią włączającą zapis
Fig. 7. Building blocks for a single RAM cell:
a) example of 2-to-4 decoder (in general n-to-2ⁿ),
b) D flip-flop in Master-Slave configuration with Write-Enable line

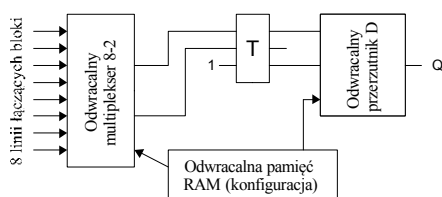
Autorzy pracy [15] pokazali, że tak skonstruowane układy są optymalne pod względem liczby bramek odwracalnych i liczby dodanych dodatkowych linii, przy założeniu, że układ jest

budowany w sposób analogiczny do standardowych układów PLA, w których funkcje są realizowane jako sumy iloczynów.

Z dekodera, przerzutników oraz kaskady bramek Fredkina realizującej bramkę OR możliwe jest skonstruowanie komórek programowalnej pamięci RAM (rys. 8), która jest podstawą reprogramowalnej struktury bloku logicznego typu Plessey FPGA (rys. 9).



Rys. 8. Konstrukcja odwracalnej komórki RAM $m \cdot 2^n$
Fig. 8. Scheme of reversible RAM cell of size $m \cdot 2^n$



Rys. 9. Konstrukcja bloku logicznego odwracalnej struktury typu Plessey FPGA
Fig. 9. Scheme of logic block for reversible Plessey FPGA structure

Autorzy pracy [15] przedstawili również ilościowe porównanie zaproponowanych struktur ze znanymi wcześniej z literatury. Wzięto pod uwagę takie parametry jak liczba użytych bramek, liczba wymaganych dodatkowych linii i głębokość układu.

4. Podsumowanie

W pracy przedstawiono stosowane obecnie propozycje realizacji struktur programowalnych i reprogramowalnych z bramek odwracalnych. W najbliższych latach należy spodziewać się zbudowania z takich bramek układów o praktycznym znaczeniu. Przedstawione rozwiązania zakładają jak największe wykorzystanie metod projektowania standardowych układów logicznych. Bramki odwracalne użyte są jedynie jako zamienniki standardowych, nieodwracalnych bramek logicznych. W świetle najnowszych wyników dotyczących syntezy układów odwracalnych widać, że rezygnacja z projektowania układów w sposób tradycyjny oraz wykorzystanie metod i algorytmów specjalizowanych dla układów odwracalnych daje większe korzyści, dzięki eliminacji zbędnych, dodatkowych linii. W najbliższych latach należy się spodziewać propozycji zupełnie nowych struktur programowalnych oraz reprogramowalnych, projektowanych od początku jako układy odwracalne.

5. Literatura

- [1] De Vos A.: Reversible Computing. Fundamentals, Quantum Computing and Applications. Wiley-VCH, Berlin 2010.
- [2] Szyprowski M., Kerntopf P.: Realizacje układów odwracalnych w technologiach półprzewodnikowych. Pomiary-Automatyka-Kontrola, vol. 57, nr 8, 2011, ss. 911-913.
- [3] Perkowski M., Kerntopf P., Buller A., Chrzanowska-Jeske M., Mishchenko A., Song X., Al-Rabadi A., Józwiak L., Coppola A., Massey B.: Regularity and symmetry as a base for efficient realization of reversible logic circuits. Proc. 10th ACM/IEEE Int'l Workshop on Logic Synthesis, 2001, pp. 90-95.
- [4] Perkowski M., Kerntopf P., Buller A., Chrzanowska-Jeske M., Mishchenko A., Song X., Al-Rabadi A., Józwiak L., Coppola A., Massey B.: Regular realization of symmetric functions using reversible logic. Proc. EUROMICRO Symposium on Digital Systems Design, 2001, pp. 245-252.
- [5] Perkowski M., Al-Rabadi A., Kerntopf P., Mishchenko A., Chrzanowska-Jeske M.: Three-dimensional realization of multi-valued functions using reversible logic. Proc. 10th Int'l Workshop on Post-Binary Ultra-Large-Scale Integration Systems, 2001, pp. 47-53.
- [6] Kim S. H., Choi S.: Scalable systolic structure to realize arbitrary reversible symmetric functions. GESTS Int'l Trans. on Computer Science and Engineering (Korea), vol.18, no.1, 2005, pp. 27-36.
- [7] Chowdhury A.R., Nazmul R., Babu H.M.H.: A new approach to synthesize multiple-output functions using reversible programmable logic array. Proc. 19th IEEE Int'l Conf. on VLSI Design, 2006, pp. 311-316.
- [8] Thapliyal H., Arabnia H.R.: Reversible programmable logic array (RPLA) using Fredkin & Feynman gates for industrial electronics and applications. Proc. Int'l Conf. on Embedded Systems and Application, 2006, pp. 70-74.
- [9] Thapliyal H., Arabnia H.R., Vinod A.P.: Combined integer and floating point multiplication architecture (CIFM) for FPGAs and its reversible logic implementation. Proc. 49th IEEE Int'l Midwest Symposium on Circuits and Systems, 2006, vol. 2, pp. 438-442.
- [10] Lee J.J., Hwang D.G., Song G.Y.: Design of a reversible PLD architecture. Reconfigurable Computing: Architectures, Tools and Applications, LNCS, vol. 4419, Springer 2007, pp. 85-90.
- [11] Nower N., Chowdhury A.R.: Realization of systolic array using ternary reversible gates. Proc. 12 th Int'l Conf. on Computer and Information Technology, 2009, pp. 192-196.
- [12] Sayem A.S.M., Polash M.M.A., Babu H.M.H.: Design of a reversible logic block of Field Programmable Gate Array. Silver Jubilee Conf. on Communication Technologies and VLSI Design, 2009, 6 pages.
- [13] Mahammad S.N., Veezhinathan K.: Constructing online testable circuits using reversible logic. IEEE Trans. on Instrumentation and Measurement, vol. 59, no. 1, 2010, pp. 101-109.
- [14] Polash M.M.A., Sultana S.: Design of a LUT-based Reversible Field Programmable Gate Array. Journal of Computing, vol. 2, no. 10, 2010, pp. 103-108.
- [15] Sayem A.S.M., Mitra S.K.: Efficient approach to design low power reversible logic blocks for Field Programmable Gate Arrays. Proc. IEEE Int'l Conf. on Computer Science and Automation Engineering, 2011, vol. 4, pp. 251-255
- [16] Morrison M., Ranganathan N.: Design of a reversible ALU based on novel programmable reversible logic gate structures. Proc. 2nd IEEE Computer Society Annual Symposium on VLSI, 2011, pp. 126-131.
- [17] Rahman R., Jamal L., Babu H.M.H.: Design of reversible fault tolerant programmable logic arrays with vector orientation. Int'l J. of Inform. and Comm. Technology Res., vol. 1 no. 8, 2011, pp. 337-342.
- [18] Nower N., Chowdhury A.R.: Design and analysis of a compact reversible ternary systolic array. International Journal of Computer and Electrical Engineering, vol. 3, no. 6, 2011, pp. 890-895.
- [19] Tayari M., Eshghi M.: Design of 3-input reversible programmable logic array. Journal of Circuits, Systems, and Computers, vol. 20, no. 2, 2011, pp. 283-297.
- [20] Mitra S.K., Jamal L., Mottalib M.A., Babu H.M.H.: Design and minimization of reversible programmable logic arrays. Proc. 2nd Int'l Workshop on VLSI, 2011, pp. 14-24.