

Krzysztof ARNOLD, Jakub PAJĄKOWSKI, Sławomir MICHALAKPOLITECHNIKA POZNAŃSKA, WYDZIAŁ ELEKTRONIKI I TELEKOMUNIKACJI,
ul. Polanka 3, 60-965 Poznań**Ocena efektu samopodgrzewania układu PLD w niskich temperaturach****Dr inż. Krzysztof ARNOLD**

Absolwent Wydziału Elektroniki Politechniki Gdańskiej. Pracuje jako adiunkt w Katedrze Systemów Telekomunikacyjnych i Optoelektroniki na Wydziale Elektroniki i Telekomunikacji Politechniki Poznańskiej. W pracy naukowej zajmuje się problemami pomiarów charakterystyk i parametrów sygnałów stochastycznych, tematyką akwizycji danych w systemach pomiarowych oraz zagadnieniami projektowania, diagnostyki i rozwoju mikroprocesorowych systemów pomiarowych.

e-mail: karnold@et.put.poznan.pl

**Dr inż. Sławomir MICHALAK**

Pracuje jako adiunkt w Katedrze Systemów Telekomunikacyjnych i Optoelektroniki na Wydziale Elektroniki i Telekomunikacji Politechniki Poznańskiej. W pracy naukowo-dydaktycznej zajmuje się zagadnieniami komputerowego wspomagania projektowania, symulacji układów elektronicznych, programowaniem układów mikroprocesorowych i układów programowalnych. Zajmuje się tematyką pozyskiwania informacji z inteligentnych czujników pomiarowych.

e-mail: michalak@et.put.poznan.pl

**Dr inż. Jakub PAJĄKOWSKI**

Studia magisterskie ukończył na Wydziale Elektrycznym Politechniki Poznańskiej w zakresie Elektronicznej Aparatury i Systemów Pomiarowych. Pracuje jako adiunkt w Katedrze Systemów Telekomunikacyjnych i Optoelektroniki Wydziału Elektroniki i Telekomunikacji Politechniki Poznańskiej. Obszar zainteresowań naukowych obejmuje zagadnienia z zakresu rozproszonych systemów pomiarowych, krioelektroniki, nadprzewodnictwa oraz kwantowania przewodności elektrycznej.

e-mail: pajakow@et.put.poznan.pl

**1. Wstęp**

Układy programowalne należące do podstawowych rodzin mogą zastępować coraz bardziej złożone sieci logiczne, a jednocześnie dąży się do poprawy ich szybkości działania. Złożenie tych tendencji musi skutkować istotnym zwiększeniem tak liczby przełączanych bramek, jak i liczby przełączeń w jednostce czasu, w obrębie jednej zintegrowanej struktury logicznej. Ponieważ budowa i sterowanie typowego stopnia wyjściowego bramki są przyczyną impulsowego wzrostu prądu zasilania I_{cc} przy zmianie stanu logicznego na wyjściu, zwiększanie stopnia integracji i szybkości działania układów programowalnych powoduje wzrost pobieranej przez nie mocy. W ogólności może to prowadzić do zmiany temperatury układu i przeniesienia jego działania w inny obszar charakterystyk roboczych.

Problem odprowadzania ciepła ze struktur półprzewodnikowych jest istotny przede wszystkim dla układów bipolarnych, ale nie omija on również technologii takich jak BICMOS i CMOS. Układy CMOS pobierają względnie mało prądu, nadal zależy to jednak znacząco od skali integracji układu i częstotliwości sygnału zegarowego. W tej sytuacji parametry układu programowalnego CMOS, pracującego w szerokim zakresie temperatur, mogą zmieniać się w funkcji napięcia zasilania, częstotliwości zegara, temperatury otoczenia i warunków wymiany ciepła przez obudowę. Są one również zależne od obciążenia wyjść, warunkującego przepływ prądu przez dany stopień wyjściowy oraz wyprowadzenia V_{CC} lub GND, co wiąże się z wydzielaniem ciepła w układzie. Zasadne jest więc określenie wpływu efektu samopodgrzewania na charakterystyki temperaturowe układu programowalnego, zwłaszcza w przypadku poddania struktury układowej działaniu niskich i bardzo niskich temperatur.

2. Implementacja układu testowego w strukturze PLD

Jednym z podstawowych parametrów dynamicznych układów programowalnych jest czas propagacji t_p pojedynczej bramki, zwykle podawany dla temperatury otoczenia $T_o=25^\circ\text{C}$. Charakterystyki temperaturowe czasu t_p są często publikowane w postaci unormowanej, jako zależność relacji t_p/t_o od temperatury, gdzie t_o określa czas propagacji bramki w temperaturze 25°C [1].

Zmiany wartości czasu propagacji w funkcji temperatury mogą być wykorzystane do badania wpływu warunków cieplnych na funkcjonowanie programowanych układów PLD. Obniżanie temperatury prowadzi do zmniejszania czasu propagacji t_p [1], a zatem pojawienie się efektu samopodgrzewania powinno tę tendencję hamować.

Weryfikacja powyższej tezy wymaga zaimplementowania w strukturze PLD układu testowego, generującego na wyjściu impuls o szerokości równej czasowi opóźnienia sygnału wejściowego przy przejściu przez nieparzystą liczbę n inwerterów. Szere-

Streszczenie

W pracy opisano zachowanie programowalnego układu PLD po poddaniu go działaniu niskich temperatur, obniżonych do temperatury ciekłego azotu. Przedstawiono wyniki badań eksperymentalnych, zmierzających do określenia wpływu temperatury i poboru mocy przez wykonaną w technologii CMOS strukturę EE PLD na czasy propagacji zintegrowanych bramek logicznych. Zaprezentowano charakterystyki średniego czasu propagacji pojedynczej bramki w zakresie niskich temperatur i porównano uzyskane wyniki z prognozami, sformułowanymi w oparciu o zjawisko samopodgrzewania struktury półprzewodnikowej.

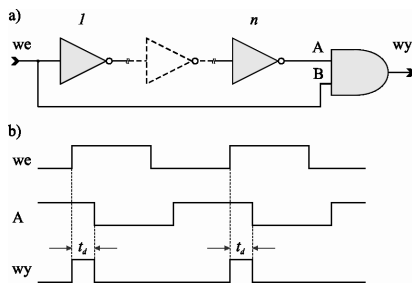
Słowa kluczowe: czas propagacji, niskie temperatury, samopodgrzewanie, PLD.

Evaluation of self-heating of PLD structure in low temperatures**Abstract**

In this paper behavior of a programmable logic device (PLD) in the low temperature range, including temperature of liquid nitrogen, is presented. There are given the results of experiments in which we tried to determine the influence of temperature and power consumption on the propagation delay of integrated logic gates implemented in an EE PLD CMOS structure. The thermal conditions of work resulting from the ambient temperature, clock signal frequency, value of voltage supply and current consumption connected with output loads and switching frequency are discussed. The PLD device properties in the nominal range of ambient temperatures and expected behavior after reducing the temperature are described. The main idea of the circuit for average propagation delay measuring (Fig. 1) and the voltage-current dependence for recommended test output loads (Figs. 2 and 3) are discussed. The test circuit with pull-up resistors for increasing self-heating effect is proposed (Fig. 4). The results for the propagation delay (Fig. 5) and current consumption (Fig. 6) at 1 kHz and 1 MHz switching frequency as a function of the temperature changing from -196°C to 20°C are shown. The propagation delay vs. temperature (Figs. 7 and 8) and the current consumption vs. temperature (Fig. 9) for the circuit with external pull-up resistors are presented. The influence of voltage supply value changes on the obtained results is taken into consideration. The results are discussed and compared with expectations.

Keywords: propagation delay, low temperature, self-heating, PLD.

gowe połączenie bramek odwracających zwiększa opóźnienie, ułatwiając przeprowadzenie pomiarów oscyloskopowych (rys. 1).



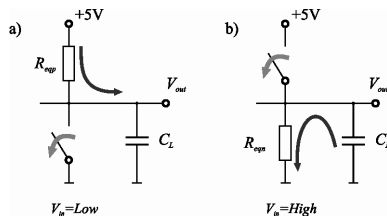
Rys. 1. Pomiar czasu opóźnienia w linii: a) schemat układu, b) wykres czasowy
Fig. 1. Measurement of propagation delay: a) functional diagram, b) timing diagram

Na obserwowany czas opóźnienia t_d składają się czasy propagacji kolejnych inwerterów przy przejściach ze stanu wysokiego do stanu niskiego (t_{pHL}) oraz ze stanu niskiego do stanu wysokiego (t_{pLH}) na wyjściu [2]:

$$t_{pHL} = 0,69 \cdot R_{eqn} C_L \quad (1)$$

$$t_{pLH} = 0,69 \cdot R_{eqp} C_L \quad (2)$$

Są one zależne od wartości występujących w układzie pojemności, odnoszonych do wyjścia (efekt Millera) i tworzących wraz z zewnętrznym obciążeniem sumacyjną pojemność C_L , oraz równoważnych rezystancji kanału R_{eqp} i R_{eqn} dla tranzystorów włączanych w stanie wysokim i niskim (rys. 2).



Rys. 2. Model przełączania stopnia wyjściowego dla inwertera CMOS
Fig. 2. Switch model of output stage of CMOS inverter

Czasy t_{pHL} i t_{pLH} mogą się w ogólności różnić, zwykle jednak przyjmuje się ich wartość średnią jako czas propagacji pojedynczej bramki [2]:

$$t_{p_i} = \frac{t_{pHL} + t_{pLH}}{2} = 0,69 \cdot C_L \left(\frac{R_{eqn} + R_{eqp}}{2} \right) \quad (3)$$

Ponieważ w łańcuchu n inwerterów (rys. 1a) wartości C_L , R_{eqp} i R_{eqn} nie muszą być jednakowe dla kolejnych i -tych bramek, całkowity czas propagacji dokładniej opisuje równanie [3]:

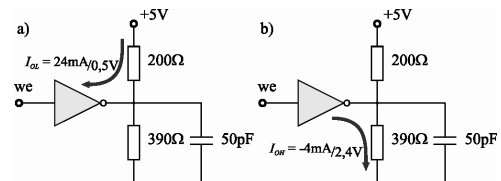
$$t_{d_total} = t_{p_1} + (n-2) \cdot t_{p_2..6} + t_{p_7} \quad (4)$$

W przypadku badanego układu ATF16V8BQL wyznaczany parametr t_p jest katalogowo specyfikowany bez rozróżnienia czasów t_{pHL} i t_{pLH} [1]. Z tego względu, jak również z uwagi na stosowaną metodykę pomiaru (rys. 1b), do wyznaczenia średniego czasu propagacji bramki przyjęto zależność:

$$t_p = \frac{t_d}{n} \quad (5)$$

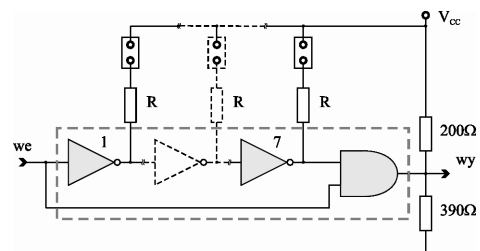
3. Praca układu PLD z obciążeniem

Testowanie układu PLD powinno odbywać się dla standardowych warunków obciążenia. Dotyczy to przede wszystkim wyjścia bramki AND, wystawiającej impuls o szerokości t_d (rys. 1a). W zalecanym układzie testowym (rys. 3) pojemność obciążenia powinna uwzględniać również pojemności przewodów pomiarowych. Podane wartości prądów wyjściowych I_{OL} oraz I_{OH} są wartościami maksymalnymi, przy których gwarantowane są odpowiednie napięcia poziomów logicznych 0,5 V i 2,4 V [1].



Rys. 3. Obciążenie testowe stopnia wyjściowego dla układu ATF16V8BQL
Fig. 3. Output test loads for ATF16V8BQL device

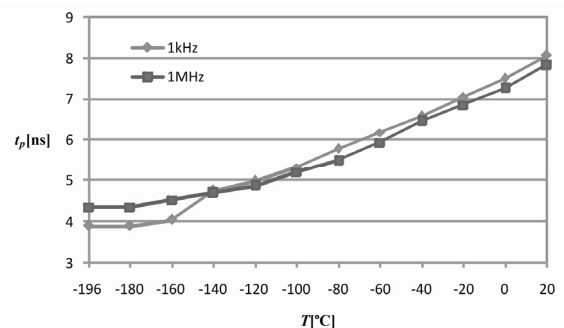
Aby zwiększyć moc wydzielaną w układzie i wywołać efekt samopodgrzewania struktury, wyjścia bramek odwracających można przyłączyć do zewnętrznego obciążenia. Jest to możliwe w obu stanach wyjściowych bramki. Ponieważ jednak badana struktura PLD ma niesymetryczne wyjścia i wydajność prądowa I_{OL} jest większa niż I_{OH} (rys. 3), ograniczenie obciążenia do rezystorów podciągających jest wystarczające. Pozwala to, dla $R=180 \Omega$, na znaczne zwiększanie poboru mocy przez strukturę przy jednoczesnym uproszczeniu układu pomiarowego (rys. 4).



Rys. 4. Schemat funkcjonalny układu testowego z rezystorami podciągającymi
Fig. 4. Functional diagram of test circuit with pull-up resistors

4. Wyniki badań

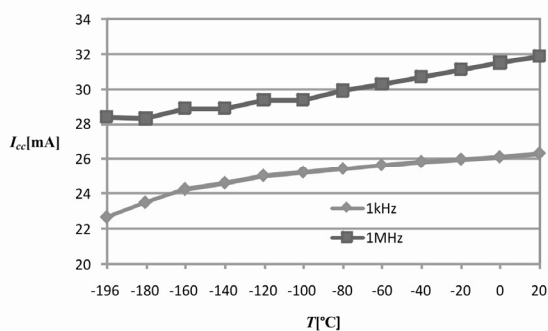
W miarę obniżania temperatury pracy układu PLD czasy propagacji bramki, przełączanej w celu zwiększenia poboru mocy, wykazują zgodnie z oczekiwaniami tendencję malejącą (rys. 5).



Rys. 5. Czas propagacji bramki bez obciążenia ($V_{CC} = 5,0 \text{ V}$)
Fig. 5. Input-output propagation time without load ($V_{CC} = 5,0 \text{ V}$)

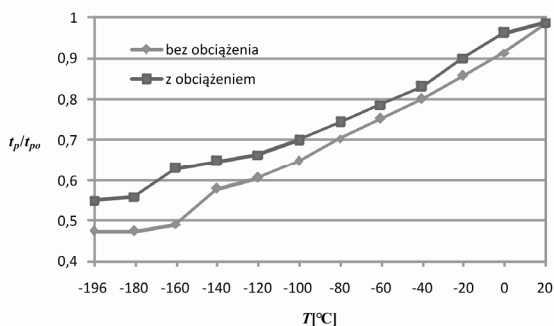
Porównanie wyników uzyskanych dla sygnałów testowych o częstotliwościach 1 kHz i 1 MHz dowodzi jednak, że szybkość

spadku charakterystyk $t_p=f(T)$ przy obniżaniu temperatury do -140°C jest niemal identyczna, a w temperaturze $T_0=25^{\circ}\text{C}$ bezwzględny czas propagacji bramki przełączanej z częstotliwością 1MHz jest nawet nieznacznie mniejszy niż dla 1 kHz (odpowiednio $t_o=7,9$ ns i $t_o=8,2$ ns). Zatem oczekiwany wpływ samopodgrzania struktury związany ze zwiększeniem częstotliwości sygnału zegarowego nie ma spodziewanego wpływu na czas t_p , chociaż przejście od częstotliwości 1 kHz do 1 MHz powoduje przyrost mocy o 26% (rys. 6). Wpływ samopodgrzewania można natomiast zaobserwować w przedziale od -196°C do -160°C (rys. 5).



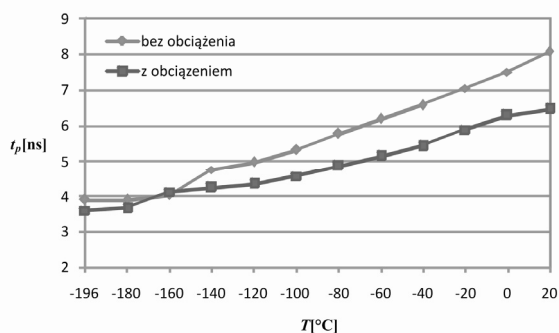
Rys. 6. Pobór prądu dla 1 kHz i 1 MHz (układ bez obciążenia, $V_{CC} = 5,0$ V)
Fig. 6. Supply current at 1 kHz and 1 MHz (device without load, $V_{CC} = 5.0$ V)

Dołączenie obciążenia do badanej struktury PLD znacznie zmienia czasy propagacji. Szybkość spadku charakterystyki $t_p/t_o=f(T)$ jest przy tym zbliżona dla układu bez obciążenia i układu pracującego z obciążeniem (rys. 7).



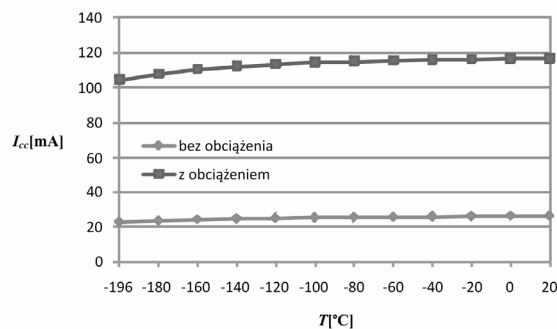
Rys. 7. Znormalizowany czas propagacji bramki ($f_{CLK} = 1$ kHz, $V_{CC} = 5,0$ V)
Fig. 7. Normalized input-output propagation delay ($f_{CLK} = 1$ kHz, $V_{CC} = 5.0$ V)

Charakterystyki $t_p=f(T)$ wykazują zmniejszenie czasów propagacji po dołączeniu obciążenia do wyjść testowanego układu, w przedziale temperatur od -140°C do 20°C . Wraz ze spadkiem temperatury wpływ obciążenia na czas propagacji bramki maleje (rys. 8).



Rys. 8. Czas propagacji bramki w funkcji temperatury ($f_{CLK} = 1$ kHz, $V_{CC} = 5,0$ V)
Fig. 8. Input-output propagation time vs. temperature ($f_{CLK} = 1$ kHz, $V_{CC} = 5.0$ V)

Zmniejszenie czasu propagacji bramki w szerokim zakresie temperatur ma miejsce pomimo znacznego przyrostu pobieranej przez układ mocy. Dołączenie do wyjść badanych bramek obciążenia rezystancyjnego powoduje bowiem 5-krotne zwiększenie prądu zasilania (rys. 9), co prowadzi potencjalnie do większego wydzielania ciepła w strukturze PLD.



Rys. 9. Prąd zasilania układu w funkcji temperatury ($f_{CLK} = 1$ kHz, $V_{CC} = 5,0$ V)
Fig. 9. Supply current vs. temperature ($f_{CLK} = 1$ kHz, $V_{CC} = 5.0$ V)

5. Wnioski

Temperaturowy zakres pracy układów półprzewodnikowych zawiera się w przedziale od -55°C do 125°C , a poprawne funkcjonowanie układów poza tym zakresem nie jest gwarantowane przez producenta. Badania wykazały jednak, że testowany układ EE PLD typu ATF16V8BQL-15PU, wykonany w technologii CMOS i przeznaczony do pracy w warunkach przemysłowych, w temperaturze od -40°C do 85°C , może działać do punktu 77K. Obniżanie temperatury powoduje zgodnie z oczekiwaniami zmniejszanie czasu propagacji bramek logicznych [4,5]. Tendencja ta powinna być teoretycznie spowalniana przy dostarczaniu do układu dodatkowej energii i uwzględnieniu efektu samopodgrzewania. Wyniki przeprowadzonych badań nie pozwalają jednak na jednoznaczne potwierdzenie tej prognozy. Potencjalnie zwiększonemu wydzielaniu ciepła wewnątrz struktury, uzyskanemu poprzez dołączenie rezystorów obciążających, towarzyszy dodatkowy spadek czasu propagacji. Oznacza to, że tak wymuszony efekt samopodgrzewania bramek w strukturze PLD nie ma charakteru dominującego. Przyczynę przyspieszenia pracy układu należy raczej wiązać ze zwiększeniem prądów ładowania pojemności na wyjściach bramek po dołączeniu obciążeń typu pull-up. Mechanizm ten jest znacznie wyraźniejszy, aniżeli wpływ zmian napięcia zasilającego V_{CC} , ustalanych w nominalnym zakresie od 4,75 V do 5,25 V.

Znajomość właściwości temperaturowych układu można z powodzeniem wykorzystać do znaczącego zwiększenia jego szybkości działania. Warto podkreślić, że uzyskane wyniki mogą być przydatne również poza nominalnym zakresem temperaturowym co znacznie rozszerza obszar zastosowań układów PLD.

6. Literatura

- [1] ATF16V8B/BQ/BQL. High-performance EE PLD. Atmel 2005.
- [2] Rabaey J.M., Chandrakasan A.P., Nikolic B.: Digital Integrated Circuit. Prentice Hall, 2003.
- [3] Debnath R. K., Kadir M. I., Mandal J.: Minimization of propagation delay of CMOS inverter driving an RC load. Engineering & Technology, Khulna University Studies 1(2), pp.127-131, 2000.
- [4] Gutierrez-D E.A., Jamal Deen M., Claeys C. L.: Low Temperature Electronics - Physics, Devices, Circuits, and Applications. Academic Press, San Diego, 2001.
- [5] Michalak S.: Pomiar czasu propagacji inwerterów implementowanych w układach programowalnych w temperaturze ciekłego azotu. PAK, vol. 57, nr 8/2011, s. 828-829.