

Łukasz MATUSZEWSKI, Mieczysław JESSA, Piotr ŚLĘZAK

POLITECHNIKA POZNAŃSKA, WYDZIAŁ ELEKTRONIKI I TELEKOMUNIKACJI,
ul. Polanka 3, 60-965 Poznań

Wykorzystanie zasobów FPGA do wyrównywania faz przebiegów taktujących

Mgr inż. Łukasz MATUSZEWSKI

Doktorant na Wydziale Elektroniki i Telekomunikacji Politechniki Poznańskiej. Ukończył studia na tym samym wydziale w roku 2010. Jego zainteresowania to projektowanie urządzeń z wykorzystaniem układów reprogramowalnych w szczególności generatorów liczb losowych i układów synchronizacji.



e-mail: lukasz.matuszewski@et.put.poznan.pl

Dr hab. inż. Mieczysław JESSA

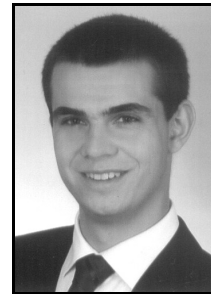
Adiunkt na Wydziale Elektroniki i Telekomunikacji Politechniki Poznańskiej. Autor lub współautor ponad 100 publikacji, 15 patentów oraz kilkunastu rozwiązań konstrukcyjnych wdrożonych w krajowej sieci telekomunikacyjnej. Kierujący ponad dwudziestoma projektami wykonanymi na rzecz podmiotów gospodarczych. Najważniejsze prace dotyczą zastosowań zjawiska chaosu w telekomunikacji i kryptografii oraz synchronizacji sieci telekomunikacyjnej.



e-mail: mjessa@et.put.poznan.pl

Mgr inż. Piotr ŚLĘZAK

Doktorant na Wydziale Elektroniki i Telekomunikacji Politechniki Poznańskiej. Ukończył studia na tym samym wydziale w roku 2009. Jego zainteresowania to projektowanie układów analogowych, systemy mikroprocesorowe i cyfrowe przetwarzanie sygnałów.



e-mail: piotr.slezak@et.put.poznan.pl

Streszczenie

W artykule opisano projekt układu do wyrównywania fazy przebiegu o powielonej częstotliwości do fazy przebiegu, którego częstotliwość powielono. Zaproponowany algorytm wyrównywania faz można zaimplementować w układzie FPGA, w którym producent przewidział mechanizm powielania częstotliwości sygnału wejściowego. Algorytm jest bardzo oszczędny w wykorzystaniu zasobów i nie wymaga konstruowania detektorów fazy o dużej rozdzielczości pomiaru różnicy faz.

Słowa kluczowe: powielanie częstotliwości, synchronizacja fazy, wyrównywanie faz.

Use of FPGA resources for phase aligning of timing signals

Abstract

The paper describes design of a circuit that aligns the phase of a signal with multiplied frequency to the phase of a signal whose frequency is multiplying. The proposed phase aligning algorithm can be implemented in an Field Programmable Gate Array (FPGA) which supports the mechanism of frequency multiplication. The algorithm is very economical in usage of the FPGA resources and it does not require to use phase error measurements with high resolution. The principle of its work is illustrated in Figs. 1 and 2. A circuit that implements the algorithm consists of a START/STOP detector, a delay T whose value must be greater than the period of the signal with multiplied frequency, two latches and a delay line built into the FPGA whose value is controlled by a simple control module. Instead of measuring the value of the phase error between START and STOP signals, we check if signal START gets ahead of signal STOP or if it is delayed. If $Q_a=1$ and $Q_b=0$, the delay of the delay line from input START is increased by a quant. If $Q_a=1$ and $Q_b=1$ the delay of this line is decreased by a quant. In other cases the control circuit does not perform any operation. Subsequent checks are performed with frequency of signal STOP. In the design described in this paper the IODELAY line, available in Virtex-5 (XC5VLX50T), is used. The elementary delay of this line is about 75 ps. The phase alignment error observed for multiplication coefficients from 2 to 32 is between 150 ps and 240 ps.

Keywords: frequency multiplication, phase synchronization, phase alignment.

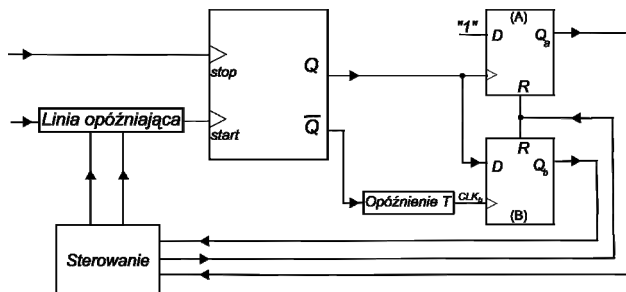
1. Wstęp

Działanie wielu urządzeń i systemów cyfrowych w istotny sposób zależy od dostępu do sygnałów taktujących o wysokiej jakości. W ogólności nie wymaga się od nich zgodności faz, wystarczy aby miały tę samą częstotliwość nominalną, a długoterminowy błąd częstotliwości nie był większy od wartości ustalonej przez zalecenia międzynarodowe. Istnieją jednak systemy, których funkcjonowanie wymaga zapewnienia zgodności faz sygnałów. Przykładem mogą być systemy energetyczne, systemy teleinformatyczne, telemetryczne, w których zgodność faz chwil charakterystycznych jest potrzebna do ustalenia sekwencji zdarzeń zachodzących w systemie. Zazwyczaj wystarcza zgodność faz na poziomie setek nanosekund lub nawet mikrosekund, lecz ze względu na odległości (nawet setki kilometrów) pomiędzy urządzeniami systemu, nie jest to zadanie trywialne. W ostatnim czasie na znaczeniu zyskały także systemy do odbioru zbiorczego słabych sygnałów radiowych. Problem ten jest znany w telefonii komórkowej oraz w szybko rozwijającej się radioastronomii. W tym ostatnim przypadku sygnał badany, zazwyczaj bardzo słaby, dochodzi do wielu anten znajdujących się w pewnej odległości, np. w kwadracie o boku liczonem w kilometrach. Na wyjściu każdej anteny otrzymujemy sygnał, który po zsumowaniu z sygnałami wyjściowym pozostałych anten ma dać sygnał zbiorczy o zadawanej mocy. Aby uzyskać efekt wzmocnienia, sumowane sygnały muszą mieć odpowiednią fazę. Sumowanie można zrealizować analogowo, lecz jest to trudne (tłumienie kabla, zakłócenia) i możliwe do zrobienia dla wąskiego zakresu częstotliwości sygnału odbieranego. Zdecydowanie lepszym rozwiązaniem jest zamiana sygnału analogowego na cyfrowy w miejscu jego odbioru i sumowanie liczb otrzymanych w odpowiednich chwilach czasu. Podstawowym wyzwaniem jest tutaj zamiana sygnału analogowego na sygnał cyfrowy w taki sposób, aby impulsy próbkujące sygnały wyjściowe anten miały zgodną fazę. Dopuszczalny błąd powinien być znacząco mniejszy od okresu odbieranej fali nośnej. Częstotliwość próbkująca musi spełniać twierdzenie Nyquista o próbkowaniu sygnału dolnopasmowego. Na przykład, jeżeli częstotliwość nośna wynosi 250 MHz, a pasmo zajmowane przez sygnał użyteczny kończy się na częstotliwości 300 MHz, to minimalna częstotliwość próbkowania wynosi 600 MHz. Zatem dopuszczalny błąd fazy impulsów próbkujących powinien być znacząco mniejszy od 4 ns. Im mniejsza jest jego wartość, tym efekt sumowania sygnałów jest lepszy. Ponieważ anteny znajdują się w pewnej odległości od siebie, dystrybucja sygnału próbkującego o dużej częstotliwości za pomocą kabla współosiowego jest utrudniona i nie gwarantuje nam wystarczającej zgodności faz przy antenach. Można użyć światłowodu, ale to rozwiązanie jest drogie (anten odbiorczych może być nawet kilkadziesiąt) i obciążone skażeniami wprowadzanymi przez proces konwersji sygnału elektrycznego na optyczny i odwrotnie. Dlatego proponuje się transmisję sygnału o relatywnie małej częstotliwości, pochodzą-

cego z wysokostabilnego generatora wzorcowego, a następnie jej powielenie za pomocą układu FPGA, który jednocześnie odbiera i przetwarza otrzymany sygnał cyfrowy. Problem, którego rozwiązanie prezentujemy w pracy, to zapewnienie zgodności fazy sygnału o powielonej częstotliwości, używanego do próbkowania, z fazą sygnału wejściowego o małej częstotliwości. Zaproponowany algorytm dokonuje detekcji znaku różnicy faz, a układ który to realizuje jest odporny na stany metastabilne dla dowolnie małej różnicy faz pomiędzy sygnałem wejściowym i sygnałem o powielonej częstotliwości.

2. Budowa i działanie układu wyrównywania faz

Jedną z bardzo użytecznych funkcji oferowanych przez współczesne układy FPGA jest powielenie częstotliwości przebiegu wejściowego. Niestety proces powielania powoduje losowe przesunięcie fazy między sygnałem powielonym a powielanym. Taka sytuacja w niektórych zastosowaniach jest niepożądana i oczekuje się, aby sygnał powielany z powielonym były w fazie, a w najgorszym przypadku, aby różnica faz między nimi nie przekraczała znanej wartości. Budowę prostego układu, który zapewnia pożądaną zgodność faz pokazano na rysunku 1. Składa się on z linii opóźniającej o programowalnym opóźnieniu, na przykład linii IODELAY wbudowanej w układ FPGA Virtex-5 [1], detektora fazy typu START/STOP, układu detekcji kierunku różnicy faz zawierającego dwa przerzutniki D i układ stałego opóźnienia T oraz automatu sterującego linią opóźniającą.

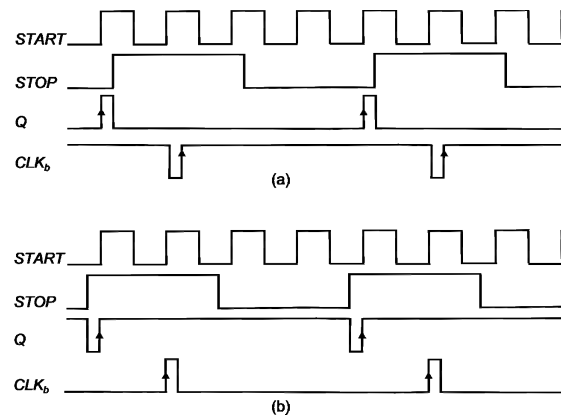


Rys. 1. Schemat blokowy układu wyrównywania faz
Fig. 1. Block diagram of the phase alignment circuit

Linia opóźniająca IODELAY posiada 64 odczepy, każdy wprowadza opóźnienie 75ps. Łączne opóźnienie linii wynosi 4,8ns co odpowiada okresowi sygnału o częstotliwości 208,33MHz. W opisywanym układzie linia IODELAY została skonfigurowana jako linia o sterowanym opóźnieniu. Detektor fazy typu START/STOP pokazuje różnicę faz między sygnałami, które doprowadzono do wejść START i STOP. Wyjście Q detektora fazy przechodzi w stan wysoki w momencie pojawienia się narastającego zbocza sygnału na wejściu START i utrzymuje stan wysoki aż na wejściu STOP nie pojawi się narastające zbocze sygnału. Układ z dwoma przerzutnikami typu D i opóźnieniem T odpowiada za detekcję kierunku różnicy faz, tj. detekcję czy sygnał na wejściu START wyprzedza sygnał na wejściu STOP, czy jest odwrotnie. Kluczowe jest tu opóźnienie T, które aby układ poprawnie działał powinno być większe od okresu sygnału o powielonej częstotliwości, dołączonego do wejścia START. Sygnał, którego częstotliwość powielamy podajemy na wejście STOP.

Na rysunku 2 przedstawiono przebiegi czasowe sygnałów w charakterystycznych punktach układu z rysunku 1. Wejścia START i STOP są niezależne, dzięki czemu jednoczesna lub prawie jednoczesna zmiana stanu na wejściu START i STOP nie wprowadza wyjścia Q w stan metastabilny. Różnica faz jest widoczna na wyjściu Q. Nie mierzymy jej wartości tak jak to się dzieje w typowych układach regulacji automatycznej, lecz ustalamy tylko czy sygnał z wejścia START wyprzedza sygnał z wej-

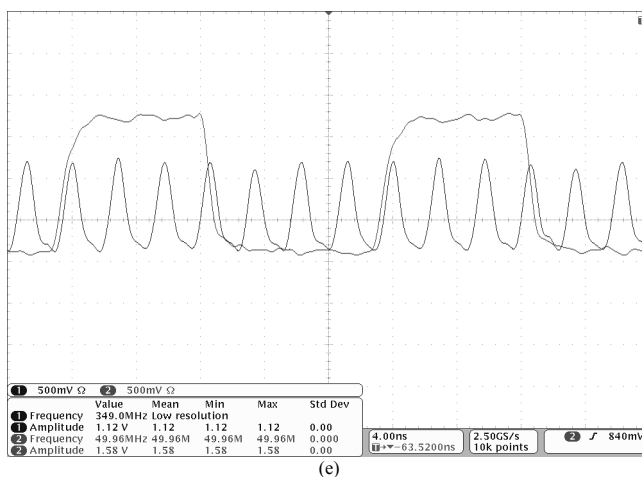
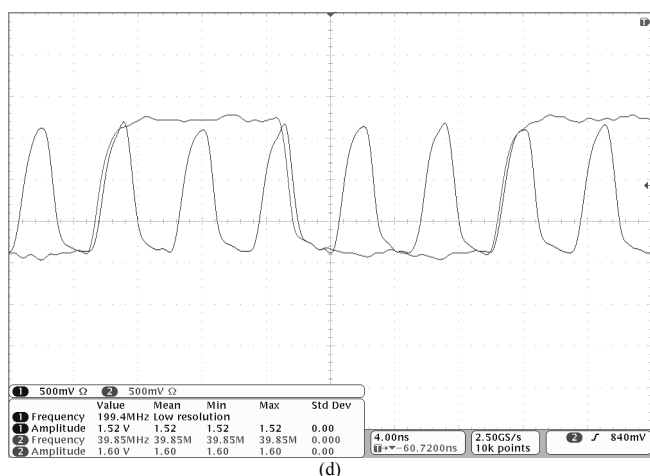
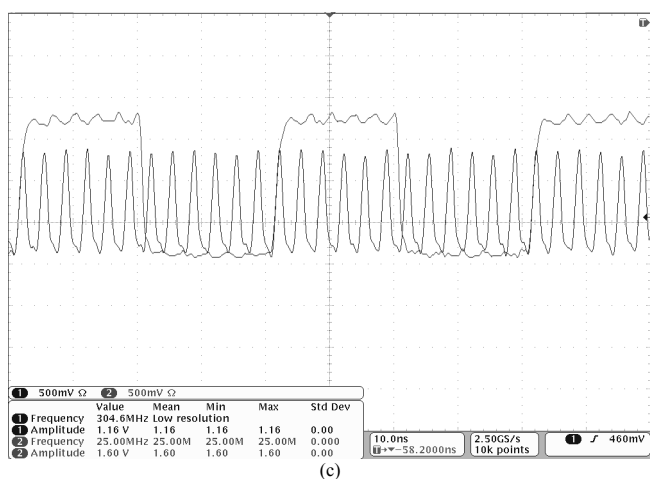
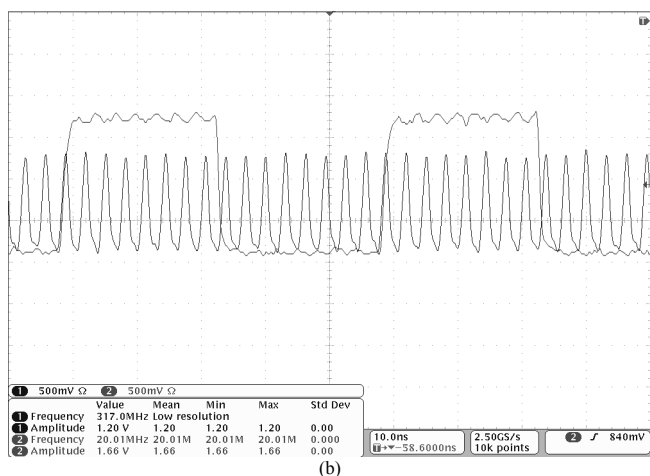
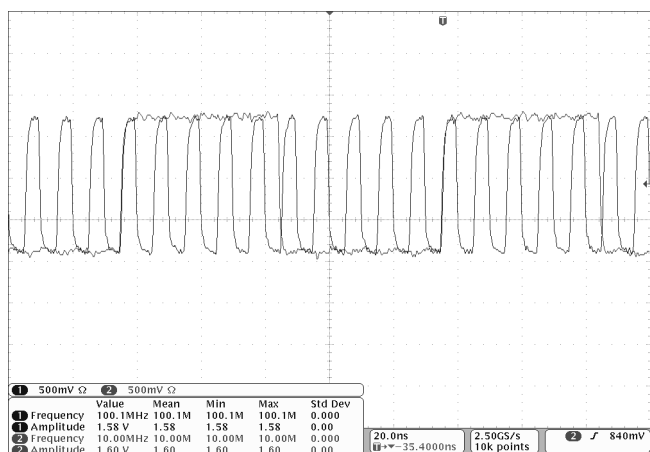
ścia STOP, czy też jest odwrotnie. Do tego celu służą dwa przerzutniki typu D, oznaczone jako A i B oraz opóźnienie T. Wartość T musi być większa od okresu przebiegu z wejścia START.



Rys. 2. Przebiegi czasowe układu wyrównywania faz
Fig. 2. Timing of the phase alignment circuit

Narastające zbocze sygnału z wyjścia Q detektora START/STOP taktuje przerzutnik A. Przerzutnik B jest taktowany zanegowanym i opóźnionym zboczem sygnału wyjściowego tego samego detektora. Gdy wyjście Q_a przerzutnika A jest w stanie wysokim a wyjście Q_b przerzutnika B jest w stanie niskim mamy do czynienia z sytuacją, kiedy sygnał START wyprzedza w fazie sygnał STOP (rys. 2a). W tym przypadku należy zwiększyć opóźnienie programowanej linii opóźniającej IODELAY. Jeżeli wyjście Q_a jest w stanie wysokim i wyjście Q_b też jest w stanie wysokim, to sygnał START jest opóźniony w fazie względem sygnału STOP (rys. 2b) i należy zmniejszyć opóźnienie linii opóźniającej. Sytuacja, w której oba wyjścia Q_a i Q_b są w stanie niskim oznacza zgodność faz sygnałów START i STOP. Stan w którym wyjście Q_a jest w stanie niskim a wyjście Q_b jest w stanie wysokim jest stanem zabronionym i nie wywołuje żadnej reakcji ze strony układu sterującego. Częścią sterującą jest automat sekwencyjny, który na wejścia przyjmuje sygnały Q_a i Q_b , a na wyjściach wystawia sygnał RESET zerujący przerzutniki i sygnały zwiększające lub zmniejszające opóźnienie linii IODELAY o kwant. Automat sprawdza stany Q_a i Q_b z okresem przebiegu z wejścia STOP i natychmiast podejmuje decyzje, czy należy zwiększyć, zmniejszyć opóźnienie linii IODELAY, czy też pozostawić obecną wartość. Po każdej decyzji następuje zerowanie przerzutników A i B.

Na rysunkach 3 przedstawiono przykładowe przebiegi z wejść START i STOP, zarejestrowane oscyloskopem cyfrowym MSO 4054, dla kilku wartości częstotliwości wejściowej f_{wej} i kilku współczynników powielenia k . Badania przeprowadzono dla układu Virtex-5 (XC5VLX50T). Dokładność zestrojenia obserwowana na oscyloskopie wynosiła od 150 ps do 220 ps. Eksperymenty przeprowadzone z sygnałami o różnych częstotliwościach wejściowych i różnych współczynnikach powielenia częstotliwości pokazują, że prezentowany układ jest w stanie zestroić fazy sygnałów z dokładnością nie gorszą od 240 ps (pomiar za pomocą oscyloskopu). Na ten czas wpływają dwa podstawowe czynniki. Pierwszy to minimalny czas trwania impulsu na wyjściu Q, który jest jeszcze w stanie taktować przerzutnik A. Drugi, to minimalny czas trwania stanu niskiego, który jest jeszcze widziany przez przerzutnik B. Oba parametry zależą od technologii wykonania układu FPGA i sposobu realizacji linii opóźniającej T. Zauważmy, że przerzutnik B może być teoretycznie taktowany impulsem z wyjścia Q, opóźnionym o wartość T, lecz to rozwiązanie nie może być użyte w wielu układach. Przyczyną jest wymaganie narzucane przez linie opóźniające wbudowane w FPGA, aby czas trwania impulsu, którego zbocze narastające chcemy opóźnić, był dłuższy odżądanego opóźnienia.



Rys. 3. Przebiegi czasowe sygnałów START i STOP; (a) $f_{wej}=10$ MHz, $k=10$, (b) $f_{wej}=20$ MHz, $k=16$, (c) $f_{wej}=25$ MHz, $k=12$, (d) $f_{wej}=40$ MHz, $k=5$, (e) $f_{wej}=50$ MHz, $k=7$

Fig. 3. START and STOP signals; (a) $f_{wej}=10$ MHz, $k=10$, (b) $f_{wej}=20$ MHz, $k=16$, (c) $f_{wej}=25$ MHz, $k=12$, (d) $f_{wej}=40$ MHz, $k=5$, (e) $f_{wej}=50$ MHz, $k=7$

Niewątpliwą zaletą prezentowanego rozwiązania jest jego prostota i odporność na stany metastabilne. Układ składa się z kilku elementów i zajmuje niewiele miejsca w układzie FPGA. Może pracować z sygnałami o wysokiej częstotliwości – do 600 MHz dla XC5VLX50T, co czyni to rozwiązanie konkurencyjnym w stosunku do innych metod [2], czy szeroko opisywanych rozwiązań producentów układów FPGA, na przykład wykorzystujących blok DCM (Digital Clock Manager) [3]. Blok ten umożliwia przesuwanie sygnału z większą rozdzielczością równą 50 ps, ale może pracować z sygnałami o częstotliwościach do 340 MHz. Wadą prezentowanego rozwiązania jest mniejsza rozdzielczość zestrojenia faz i fakt, że częstotliwość sygnału z wejścia START musi być całkowitą wielokrotnością częstotliwości sygnału z wejścia STOP. W innym przypadku zaobserwujemy „pływanie” sygnału START względem sygnału STOP.

Zrezygnowanie z pomiaru wartości różnicy faz znacząco zmniejsza stopień złożoności układu kosztem wydłużenia czasu dochodzenia do zgodności faz obu przebiegów. Zauważmy, że ten koszt warto ponieść, gdyż dochodzenie do zgodności faz ma charakter jednorazowy i następuje na etapie włączenia urządzenia. Po osiągnięciu zgodności faz jest ona dalej utrzymywana bez potrzeby cyklicznego dokonywania pomiarów wartości różnicy faz, co jak pokazują różne metody, jest sprzętowo kosztowne.

3. Wnioski

Prezentowana metoda wyrównywania faz może być zaimplementowana w wielu układach FPGA dostępnych na rynku. Jej zastosowanie może być rozszerzone na wszystkie aplikacje, w których wymaga się, aby sygnał taktujący o większej częstotliwości był w fazie z sygnałem taktującym o mniejszej częstotliwości. Ograniczeniem jest to, aby częstotliwość wyższa była całkowitą wielokrotnością częstotliwości niższej. Przedmiotem dalszych badań jest optymalizacja projektu układu z rysunku 1 pod kątem implementacji w konkretnym układzie FPGA. Rezultatem ma być większa dokładność zestrojenia faz obu przebiegów.

4. Literatura

- [1] http://www.xilinx.com/support/documentation/user_guides/ug190.pdf.
- [2] Kalisz J.: Review of methods for time interval measurements with picosecond resolution, *Metrology*, vo. 41, 2004, pp. 17-32.
- [3] Sawier N.: Active Phase Alignment, Application Note: Virtex II Series, XILINX xapp (v1.2), December 9, 2002.

otrzymano / received: 26.04.2012

przyjęto do druku / accepted: 01.06.2012

artykuł recenzowany / revised paper