

Tomasz KRYJAK, Mateusz KOMORKIEWICZ, Marek GORGON

AGH AKADEMIA GÓRNICZO-HUTNICZA, WYDZIAŁ EAIIE, KATEDRA AUTOMATYKI,
Al. Mickiewicza 30, 30-059 Kraków

Rekonfigurowalny system wizyjnego nadzoru do detekcji naruszenia obszarów chronionych

Mgr inż. Tomasz KRYJAK

Autor jest absolwentem kierunku Automatyka i Robotyka na Akademii Górniczo-Hutniczej im. Stanisława Staszica w Krakowie (2007). Pracuje w Laboratorium Biocybernetyki Katedry Automatyki AGH na stanowisku asystenta. Interesuje się przetwarzaniem i analizą obrazów, ze szczególnym uwzględnieniem zaawansowanych systemów monitoringu wizyjnego oraz sprzętową akceleracją algorytmów wizyjnych z wykorzystaniem układów FPGA. Autor ponad 15 publikacji.

e-mail: kryjak@agh.edu.pl



Dr hab. inż. Marek GORGON

Autor jest absolwentem Akademii Górniczo-Hutniczej w Krakowie, gdzie uzyskał kolejno dyplom magistra inżyniera elektroniki (1988) oraz stopnie doktora (1995) i doktora habilitowanego (2007), oba w dyscyplinie Automatyka i Robotyka. Zajmuje się metodami i systemami do przetwarzania i analizy obrazu. Od 1992 roku jego głównym obszarem zainteresowania są systemy obrazowe oparte na układach FPGA. Jest członkiem IEEE, komitetów naukowych wielu konferencji międzynarodowych i krajowych, autorem 60 publikacji.

e-mail: mago@agh.edu.pl



Mgr inż. Mateusz KOMORKIEWICZ

Autor jest absolwentem kierunku Automatyka i Robotyka na Akademii Górniczo-Hutniczej im. Stanisława Staszica w Krakowie (2010). Obecnie jest słuchaczem studiów doktoranckich na wydziale EAIIE tej samej uczelni. Interesuje się przetwarzaniem i analizą obrazów oraz sprzętową akceleracją algorytmów wizyjnych z wykorzystaniem układów FPGA.

e-mail: komorkie@agh.edu.pl



Keywords: image processing, image analysis, reconfigurable devices, video surveillance systems.

1. Wstęp

Współcześnie obserwuje się intensywny rozwój systemów monitoringu wizyjnego. Kamery montowane są w miejscach takich jak dworce, lotniska, sklepy, muzea oraz coraz częściej w domach prywatnych. Równoległe ze wzrostem liczby źródeł sygnału wideo, narasta problem jego przetwarzania i analizy. Wyszkolony operator systemu, który obserwuje szereg monitorów, nie jest w stanie przez dłuższy czas zachować wzmoczonej czujności. Problem ten stanowi motywację do tworzenia systemów informatycznych wspomagających nadzór wizyjny, przykładowo poprzez wskazywanie potencjalnie niebezpiecznych sytuacji.

Jednym z podstawowych zagadnień w monitoringu wizyjnym jest detekcja naruszenia obszarów chronionych. Funkcjonalność taka potrzebna jest zarówno przy nadzorze obiektów typu rafinerie, elektrownie, przepompownie gazu itp., a także w muzeach, galeriach oraz budynkach prywatnych. Zadaniem algorytmu jest wykrywanie obecności osób lub innych obiektów w obszarach, które na etapie konfiguracji zostały określone jako chronione i sygnalizowanie takiej sytuacji.

W literaturze można odnaleźć relatywnie niewiele prac poświęconych implementacji detekcji naruszenia strefy zabronionej w układach FPGA. W artykule [9] opisano koncepcję sieci czujników składającej się z dwóch typów urządzeń: prostych detektorów obecności (czujniki na podczerwień, wykrywające wibracje lub dźwięki) oraz bardziej złożonego systemu wizyjnego z układem FPGA. Detekcja obiektów odbywała się z wykorzystaniem odejmowania tła. Analiza zrealizowana została w oparciu o współczynniki kształtu. W pracy [7] opisano system detekcji naruszenia strefy zabronionej, oparty o obliczanie różnicy pomiędzy kolejnymi ramkami. Ponadto można wskazać komercyjne systemy realizujące omawianą funkcjonalność [3, 4].

2. Zaproponowany algorytm i jego implementacja sprzętowa

System detekcji naruszenia strefy zabronionej powinien składać się z dwóch modułów: detekcji obiektów ruchomych oraz analizy ich położenia na scenie. Na podstawie przeprowadzonych badań wstępnych powstał prototyp algorytmu w pakiecie Matlab, który następnie został zrealizowany z wykorzystaniem zasobów rekonfigurowalnego układu FPGA.

Poszczególne moduły opisane zostały w językach VHDL i Verilog. Jako platforma sprzętowa wybrana została karta ML605 z układem FPGA Virtex6 (XC6VLX240T-1FF1156) firmy Xilinx. Schemat systemu zaprezentowano na rysunku 1.

Streszczenie

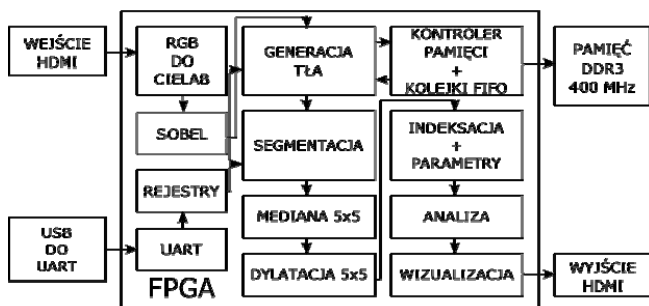
W artykule opisano działający w czasie rzeczywistym sprzętowy system do detekcji naruszenia obszarów chronionych oparty o analizę obrazu kolorowego o rozdzielczości 640 x 480 zaimplementowany w zasobach rekonfigurowalnego układu FPGA. Składa się on z szeregu modułów: akwizycji obrazu, konwersji z przestrzeni barw RGB do CIE Lab, generacji tła z uwzględnieniem informacji o krawędziach, odejmowania tła, binaryzacji warunkowej, filtru medianowego, dyfuzji morfologicznej, indeksacji jednoprzebiegowej, analizy położenia wykrytych obiektów oraz wizualizacji wyników. W pracy omówiono budowę każdego z modułów, zużycie zasobów FPGA, zużycie mocy, a także przykładowe rezultaty działania.

Słowa kluczowe: przetwarzanie obrazów, analiza obrazów, układy rekonfigurowane, systemy monitoringu wizyjnego.

Reconfigurable video surveillance system for detecting intrusion into protected areas

Abstract

In the paper a hardware implementation of an algorithm for detection of intrusion into protected areas is presented. The system is composed of several functional modules: colour space conversion from RGB to CIE Lab, Sobel gradient calculation, background generation (running average algorithm), moving object segmentation, median filtering, morphological dilation, connected component labeling integrated with analysis of the detected objects (area and bounding box determination) and visualization of the detection results. The most important features of the proposed solution are: use of the CIE Lab colour space which allows improving segmentation results and reducing the noise introduced by shadows; advanced segmentation which is based on integration of luminance, chrominance and edge information and a thresholding scheme using two thresholds; use of a one-pass connected component labeling and analysis algorithm and its FPGA implementation. The use of a high-end Virtex 6 FPGA device allowed obtaining real-time performance in processing a 640 x 480 colour video stream. The proposed system was tested on several sequences. The obtained results show that it detects correctly the intrusion into protected zones. The module could be used in a smart-camera design, where the image processing and analysis is integrated with the imaging sensor and a surveillance system operator receives only information about intrusion detection.



Rys. 1. Schemat zrealizowanego systemu
Fig. 1. Scheme of the implemented system

System tworzą moduły:

- RGB DO CIELAB - potokowo zrealizowana konwersja z przestrzeni barw RGB do CIE Lab (opis rozwiązania [6]). Wykorzystanie przestrzeni barw CIE Lab pozwala poprawić rezultaty segmentacji obiektów i jednocześnie zmniejszyć zakłócenia spowodowane występowaniem cieni [1].
- SOBEL - moduł wyliczający gradient Sobela w sposób potokowy. W dalszych etapach wykorzystywana jest amplituda gradientu, jako informacja o krawędziach.
- GENERACJA TŁA - moduł generacji tła. W rozwiązaniu detekcję obiektów ruchomych zrealizowano metodą odejmowania tła. Do generacji modelu tła zastosowano algorytm średniej ruchomej [10], który opisany jest równaniem:

$$B_n = \alpha \cdot I + (1 - \alpha) \cdot B_{n-1} \quad (1)$$

gdzie: I - aktualna ramka z sekwencji wideo, B - model tła, α - parametr określający szybkość uaktualniania tła (w badaniach stosowano $\alpha = 0.015$). Dodatkowo zaimplementowano dwa mechanizmy zapobiegające powstawaniu zakłóceń w modelu tła: selektywną aktualizację (aktualizacji podlegają tylko te piksele, które nie zostały uznane za elementy obiektu ruchomego) oraz wtapienie do modelu tła obiektów, które długo nie zmieniają swojego położenia (za pomocą zliczania ile razy dany piksel został sklasyfikowany jako obiekt) Model tła dla danej lokalizacji na obrazie składa się z:

- składowej jasności L : (7 + 3 bitów - odpowiednio na część całkowitą i ułamkową),
- składowych chrominancji a i b : (po 8 + 3 bitów),
- składowej krawędzi E : (6+3 bitów),
- licznika klasyfikacji obiektu (10 bitów),
- dwóch pomocniczych flag, do sterowania aktualizacją (2 bity).

Cały model tła przechowywany jest w zewnętrznej pamięci DDR3 RAM dostępnej na platformie ML 605.

- KONTROLER PAMIĘCI + KOLEJKI FIFO - moduł zapewniający wydajny dostęp do zewnętrznej pamięci DDR3 RAM
- SEGMENTACJA - moduł realizujący segmentację obiektów ruchomych. Segmentacja oparta jest o integrację informacji o jasności, kolorze i krawędziach, która została zrealizowana jako średnia ważona:

$$dLCEN = wL \cdot dLN + wC \cdot dCN + wE \cdot dEN \quad (2)$$

gdzie: wL , wC , wE - wagi (w badaniach stosowano wartości odpowiednio 3, 2, 2), a dLN , dCN , dEN - znormalizowane odległości pomiędzy modelem tła, a aktualną ramką (liczone jako moduł z różnicy) odpowiednio dla jasności, koloru i krawędzi. Zdecydowano się wykorzystać mechanizm binaryzacji warunkowej; piksele, dla których wartość $dLCEN$ jest większa od górnego progu (w eksperymentach 0,5) stanowią pewne elementy obiektów, a piksele dla których wartość $dLCEN$ jest większa od dolnego progu (w eksperymentach 0,75) stanowią potencjalne elementy obiektów. Pozostałe piksele stanowią tło.

W drugim etapie następuje weryfikacja potencjalnych elementów obiektów. Zostają one włączone do ostatecznej maski obiektów, wtedy, gdy w ich otoczeniu (5x5) znajduje się przynajmniej jeden pewny element obiektu.

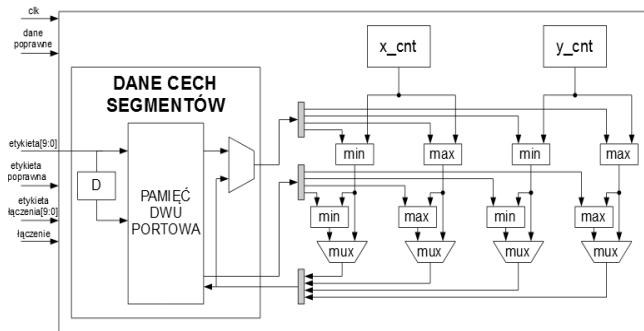
- MEDIANA 5x5 i DYLATACJA 5x5 - potokowa realizacja filtracji medianowej i dylatacji morfologicznej
- INDEKSACJA + PARAMETRY - moduł realizujący indeksację (etykietowanie) obiektów oraz wyznaczanie parametrów (pola oraz prostokąta ograniczającego). Wykorzystano jednorzędowy algorytm analizy segmentów [8]. W odróżnieniu od klasycznego algorytmu (dwurzędowego) [5] nie wymaga on przechowywania obrazu w zewnętrznej pamięci RAM oraz skraca opóźnienie wprowadzane przed moduł. Zasada działania algorytmu opiera się na mocnej integracji indeksacji i obliczania cech. Cechy obliczane są w tym samym momencie, w którym następuje nadawanie etykiet. W przypadku łączenia dwóch segmentów, cechy obu grup są integrowane (przy czym jedna grupa jest oznaczana jako połączona). Ponieważ algorytm przetwarza obraz linia po linii, nie trzeba przeetykietowywać całego obrazu, wystarczy zamienić etykiety połączonej grupy tylko w aktualnie analizowanym kontekście. Moduł indeksacji realizujący opisany algorytm został przedstawiony na rysunku 2.



Rys. 2. Moduł etykietowania
Fig. 2. Labelling module

Na Rysunku 3 przedstawiono przykładowy moduł służący do wyznaczania prostokąta ograniczającego dany segment. Jego działanie opiera się na dwóch blokach funkcjonalnych; pierwszy jest odpowiedzialny za pobieranie i zapisywanie aktualnego stanu cechy (prostokąt ograniczający) w pamięci BRAM. Drugi moduł oblicza aktualne położenie piksela na obrazie (x_{cnt} , y_{cnt}) oraz sprawdza, który z dwóch przypadków: normalna praca lub połączenie segmentów zachodzi dla rozważanego piksela. W przypadku normalnej pracy, sprawdzane są wartości x_{min} , y_{min} , x_{max} , y_{max} dla danego segmentu z wartościami x_{cnt} i y_{cnt} . Jeśli piksel nie mieści się w aktualnym prostokącie ograniczającym, następuje poszerzenie prostokąta. W przypadku, gdy następuje połączenie dwóch grup, sprawdzane jest dodatkowo, czy któraś krawędź prostokąta ograniczającego połączonego segment, nie leży poza prostokątem ograniczającym aktualny segment. Jeśli taka sytuacja zachodzi, prostokąt jest rozszerzany w odpowiednich kierunkach. W podobny sposób został zaimplementowany drugi moduł obliczania cech, służący do wyznaczania liczby pikseli tworzących dany segment.

- ANALIZA - moduł, w którym następuje detekcja naruszenia strefy zabronionej. Oparta jest ona o analizę położenia środka dolnej krawędzi prostokąta otaczającego wykryty obiekt. Jeżeli środek ten znajduje się wewnątrz obszaru uznanego za zabroniony (maska przechowywana jest w pamięci BRAM układu FPGA) oraz dodatkowo obiekt ma rozmiar większy od zdefiniowanego progu, to generowany jest alarm.



Rys. 3. Moduł wyznaczania prostokąta ograniczającego
Fig. 3. Module for computing the bounding box



Rys. 4. Przykład detekcji naruszenia strefy zabronionej. Sekwencja wideo pochodzi z projektu Candela [2]
Fig. 4. Example of intrusion detection. The video sequence originates from Candela project [2]

W obecnej wersji systemu nie jest uwzględnione zjawisko perspektywy oraz analiza 3D. W przypadku prostej analizy 2D niemożliwe jest określenie odległości obiektu od kamery bez semantycznej analizy tj. bez stwierdzenia czym jak każdy z wykrytych obiektów (np. człowiekiem, samochodem, ptakiem itp.). Tematyka ta wykracza poza ramy niniejszego artykułu.

- WIZUALIZACJA - moduł, który zapewnia wizualizację strefy zabronionej oraz wykrytych obiektów (w postaci zielonego prostokąta ograniczającego), w przypadku naruszenia strefy zabronionej prostokąt zmienia kolor na czerwony (rysunek 4).
- REJESTRY - moduł, w którym przechowywane są różne parametry algorytmów: współczynniki, progi binaryzacji itp.
- UART - moduł służący do komunikacji z komputerem PC i ustawiania wartości w rejestrach.

3. Rezultaty i wnioski

Opisane w rozdziale 2 moduły zostały przetestowane symulacyjnie w programie ISim (element środowiska ISE firmy Xilinx), co pozwoliło potwierdzić zgodność implementacji sprzętowej z modelem programowym algorytmu. Następnie cały system zintegrowano i zsyntezowano dla układu Virtex 6 wykorzystując oprogramowanie Xilinx ISE 13.4 Design Suite. Maksymalna częstotliwość pracy (raportowana przez narzędzie ISE po fazie *place & route*) wynosiła 87 MHz, co jest wartością wystarczającą do analizy strumienia wideo o rozdzielczości 640 x 480 w czasie rzeczywistym (60 ramek obrazu na sekundę, zegar piksela 25 MHz). Zużycie mocy wyznaczone za pomocą narzędzia Xilinx XPower Analyzed wynosiło 6,5 W. Wykonano również pomiary zużycia mocy dla płyty ML 605: jeden bez skonfigurowanego układu FPGA (13,3 W), drugi z uruchomionym systemem (21,2 W). Zatem faktyczne zużycie mocy przez układ FPGA wynosiło ok. 7,9 W. Zaprezentowany moduł jest w stanie wykonać 4600 milionów operacji (arytmetycznych oraz porównań) na sekundę i wprowadza opóźnienie wynoszące nieco ponad 6 linii obrazu. Zużycie zasobów zaprezentowano w tabeli 1.

Tab. 1. Zużycie zasobów FPGA
Tab. 1. FPGA resource utilisation

Zasób	Wykorzystane	Dostępne	Procent
FF	11468	301440	3%
LUT6	9210	160720	6%
SLICE	4524	37680	12%
DSP 48	31	768	4%
BRAM_18	27	832	3%
BRAM_36	151	416	36%

Zaproponowany algorytm pozwala wykryć przypadki naruszenia strefy zabronionej. Przykładowy rezultat działania systemu zaprezentowano na rysunku 4.

4. Podsumowanie

W pracy zaprezentowano sprzętową implementację systemu do detekcji naruszenia strefy zabronionej. Zaproponowany algorytm generuje poprawne wyniki, a wykorzystanie układu FPGA zapewnia realizację obliczeń dla kolorowego obrazu o rozdzielczości 640 x 480 pikseli w czasie rzeczywistym. Rozwiązanie może zostać wykorzystane jako element inteligentnej kamery (ang. *smart camera*), gdzie przetwarzanie i analiza strumienia wideo realizowana jest w kamerze, a operator systemu monitoringu powiadamiany jest tylko w przypadku wykrycia sytuacji alarmowej. System może zostać zaimplementowany w układzie FPGA, którego cena wynosi ok. 50 \$.

Przedstawione w artykule prace były wspierane przez Narodowe Centrum Nauki jako projekt badawczy nr 2011/01/N/ST7/06687 (pierwszy autor) i Ministra Nauki i Szkolnictwa Wyższego jako projekt SIMPOZ grant nr.0128/R/t00/2010/12 (drugi i trzeci autor).

5. Literatura

- [1] Benedek C., Sziranyi T.: Study on color space selection for detecting cast shadows in video surveillance. *Int. J. Imaging Syst. Technol.*, vol. 17, pp. 190–201, October 2007.
- [2] Candela, ITEA CANDELA project: Content Analysis and Network Delivery Architectures, <http://www.multitel.be/~va/candela/>, (dostęp 22.02.2012)
- [3] Eutecus <http://www.eutecus.com/ProdServ/MVE.html> (dostęp 22.02.2012)
- [4] IntelliVision - <http://www.intelli-vision.com/products/embedded-products> (dostęp 22.02.2012)
- [5] Jabłoński M., Gorgon M.: Handel-C implementation of classical component labelling algorithm, *Euromicro Symposium on Digital System Design (DSD 2004)*, Rennes, France, 387-393 (2004).
- [6] Kryjak T., Komorkiewicz M., Gorgon M.: Real-time moving object detection for video surveillance system in FPGA. In: *The 2011 Conference on Design & Architectures for Signal and Image Processing (DASIP)*, pp 209 – 216, 2011.
- [7] Lu X.; Jin M.; Yu S.; Wang L.; Lu H.: A real-time anomaly intrusion and theft items detecting system for surveillance videos, *International Conference on Audio Language and Image Processing (ICALIP)*, pp.1217-1221, 2010.
- [8] Malik A. W., Thörnberg B., Cheng X., Lawal N.: Real-time Component Labelling with Centre of Gravity Calculation on FPGA 2011 Proceedings of Sixth International Conference on Systems. *ICONS 2011*, pp. 39 - 43.
- [9] Sluzek A., Annamalai P., Islam Md. S.: A wireless sensor network for visual detection and classification of intrusions. In *Proceedings of the 4th WSEAS international conference on Electronics, control and signal processing (ICECS'05)*, Wisconsin, USA, pp. 205-210, 2005.
- [10] Wren C. R., Azarbayejani A., Darrell T., Pentland Pfinder A. P.: real-time tracking of the human body. *IEEE Transactions on Pattern Analysis and Machine Intelligence*, Vol. 19, Num. 7, pp.780–785, 1997.

otrzymano / received: 17.04.2012

przyjęto do druku / accepted: 01.06.2012

artykuł recenzowany / revised paper