

Bogdan OLECH

ZACHODNIOPOMORSKI UNIWERSYTET TECHNOLOGICZNY W SZCZECINIE, WYDZIAŁ INFORMATYKI
ul. Żołnierska 47, 71-210 Szczecin

Bezpośrednia cyfrowa synteza częstotliwości realizowana dla potrzeb techniki radarowej

Dr inż. Bogdan OLECH

Uzyskał tytuł magistra oraz inżyniera na Politechnice Szczecińskiej w roku 1986, stopień doktora uzyskał w roku 1999 na Politechnice Warszawskiej. Obecnie pracuje na Wydziale Informatyki Zachodniopomorskiego Uniwersytetu Technologicznego w Szczecinie. Współpracuje z firmami innowacyjnymi regionu. Jego zainteresowania naukowe, to: konstruowanie urządzeń technicznych, zaawansowane przetwarzanie sygnałów, wizualizacja powierzchniowa i radarowa.



e-mail: bolech@wi.zut.edu.pl

Streszczenie

Bezpośrednia synteza cyfrowa częstotliwości (DDS) jest wykorzystywana w radarach niemal zawsze, jeśli wymagane są: duża rozdzielczość nastawy częstotliwości (poziom Hz i mniej) i duża prędkość przełączania (mniej niż 1 μ s). Synteza taka zapewnia bardzo dobry poziom szumów fazowych, małą niestabilność przełączania (*jitter*) oraz ciągłość fazową przełączania, jednak generuje bliskie harmoniczne. W artykule przedstawione zostało porównanie standardowych rozwiązań DDS na tle realizacji z użyciem FPGA.

Słowa kluczowe: bezpośrednia synteza częstotliwości, reprogramowalne tablice logiczne, radar.

Direct Digital Synthesis (DDS) for radar applications

Abstract

Direct Digital Synthesis (DDS) is widely used in radar systems when high resolution frequency setting is the must (1 Hz or less). And, when modulation scheme of Continuous Wave (CW) radar requires fast changing in shape, or switching (1 μ s or less) the frequency. DDS is less power consuming and more compact in hardware than direct analog synthesis. DDS preserves or even enhances noise level of the source clock, guarantees phase continuity during switching. The main disadvantage of DDS is the spurious level generated as the result of angle discrete integration in time and discrete voltage levels of the output periodic signal. Another disadvantage is the limited bandwidth of a few hundreds of MHz. In this paper a few standard DDS chips are presented. Examples are representative for high quality and high speed demands. Since FPGA technology covered a great piece of digital applications, it is also often used in radar technology. Apart from fast and parallel DSP applications, FPGA can generate arbitrary modulated CW signals. However, FPGA works with lower clocks than standard (or ASIC) chips, it further limits the bandwidth available. But because of the FPGA re-configurability, some dedicated improvements for spurious reduction are available. This makes FPGA the attractive solution, making also system-on-chip integration possible. For these reasons, in this paper an example of FPGA implemented DDS is analyzed too, giving a reference in relation to the standard solutions.

Keywords: DDS, FPGA, Radar.

1. Wstęp

Bezpośrednia cyfrowa synteza częstotliwości (*Direct Digital Synthesis* – DDS) jest często stosowana w radarach, jeśli wymagana jest bardzo duża rozdzielczość nastawy częstotliwości (zwykle poniżej 1 Hz, nawet poziom 1 mHz). Również wtedy, gdy sposób realizowania modulacji radaru z falą ciągłą (*Continuous Wave* – CW) narzuca konieczność szybkiej zmiany wartości częstotliwości, i/lub jej skokową zmianę. W przypadku skokowej zmiany (*Stepped Frequency* – SF) wymagana prędkość przełączania zwykle jest mniejsza niż 1 μ s. Nie rzadkie są też rozwiązania zapewniające prędkość przełączania częstotliwości na poziomie setek nanosekund [1].

Bezpośrednia synteza częstotliwości na drodze cyfrowej nie jest jedynym sposobem uzyskiwania dużej prędkości przełączania wartości częstotliwości generowanego sygnału. Możliwe jest stosowanie analogowej, bezpośredniej syntezy częstotliwości [2]. Jest jednak jedynym sposobem zapewniającym jednocześnie, uzasadnioną kosztowo, rozdzielczość nastawy. W odróżnieniu od metod analogowych, bezpośrednia synteza cyfrowa nie wymaga stosowania przełączanych sekcji powielania i mnożenia oraz przełączanych i/lub przestrajanych sekcji filtrów. Możliwe jest dzięki temu monolityczne scalanie podsystemów syntezy częstotliwości. Prowadzi to miniaturyzacji i zwartości konstrukcji czyniąc ją, tak ważne w przypadku aplikacji radarowych, odporną na wstrząsy i udary.

Jeśli chodzi o jakości generowanego sygnału, to dla radarów wymagania są najwyższe. Można tu mówić o wartościach z przedziału pomiędzy - (90 ÷ 140) dBc/Hz dla szumów fazowych (w odległości 1 kHz) oraz - (110 – 150) dBc/Hz dla szumów amplitudowych. Czystość spektralna (Spurious Free Dynamic Range – SFDR) powinna osiągać wartości nie gorsze niż - (70 ÷ 90) dBc. Stabilność częstotliwościowa często wystarcza na poziomie 1 ppm, jednak bywa czasem wymagana nawet na poziomie 1 ppb [3].

W tym momencie jest miejsce, aby nadmienić o istotnych ograniczeniach i mankamentach bezpośredniej syntezy cyfrowej. Głównym ograniczeniem jest obecnie stosunkowo mały przedział częstotliwości, jaki daje się uzyskać tą drogą. Jest to rząd setek MHz, gdy typowe potrzeby radaru mogą sięgać 100 GHz. Kluczowym mankamentem natomiast jest pojawianie się na wyjściu różnego rodzaju harmonicznych, pochodnych częstotliwości wewnętrznych procesu syntezy. Poziom tych harmonicznych jest znaczny, zwykle dwukrotnie gorszy od wyżej postulowanego (wyrażone w dB). Konieczność ich filtrowania przywraca ograniczenia charakterystyczne dla syntezy analogowej. Tym bardziej, że umiejscowienie częstotliwościowe tych harmonicznych jest trudne do przewidzenia (w odróżnieniu od syntezy analogowej), mogą występować bardzo blisko częstotliwości podstawowej. Na tyle blisko, że bardzo trudno jest je odfiltrować [4].

Tym nie mniej, zalety bezpośredniej syntezy cyfrowej są na tyle atrakcyjne, że jest ona powszechnie stosowana w systemach radarowych. Problemy rozwiązywane są na różne sposoby, w zależności od konkretnych wymagań. Dla mniejszych prędkości zmienności częstotliwości stosowane są technologie PLL (*Phase Locked Loop*). Działania takie określane są mianem syntezy pośredniej [2]. Stosowane są też metody polepszania czystości spektralnej sygnału realizowane na drodze modulacji SSB [5]. Poprzez modulację kwadraturową można uzyskać poprawę o wartość 35 dB. Inne podejścia dotyczą skrupulatnego planowania generowanych częstotliwości tak, aby pojawiające się harmoniczne były dostatecznie oddalone od wartości głównej [6]. Istnieje też wiele opracowań koncentrujących się na samej istocie cyfrowej syntezy częstotliwości i sposobach polepszania jej jakości (np.: [7]).

Technologia FPGA (*Field Programmable Gate Array*) stała się już standardowym podejściem w realizacji wysoce wydajnych obliczeń cyfrowego przetwarzania sygnałów. Ta wysoka wydajność uzyskiwana jest głównie poprzez niskopoziomowe zrównoleglenie działań. Technologia FPGA oferuje wręcz programistyczne podejście do realizowania aplikacji. W rezultacie, w znacznej mierze wyparła z rynku rozwiązania ASIC (*Application Specific Integrated Circuit*) i/lub standardowe (mikroprocesory DSP). Jednak, technologia FPGA posiada ograniczoną prędkość taktowania (w obliczeniach, rekompensowana równoległością działań).

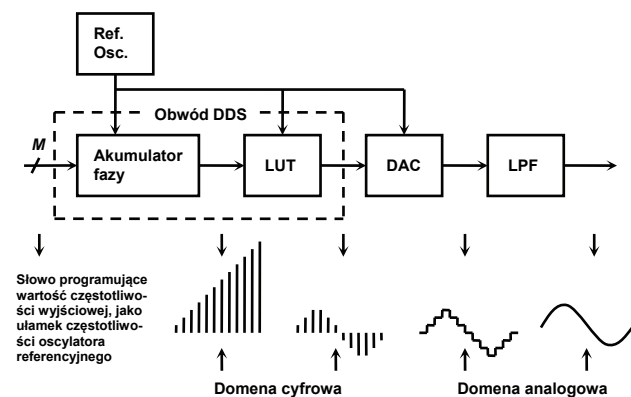
Urządzenia radarowe charakteryzują się znacznym kosztem, długość serii produkcyjnej jest ograniczona, intensywność obliczeniowa przetwarzania sygnałów – ogromna. Występuje duża potrzeba wprowadzania modyfikacji algorytmów obliczeniowych

już w trakcie eksploatacji radaru. Są to typowe przesłanki dla stosowania technologii FPGA. Wziąwszy pod uwagę pojemność logiczną obecnie dostępnych układów scalonych tego typu, podejście jednomodułowe (*System-on-Chip*) jest tu efektywnym rozwiązaniem. Synteza częstotliwości też powinna zawierać się w tym module. Pomimo ograniczonej częstotliwości taktowania chętnie stosowane są sposoby szczegółowego, dedykowanego poprawiania parametrów syntezy właśnie dla tego, że realizowanej w strukturach FPGA [8].

W kilku punktach przedstawiono w artykule zarys problematyki cyfrowej syntezy częstotliwości w kontekście najbardziej typowych, komercyjnie dostępnych rozwiązań. W punkcie 2 została omówiona zasada bezpośredniej cyfrowej syntezy częstotliwości. W punkcie 3 omówiono technologię firmy Analog Devices oraz przedstawione zostały testy użycia modułu firmy Euvis. Punkt 4 przedstawia testy dotyczące aplikacji syntezy z użyciem FPGA, firmy Innovative Integration. Punkt 5 zawiera podsumowanie i wnioski.

2. Bezpośrednia synteza cyfrowa

Podstawą realizacji bezpośredniej cyfrowej syntezy częstotliwości jest mechanizm cyklicznego powtarzania w czasie określanym dyskretnie, skończonego ciągu wartości chwilowych generowanego sygnału, określanymi również dyskretnie [9]. Odbywa się to poprzez akumulowanie pewnej, ustalonej wartości odpowiadającej przyrostowi wartości kąta generowanego okresu z każdym upływającym przedziałem przyrostu czasu (Akumulator fazy – rys. 1).



Rys. 1. Koncepcja realizacji bezpośredniej syntezy częstotliwości na drodze cyfrowej (rysunek inspirowany przez: [9])

Fig. 1. Basic idea of direct digital frequency synthesis (drawing inspired by: [9])

Niech tą stałą, akumulowaną wartością będzie M , a pojemność logiczna akumulatora niech wynosi N , to akumulator ulegnie przepełnieniu po upływie $2^N/M$ odcinków czasowych. Generowany przebieg ma częstotliwość f_{DDS} , określoną według następującej formuły:

$$f_{\text{DDS}} = M/2^N \cdot f_{\text{OSC}}. \quad (1)$$

Odcinek czasu określony jest okresem częstotliwości oscylatora referencyjnego i ma wartość stałą. Wartość M jest programowalna, aby umożliwić dobór częstotliwości, najmniejsza częstotliwość generowanego sygnału zostanie uzyskana dla $M = 1$.

Wartości dyskretne generowanego sygnału przypisywane są poszczególnym, bieżącym wartościom fazy poprzez mechanizm, z reguły, tablicy asocjacyjnej (*look-up table* – LUT). Powstaje ciąg wartości dyskretnych odzwierciedlających zadany przebieg periodyczny. Przebieg ten może mieć dowolny kształt, z natury próbkowania podlega kryterium Nyquista. W przypadku syntezy częstotliwości dla potrzeb radiotechniki, chodzi o zbudowanie przebiegu sinusoidalnego, o maksymalnej czystości spektralnej.

Omówiony wyżej mechanizm budowania przebiegu w obwodzie bezpośredniej syntezy cyfrowej realizowany jest w obwodzie jedynie cyfrowym (Obwód DDS). Przebieg należy przenieść do domeny analogowej na drodze przetwarzania cyfrowo-

analogowego (DAC – *Digital-to-Analog Conversion*). Jednak przetwarzanie cyfrowo-analogowe przenosi również dyskretny charakter generowanego przebiegu do domeny analogowej, generując szkodliwe harmoniczne; napięcie odtwarzane jest skokowo. Efekt jest analogiczny do działania mieszacza, dając produkt (f_{SPUR}) w następującej postaci:

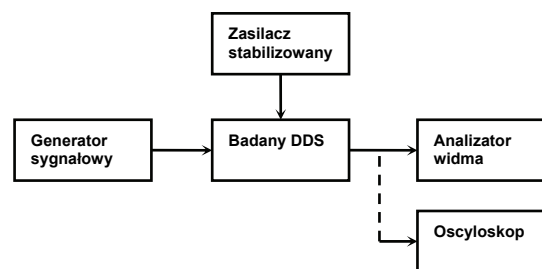
$$f_{\text{SPUR}} = \pm n \cdot f_{\text{OSC}} \pm m \cdot f_{\text{DDS}}. \quad (2)$$

Wartości n i m , to liczby naturalne. Istnieją również inne źródła tworzące szkodliwe spektrum na wyjściu (np.: przenikanie sygnału oscylatora, przełączanie obwodów pomocniczych, nieliniowość itd).

Filtr dolnoprzepustowy (LPF – *Low Pass Filter*) ma za zadanie usuwać te harmoniczne. Im gęściej (stosunek częstotliwości oscylatora referencyjnego do częstotliwości generowanego sygnału) i dokładniej (liczba bitów przetwornika DAC) będzie odtworzony przebieg sinusoidalny, tym dalej od generowanej częstotliwości będą oddalone szkodliwe harmoniczne i tym mniejszą moc będą posiadały – tym łatwiej mogą być filtrowane.

3. Przykłady rozwiązań standardowych

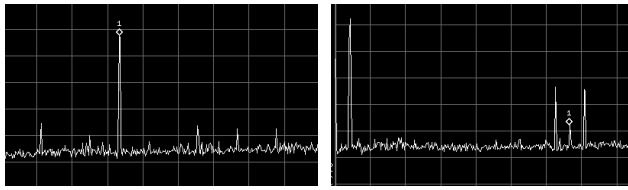
Zestawiono zostało stanowisko do testowania elementów DDS (rys. 2). Źródłem sygnału zegarowego był wysokiej jakości generator sygnałowy typu E4421B. Do analizy sygnału posłużył analizator widma typu E4403B. Dodatkowo, został wykorzystany oscyloskop (TDS 784D) do obserwowania kształtu obwiedni generowanego sygnału. Odpowiedni zasilacz stabilizowany (jeśli konieczny) służy do zasilania testowanego obwodu DDS.



Rys. 2. Elementy stanowiska do pomiaru jakości generowanego sygnału DDS
Fig. 2. Components of the DDS signal quality measurement setup

Firma Analog Devices oferuje obszerną serię scalonych układów typu DDS. Począwszy od elementów małej mocy, tym samym małej częstotliwości (16 MHz), aż do elementów taktowanych zegarem na poziomie 1 GHz. Przedstawicielem produktu DDS o najbardziej zaawansowanych parametrach jest element typu AD9910, pozwala generować sygnał wyjściowy na poziomie 400 MHz. Przetwornik cyfrowo-analogowy ma rozdzielczość 14 bitów. Rozdzielczość nastawy, to 0,23 Hz. Próg szumowy w odległości 1 kHz jest lepszy niż -125 dBc/Hz.

Elementy DDS firmy Analog Devices są dobrze udokumentowane na stronie internetowej firmy. Z tego względu, dla celów porównawczych, Autor wybrał element innego producenta, jest to element typu DS872 firmy Euvis, oferuje najprawdopodobniej najlepsze prędkości pracy wśród elementów dostępnych komercyjnie. Pozwala na taktowanie z częstotliwością sięgającą 3,2 GHz, umożliwiając dokonywanie syntezy częstotliwość sygnału wyjściowego do wartości częstotliwości sięgającej 1,5 GHz. Element pozwala generować pojedynczą częstotliwość w sposób typowy dla DDS. Jest również bardzo użyteczny do generowania liniowych lub innych (*chirping*) trajektorii zmian właściwości generowanego sygnału. Możliwe jest to dzięki bardzo szybkiemu modyfikowaniu (1/8 cyklu taktowania) wartości nastawy amplitudy (11 bitów), częstotliwości (32 bity) i fazy (13 bitów). Szumy fazowe są na bardzo dobrym poziomie, bo w odległości 10 kHz wynoszą -145 dBc/Hz.



Rys. 3. Odczyt spektralny dla 125 MHz oraz dla 1 GHz (prawa strona)
Fig. 3. Spectral response for 125 MHz (on left) and 1 GHz (on right)

Do testów wykorzystana została płyta prototypowa z elementem DS872. Przeprowadzony został odczyt spektrum kolejno dla 125, 250, 500 i 1000 MHz. Na rys. 3 przedstawione zostały przykładowe ekrany odczytowe dla 125 MHz (lewa strona) i 1 GHz (prawa strona). Rzeczywiście, jak zapewniają producenci współczynnik SFDR utrzymuje się w granicach 50 dB i nie jest przekraczany aż do wartości częstotliwości równej $f_{OSC} - f_{DDS}$. Widać to wyraźnie na rys. 3, znacznik #1 wskazuje wartość 2 GHz. Jest to wartość częstotliwości taktowania obwodu, jak widać, przenika na wyjście analogowe układu scalonego. W związku z tym, gdy generowana częstotliwość staje się większa niż 500 MHz zachodzi problem filtrowania przenikającego na wyjście sygnału oscylatora oraz sygnału wartości różnicy z sygnałem generowanym.

4. Synteza z użyciem FPGA

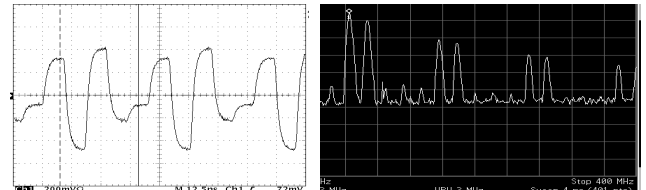
Do testowania implementacji DDS z wykorzystaniem FPGA zastosowana została karta firmy Innovation Integration typu X5-400M, zawierająca moduł typu Virtex5 (SX95T). Karta ma szerokie przeznaczenie w zakresie prototypowania ale również, jako dedykowane urządzenie pomiarowe. Do akwizycji sygnału analogowego wykorzystywane są dwa, 14 bitowe przetworniki A/D o prędkości próbkowania 400 MHz. Karta posiada też dwa przetworniki typu D/A, są to 16 bitowe układy o prędkości taktowania 500 MHz. Ta ostatnia cecha umożliwia implementację kompletnej (z częścią analogową) funkcji DDS.

Karta posiada bardzo bogate zasoby biblioteczne zarówno od strony predefiniowanych bloków logicznych FPGA, jak i bibliotek poziomu C++ przydatnych do realizacji aplikacji komunikacyjnych (PCIe) oraz syntezy, analizy i obróbki sygnału na poziomie PC. Predefiniowane bloki funkcjonalne FPGA implementowane mogą być bezpośrednio poprzez projekty środowiska Xilinx ISE. Mogą być też implementowane za pośrednictwem narzędzi MATLAB/Simulink (następnie: System Generator + ISE). Do testowania użyty został gotowy, biblioteczny moduł funkcjonalny DDS firmy Innovation Integration.

Tab. 1. Poziom zniekształceń THD dla poszczególnych częstotliwości sygnału
Tab. 1. Total harmonic distortion (THD) for each generated frequency

f_{DDS} [MHz]	2,219	5,548	8,884	9,995	11,11	22,21	44,39
THD [%]	0,05	0,05	0,11	1,53	8,17	22,58	14,71

W pierwszej serii testów (zgodnie z rys. 2) istotne było określenie zakresu stosowalności modułu DDS. Tab. 1 obrazuje kolejne, generowane częstotliwości i jakość generowanego sygnału ocenianego pod kątem zniekształceń powodowanych zawartością harmoniczną generowanego sygnału (mierzone dla 10 pierwszych harmonicznym, THD). Pomiar ten wskazuje na załamywanie się jakości sygnału przy częstotliwości 9,995 MHz (ułamkowe wartości wynikają ze specyfiki nastawy). Zważywszy na to, że częstotliwość taktowania wynosi 200 MHz, jest to 1/20 tej częstotliwości. Nie dyskwalifikuje to jednak układu dla pracy przy wyższej częstotliwości gdyż ważna jest możliwość łatwej filtracji niepożądanych częstotliwości oraz wykorzystanie wyższych harmonicznym. W tym przypadku druga harmoniczna miała wartość -62 dBc. Dla 22,21 MHz pomierzona, druga harmoniczna ma wartość -55 dBc. Nadal nie obserwuje się innych harmonicznym (składowych od oscylatora) bliżej podstawowej; pomiędzy pierwszą, a drugą harmoniczną.



Rys. 4. Oscylogram przebiegu (lewa strona) oraz odczyt spektralny (prawa strona) dla przebiegu o częstotliwości 44,39 MHz

Fig. 4. Screens of oscilloscope (on left) and spectrum analyzer (on right) of 44.39 MHz output signal

Dla częstotliwości 44,39 MHz występuje pozorna poprawa wartości THD, wynika to z faktu zaistnienia harmonicznym umiejscowionych w połowie wartości częstotliwości podstawowej, szczególnie trudnych do odfiltrowania (rys. 4).

5. Wnioski

Przeprowadzone testy potwierdziły prawdziwość przytoczonych postulatów we wstępie. Oryginalność przeprowadzonych testów i porównań wynika z przybliżenia dwóch przykładów, standardowego i z użyciem FPGA, co do których nie można jeszcze znaleźć satysfakcjonującej literatury źródłowej.

Użycie układu DS872 daje bardzo duży zakres przestrajania i zapewnia doskonale możliwości realizacji złożonego modulowania sygnału radarowego. Mankamenty tego rozwiązania są typowe; upływność sygnału oscylatora oraz duże (ponad 3 W) zużycie mocy. Układ FPGA generuje sygnał doskonałej jakości, ale nie udało się wygenerować przebiegu o częstotliwości nawet 50 MHz. Układ FPGA okazał się być szczelny z uwagi na sygnał oscylatora jednak, jego użycie w systemach radarowych obarczone musi być koniecznością dodania rozbudowanych obwodów analogowych.

Publikacja przedstawia elementy rezultatów prac wykonywanych zgodnie z umową nr 0091/R/TOO/2010/12, o wykonanie projektu rozwojowego Nr 0 R00 0091 12 z dn. 30-11-2010, zawartą z Ministrem Nauki i Szkolnictwa Wyższego.

6. Literatura

- [1] Stavenick Peter: Synthesizers Offer Submicrosecond Switching, *Microwaves & RF*, No 51, pp. 98-102, June 2002.
- [2] Chenakin Alexander: Frequency Synthesizers Concept to Products, Artech House, Inc., ISBN 13: 978-1-59693-230-2, 2011.
- [3] Khitrovskiy V.A.: Circuitry and Technological Aspects of Frequency Synthesizers Design for Modern Radars, MSMW'04 Symposium Proceedings. Kharkov, Ukraine, June 21-26, 2004.
- [4] Kroupa Venceslav F.: Phase and Amplitude Disturbances in Direct Digital Frequency Synthesizers, *IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control*, Vol. 46, No. 3, pp. 481-486, May 1999.
- [5] Cushing Rick: Single-Sideband Upconversion of Quadrature DDS Signals to the 800-to-2500-MHz Band, *Analog Dialogue* 34-3, 2000.
- [6] Chao Huang, Li-xiang Ren, Er-ke Mao, Pei-kun He: A Systematic Frequency Planning Method in Direct Digital Synthesizer (DDS) Design, *Wireless Communications & Signal Processing*, 2009. WCSP 2009. International Conference on, pp. 1-4, 13-15 Nov 2009.
- [7] Flanagan Michael J. and Zimmerman George A.: Spur-Reduced Digital Sinusoid Synthesis, *IEEE Transactions on Communications*, Vol. 43, No. 7, pp. 2254-2262, July 1995.
- [8] Omran Hesham, Sharaf Khaled and Ibrahim Magdy: An All-Digital Direct Digital Synthesizer Fully Implemented on FPGA, *Design and Test Workshop (IDT), 2009 4th International*, pp. 1-6, 2009.
- [9] Analog Devices, Inc., A Technical Tutorial on Digital Signal Synthesis, 1999.