

Ryszard SZPLET, Michał POTERAŁSKI
 WOJSKOWA AKADEMIA TECHNICZNA, INSTYTUT TELEKOMUNIKACJI
 ul. Gen. Sylwestra Kaliskiego 2, 00-908 Warszawa

Precyzyjny przetwornik czas-liczba z powielaniem i uśrednianiem czasu trwania impulsu

Dr inż. Ryszard SZPLET

Ukończył studia na Wydziale Elektroniki Wojskowej Akademii Technicznej. W 1997 r. obronił pracę doktorską. Odbył staż naukowy na Uniwersytecie w Oulu (Finlandia). Jest adiunktem w Instytucie Telekomunikacji WAT. Jego zainteresowania naukowe dotyczą precyzyjnej metrologii czasu i projektowania układów cyfrowych z użyciem układów programowalnych i specjalizowanych.



e-mail: rszplet@wat.edu.pl

Inż. Michał POTERAŁSKI

Jest absolwentem studiów inżynierskich na Wydziale Elektroniki Wojskowej Akademii Technicznej (2012). Obecnie kontynuuje naukę na drugim stopniu studiów o specjalności Systemy Telekomunikacyjne. Jego zainteresowania dotyczą m. in. zastosowania układów FPGA do realizacji cyfrowego przetwarzania sygnałów na potrzeby telekomunikacji.



e-mail: michalpoteralski@gmail.com

Streszczenie

W artykule opisano projekt i wyniki badań przetwornika czas-liczba o rozdzielczości 1.9 ps i niepewności pomiarowej nie większej niż 12.2 ps. Do konwersji czasowo-cyfrowej zastosowano metodę uśredniania czasu trwania impulsu. W metodzie tej informacja o mierzonym odcinku czasu zawarta jest w czasie trwania impulsu, który propagując się w zamkniętej pętli opóźniającej jest wielokrotnie mierzony metodą licznikową z wykorzystaniem zegara wielofazowego o wysokiej częstotliwości, a uzyskane w ten sposób wartości są uśredniane. Przetwornik został wykonany w układzie programowalnym Spartan-6 firmy Xilinx.

Słowa kluczowe: precyzyjna metrologia czasu, przetwornik czas-liczba, metoda uśredniania, układy FPGA.

A high precision time-to-digital converter based on pulse repetition and time width averaging

Abstract

This paper describes the design and test results of a time-to-digital converter with 1.9 ps resolution and measurement uncertainty below 12.2 ps (Fig. 4). The time-to-digital conversion is based on time width averaging. Information about the measured time interval is contained in the width of a pulse that circulates in a closed delay loop and its width is measured by the counting method with use of a high frequency multiphase clock (Fig. 1). The converter resolution is directly proportional to the number of cycles of the measured pulse in the delay loop, the number of phases and frequency of a clock used (2). However, increase in the number of loop cycles causes growth in the jitter of circulating pulse edges that finally leads to deterioration in the measurement precision. Therefore, in order to obtain the highest precision of conversion, the number of cycles for which the converter provides the smallest measurement uncertainty was experimentally determined. In addition, to minimize a disadvantageous impact of unequal propagation times of the loop elements for the rising and falling pulse edges on the value of the measured time interval, the information about the measured time interval is contained between the rising edges of the pulse-pair instead of the opposite (rising and falling) edges of a single pulse (Fig. 2). The converter was implemented in a programmable device Spartan-6 manufactured by Xilinx. (Xilinx).

Keywords: precise time metrology, time-to-digital converter, averaging method, FPGA devices.

1. Wstęp

Do precyzyjnej konwersji czasowo-cyfrowej powszechnie stosowane są metody cyfrowe [1], zapewniające możliwość realizacji kompletnego przetwornika w pojedynczym układzie scalonym. Wśród metod cyfrowych najczęściej stosowana jest konwersja z użyciem dyskretnej linii kodującej, która jest łatwa do implementacji układowej oraz zapewnia krótki czas konwersji. Jednakże, rozdzielczość takiego przetwornika jest ściśle związana z technologią mikroelektroniczną, w której układ jest wykonany.

Ponadto, zwiększanie rozdzielczości przy jednoczesnym zachowaniu zakresu pomiarowego, wymaga użycia dłuższych linii kodujących, co zwiększa błędy przetwarzania. W celu poprawienia precyzji przetwornika konieczne staje się stosowanie bardziej złożonych metod z użyciem równoległych linii skalowanych (*parallel scaled delay lines*) [2], wielokrotnych linii kodujących (*multiple coding lines*) [3], kodowania wielokrotnego (*wave union*) [4] lub konwersji dwustopniowej [5]. Są to metody bardziej zaawansowane, stwarzające znaczne problemy projektowe i implementacyjne.

Znaną techniką, umożliwiającą podwyższenie rozdzielczości i precyzji pomiaru jest uśrednianie wyników serii pomiarów [6]. Praktycznym ograniczeniem tej metody jest konieczność zapewnienia repetycji mierzonego odcinka czasu, co w rzeczywistych systemach nie zawsze jest możliwe. Rozwiązaniem eliminującym ten problem jest metoda polegająca na zawarciu informacji o mierzonym odcinku czasu w szerokości impulsu, który propaguje się w pętli opóźniającej, a jego czas trwania jest wielokrotnie mierzony z użyciem metody licznikowej [1]. Ponieważ rozdzielczość metody licznikowej jest proporcjonalna do częstotliwości sygnału zegarowego, którego okresy są zliczane w czasie trwania mierzonego odcinka, zasadne jest zastosowanie wielofazowego zegara o wysokiej częstotliwości. Rozwiązanie takie było już przez autorów testowane [7]. Jednak stały rozwój technologii mikroelektronicznych, a w szczególności wyższa jakość wbudowanych bloków funkcjonalnych w najnowszych układach programowalnych umożliwia osiągnięcie lepszych parametrów przetwarzania.

Niniejszy artykuł zawiera opis precyzyjnego przetwornika czas-liczba zrealizowanego w układzie programowalnym FPGA i opartego na uśrednianiu czasu trwania impulsu krążącego w pętli.

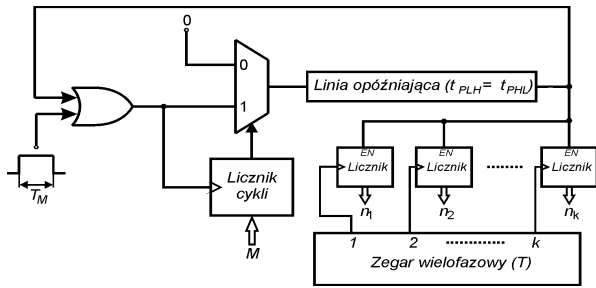
2. Metoda przetwarzania

Impuls o mierzonym czasie trwania T_M podawany jest na wejście pętli opóźniającej złożonej z bramki OR, multiplexera i linii opóźniającej (rys. 1). Elementy pętli charakteryzują się jednakowymi czasami propagacji dla obydwu zwojów impulsu ($t_{PLH} = t_{PHL}$), dzięki czemu czas trwania impulsu propagującego się w pętli nie ulega zmianie i teoretycznie może on krążyć w pętli dowolnie długo. Podczas każdego obiegu, impuls jest sygnałem zezwolenia na zliczanie dla liczników taktowanych kolejnymi fazami k -fazowego sygnału zegarowego o okresie T . Gdy liczba cykli, zliczana przez licznik cykli, osiąga założoną wartość M , proces propagacji zostaje wstrzymany. Wartość mierzonego odcinka czasu może być wówczas obliczona z zależności:

$$T_M = (T \sum n) / (kM) \quad (1)$$

gdzie $\sum n$ jest sumaryczną zawartością wszystkich k liczników.

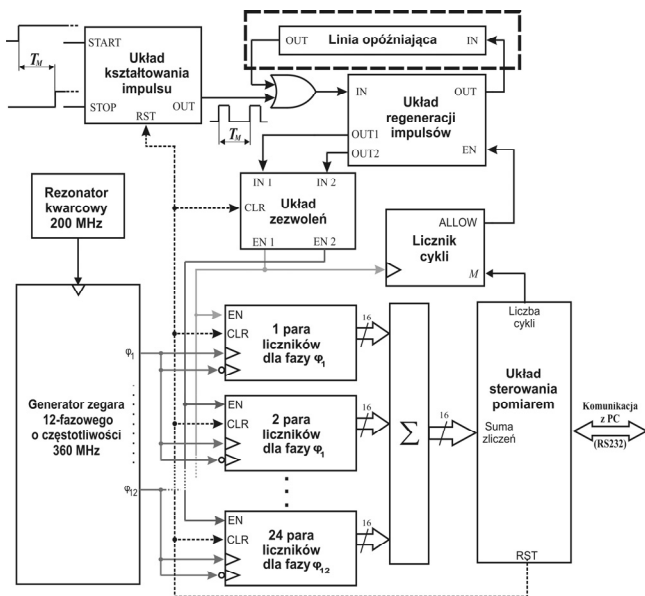
Fundamentalnym założeniem zapewniającym poprawność metody uśredniania jest asynchroniczność mierzonego impulsu i sygnału zegarowego. Założenie to jest zazwyczaj łatwe do spełnienia.



Rys. 1. Uproszczony schemat przetwornika
Fig. 1. Simplified block diagram of the converter

3. Projekt przetwornika

Uproszczony schemat blokowy opracowanego przetwornika jest pokazany na rys. 2. Informacja o mierzoneym odcinku czasu T_M zawarta jest między zboczami narastającymi impulsów START i STOP, podawanymi na wejścia układu kształtowania impulsu.



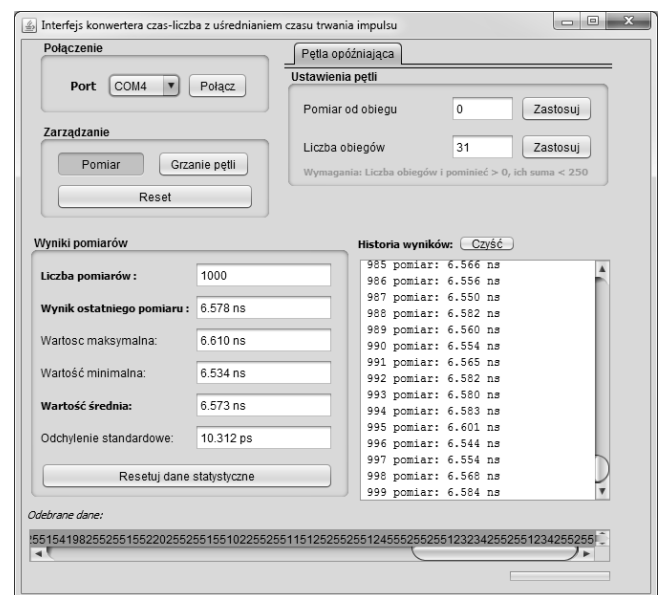
Rys. 2. Schemat blokowy opracowanego przetwornika
Fig. 2. Block diagram of the developed converter

Układ ten generuje parę krótkich impulsów ($t_w \approx 1.2$ ns), w odstępie równym mierzonemu odcinkowi czasu, które następnie propagują się wielokrotnie w pętli opóźniającej. Zawarcie informacji o mierzonej odcinku czasu nie w pojedynczym impulsie, tj. pomiędzy jego zboczami narastającym i opadającym, a w odstępie między parą impulsów, tj. pomiędzy dwoma narastającymi zboczami, pozwala zmniejszyć negatywny wpływ niejednakowych czasów propagacji elementów pętli opóźniającej dla różnych zboczy. Linia opóźniająca została utworzona z użyciem elementów łańcucha szybkich przeniesień arytmetycznych (carry chain). Elementy te, łączone bez pośrednictwa macierz przełączeniowych, zapewniają zblżone czasy propagacji dla obydwu zboczy. Jest to istotne ze względu na krótki czas trwania krążących impulsów, co w przypadku $t_{PLH} > t_{PHL}$ prowadziłoby do ich szybkiego zanikania. Dodatkowo, w celu zapobieżenia nadmiernemu wydłużaniu lub skracaniu impulsów, po każdym obiegu w pętli zostają one odtworzone w układzie regeneracji.

Impulsy krążące w pętli pojawiają się cyklicznie na wyprowadzeniach linii opóźniającej, przesuniętych względem siebie o połowę jej długości. Impulsy te są użyte w układzie zezwoleń do wytworzenia dwóch sygnałów zezwolenia na zliczanie ($EN1$ i $EN2$) dla liczników okresów sygnału zegarowego. Zastosowanie drugiego, opóźnionego w czasie sygnału zezwolenia wraz z dodatkowym licznikiem okresów może być traktowane, jako ekwiwalent podwojenia liczby cykli w pętli, co z kolei umożliwia podwojenie rozdzielczości przetwornika.

Rozdzielczość przetwornika zwiększa się także ze wzrostem liczby faz zegara. Współczesne układy programowalne mają wbudowane bloki funkcjonalne, umożliwiające względnie łatwe wytwarzanie zegarów wielofazowych. Jednakże, z doświadczeń eksperymentalnych wynika, że zegar o bardzo dużej liczbie faz (powyżej kilkunastu) i wysokiej częstotliwości (kilkaset MHz) charakteryzuje się na ogół małą równomiernością opóźnień międzyfazowych, co prowadzi do pogorszenia liniowości konwersji. W przetworniku zastosowano zegar 12-fazowy o częstotliwości 360 MHz. Został on wytworzony z użyciem wbudowanych bloków PLL (Phase Locked Loop), taktowanych sygnałem o częstotliwości 200 MHz z zewnętrznego oscylatora kwarcowego. Sposobem na podwojenie liczby faz zegara wielofazowego bez pogorszenia równomierności opóźnień międzyfazowych jest zliczanie w czasie trwania mierzonego odcinka również zboczy opadających sygnału zegarowego. W ten sposób, wytworzony w przetworniku sygnał zegarowy jest równoważny sygnałowi 24-fazowemu.

Do zliczania okresów zegara użyte zostały dwadzieścia cztery pary 16-bitowych liczników szeregowych. W każdej parze jeden licznik reaguje na zbocze narastające sygnału zegarowego, a drugi na jego zbocze opadające (rys. 2). Dla dwunastu par liczników sygnałem zezwolenia na zliczanie jest sygnał $EN1$, a dla pozostałych dwunastu sygnał $EN2$. Ponieważ częstotliwość sygnału zegarowego jest stosunkowo wysoka (360 MHz), a liczniki rozpoczynają i kończą zliczanie asynchronicznie względem zegara, dlatego w celu zminimalizowania prawdopodobieństwa wystąpienia stanów metastabilnych zastosowano w licznikach synchronizatory podwójne [5].



Rys. 3. Interfejs użytkownika po zakończeniu sesji pomiarowej
Fig. 3. User interface after a measurement session

Liczba cykli w pętli opóźniającej jest zliczana przez licznik cykli i po osiągnięciu założonej wartości (M) proces cyrkulacji jest przerywany. Całkowita zawartość wszystkich liczników okresów jest przesyłana do komputera sterującego z użyciem interfejsu komputerowego zrealizowanego w środowisku Java. Dedykowana aplikacja sterująca (rys. 3) umożliwia m. in. wybranie trybu pracy przetwornika (pomiar lub stabilizacja termiczna pętli), zadeklaro-

wanie liczby cykli i liczności serii pomiarowej oraz analizę statystyczną wyników (obliczenie wartości średniej, minimalnej, maksymalnej i odchylenia standardowego).

Przetwornik został zaprojektowany z użyciem systemu *ISE Design Suite* i wykonany w układzie Spartan-6 (XC6SLX45T) firmy *Xilinx*. Do realizacji projektu użyto 16% komórek logicznych, 50% bloków PLL oraz 68% buforów globalnych układu.

4. Badania eksperymentalne

Badania eksperymentalne przetwornika przeprowadzone zostały z użyciem nominalnych napięć zasilających układu FPGA, w stałej temperaturze około 20°C. Sesje pomiarowe poprzedzane były dwudziestominutowym wygrzewaniem układu.

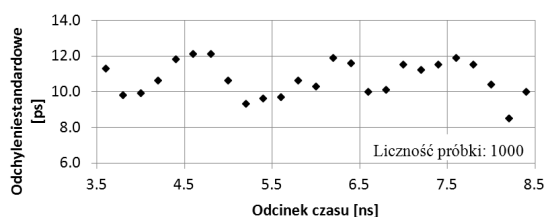
Pierwsze testy przetwornika miały na celu określenie optymalnej liczby cykli w pętli. Jak wynika z zależności (1), wraz ze wzrostem liczby cykli zwiększa się rozdzielczość przetwarzania. Maleje więc wartość błędu kwantyzacji, co skutkuje wzrostem precyzji przetwornika. Jednakże, zwiększanie liczby cykli impulsu w pętli powoduje także wzrost rozmycia czasowego zboczy impulsu, co przy nadmiernie dużej liczbie cykli prowadzi do znacznego pogorszenia precyzji. Zatem w celu uzyskania najwyższej jakości przetwarzania konieczne jest określenie liczby cykli, dla której przetwornik charakteryzuje się najmniejszą niepewnością pomiarową. W wyniku testów opracowanego przetwornika określono, że optymalna liczba cykli wynosi 31.

Rozdzielczość przetwornika, rozumiana jako wartość najmniej znaczącego bitu (LSB) w kodzie wyjściowym przetwornika, jest obliczana według następującej zależności:

$$1\text{LSB} = 1 / (2kMf) \quad (2)$$

Zatem przetwornik o ekwiwalentnej liczbie faz $k = 24$, częstotliwości zegara $f = 360$ MHz i liczbie cykli $M = 31$ ma rozdzielczość 1,87 ps.

Niepewność pomiarowa przetwornika została określona jako odchylenie standardowe serii pomiarów 25 odcinków czasu w zakresie od 3,6 ns do 8,4 ns, wytworzonych z użyciem generatora opóźnień GFT1004 (*Greenfield Technology*) o wysokiej precyzji (jitter < 4 ps). Uzyskane wartości odchylenia nie przekraczają 12,2 ps (rys. 4).



Rys. 4. Niepewność pomiarowa przetwornika
Fig. 4. Measurement uncertainty of the converter

W czasie testów określono również charakterystykę przetwarzania, która jest funkcją monotoniczną o maksymalnej nieliniowości sumacyjnej równej 8,1 ps.

5. Podsumowanie

Opracowany scalony przetwornik czas-liczba charakteryzuje się wysoką rozdzielczością 1,9 ps i niepewnością pomiarową nie przekraczającą 12,2 ps w zakresie pomiarowym 4,8 ns. Uzyskanie wysokich parametrów było możliwe dzięki cyklicznemu odtwarzaniu w układzie programowalnym impulsu niosącego informację o mierzonym czasie trwania. Pozwoliło to na zastosowanie metody uśredniania nawet wtedy, gdy mierzony odcinek czasu dostępny był na wejściu przetwornika jednokrotnie. Wysoka rozdzielczość przetwornika została osiągnięta także poprzez zastosowanie wielofazowego zegara o wysokiej częstotliwości.

Jak wykazały prace projektowo-badawcze, znaczny wpływ na parametry przetwornika ma jakość projektu topograficznego. Ponieważ do uzyskania ostatecznej wersji tego projektu konieczne było wykonanie wielu modyfikacji weryfikowanych praktycznie, istotnym ułatwieniem w realizacji przetwornika było zastosowanie układu FPGA wielokrotnego programowania.

Projekt został sfinansowany ze środków Narodowego Centrum Nauki przyznanych na podstawie decyzji numer DEC-2011/01/B/ST7/03278.

6. Literatura

- [1] Kalisz J.: Review of methods for time interval measurements with picosecond resolution; *Metrologia* 41, 2004, str. 17-23.
- [2] Jansson J., Mantyniemi A., Kosamovaara J.: A CMOS time-to-digital converter with better than 10 ps single-shot resolution; *Journal of Solid-State Circuits*, vol. 41, no. 6, 2006, str. 1286-1296.
- [3] Szplet R., Jachna Z., Kalisz J.: A Flash Time-to-Digital Converter with Two Independent Time Coding Lines, *IEEE 2011 ADC Forum*, Orvieto, Italy, 2011.
- [4] Wu J., Shi Z.: The 10-ps Wave Union TDC: Improving FPGA TDC Resolution beyond Its Cell Delay, *IEEE Nuclear Science Symposium Conference Record*, 2008, str. 3440 – 3446.
- [5] Szplet R., Kalisz J., Jachna Z.: A 45 ps time digitizer with two-phase clock and dual-edge two-stage interpolation in Field Programmable Gate Array device; *Measurement Science and Technology*, vol. 20, no. 2 (025108), 2009.
- [6] Time interval averaging; *Hewlett-Packard Application Note* 162-1, 1970.
- [7] Szplet R., Jarzyński S.: Wysokorozdzielczy konwerter czasowo-cyfrowy z próbkowaniem impulsu, *PAK* 2009 nr 08, str. 642-644.

otrzymano / received: 26.04.2012

przyjęto do druku / accepted: 01.06.2012

artykuł recenzowany / revised paper

INFORMACJE

Zapraszamy do publikacji artykułów naukowych w czasopiśmie PAK

Redakcja czasopisma POMIARY AUTOMATYKA KONTROLA
44-100 Gliwice, ul. Akademicka 10, pok. 30b,
tel./fax: 32 237 19 45, e-mail: wydawnictwo@pak.info.pl