

Sławomir MICHALAK

POLITECHNIKA POZNAŃSKA, WYDZIAŁ ELEKTRONIKI I TELEKOMUNIKACJI,
ul. Polanka 3, 60-965 Poznań

Częstościomierz z układem CPLD i mikroprocesorem AVR

Dr inż. Sławomir MICHALAK

Pracuje jako adiunkt w Katedrze Systemów Telekomunikacyjnych i Optoelektroniki na Wydziale Elektroniki i Telekomunikacji Politechniki Poznańskiej. W pracy naukowo-dydaktycznej zajmuje się zagadnieniami komputerowego wspomaganie projektowania, symulacji układów elektronicznych, programowaniem układów mikroprocesorowych i układów programowalnych. Zajmuje się tematyką pozyskiwania informacji z inteligentnych czujników pomiarowych.



e-mail: michalak@et.put.poznan.pl

Streszczenie

W artykule przedstawiono układ częstościomierza, zrealizowanego w strukturze reprogramowalnej CPLD i 8-bitowym mikroprocesorze. Część zadań związana ze zliczaniem impulsów implementowana jest w układzie programowalnym (układy liczników, rejestrów, multipleksera), część zadań związana z obróbką danych i prezentacją wyniku, realizowana jest programowo w mikroprocesorze. Przedstawiono przykład zmiany koncepcji realizacji układów licznikowych, pozwalający na optymalne wykorzystanie zasobów obu układów.

Słowa kluczowe: CPLD, AVR, częstościomierz, mikroprocesor.

Frequency meter with CPLD and AVR microprocessor**Abstract**

In this paper a simple frequency meter based on CPLD and 8-bit microprocessor is presented. This is an example, where typical functions were divided into hardware and software parts (so-called Software Hardware Co-Design Structure). The hardware part (counters, registers, multiplexer) was implemented inside a programmable device XC9572XL - Xilinx (Fig. 1), the software part was made with an 8-bit AVR ATmega88 microprocessor (Atmel). Cooperation of the CPLD device and microprocessor gives a very flexible structure (Fig. 2) which can be easily modified both in hardware and software. An example of modification inside CPLD is shown in Fig. 3. In this case the other structure of a counter and register is proposed. There is one 28-bit counter instead of a cascade of decimal counters and the necessary changes can be easily reprogrammed both inside the CPLD structure and in the program code for a microprocessor, without any changes in connections between these devices. The frequency meter can work from 1 Hz to 99 999 999 Hz and presents results on an LCD display. The measurement accuracy depends mainly on the quality of the clock signal STROBE. This signal - for counters and registers - comes from a microprocessor and can be from different sources such as e.g. a microprocessor internal clock or an external temperature compensated crystal oscillator (TCXO). The measurement accuracy depends on a kind of a source. This frequency meter is programmed by students, as one of the laboratory exercises.

Keywords: CPLD, AVR, frequency meter, microprocessor.

1. Współpraca układu CPLD i mikroprocesora

Przedstawiony projekt jest przykładem współpracy układu reprogramowalnego i układu mikroprocesorowego. Wyjaśnienia wymaga, dlaczego układ częstościomierza nie został w całości wykonany (zaprogramowany) z wykorzystaniem mikroprocesora lub też całkowicie nie został implementowany w strukturze reprogramowalnej? Przedstawiony układ jest projektowany (programowany i uruchamiany) przez studentów, jako jedno z zadań ćwiczeniowych w laboratorium przedmiotu „Mikroprocesorowe Systemy Akwizycji Danych”, w którym głównym tematem zajęć jest programowanie mikroprocesorów. Struktury reprogramowalne wprowadzane są, jako dodatkowe układy akwizycji danych współpracujące z jednostką mikroprocesorową.

Główną ideą projektu jest pokazanie studentom, jak modyfikując koncepcję realizacji części licznikowej (dzięki zastosowaniu układu programowalnego i poleceń języka VHDL [1]), można poprawnie zrealizować postawione zadanie, pomimo pierwotnie – wydawać by się mogło – niewystarczającej liczbie przerzutników układu programowalnego.

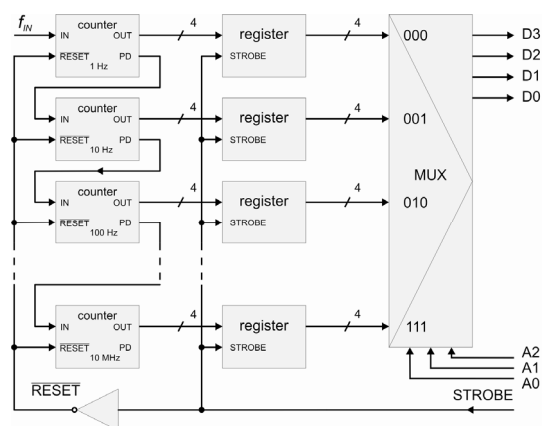
W założeniach projektowych częstościomierz powinien mierzyć częstotliwości f_{IN} w zakresie od 1 Hz do 99 999 999 Hz wykorzystując metodę zliczania impulsów w jednostce czasu wzorcowego T_W , oraz prezentować wynik na 8 pozycjach z rozdzielczością 1 Hz. Właśnie ze względu na stosunkowo dużą maksymalną częstotliwość pomiarową, układ licznikowy jest realizowany w układzie programowalnym - dla wybranego układu XC9572XL maksymalna częstotliwość systemowa (f_{SYSTEM}) wynosi 178 MHz [2].

Układ mikroprocesorowy ATmega88 realizuje zadania taktowania układu licznika sygnałem 1 Hz, wyznaczający wzorcowy okres T_W (z wewnętrznego oscylatora lub z zewnętrznego stabilnego źródła sygnału zegarowego układu DS32kHz - wykorzystywany jest tryb pracy asynchronicznej), pobierania danych, obróbki i prezentacji wyniku.

Programowanie układu reprogramowalnego wykonano w środowisku Xilinx ISE 11, programowanie mikrokontrolera w środowisku AVR Studio 4 współpracującym z zestawem STK500. Oprócz oprogramowania i uruchomienia układów do zadań studentów należy wybór źródła taktowania, ocena rozdzielczości i dokładności pomiaru.

2. Schemat blokowy układu

Na rysunku 1 przedstawiono schemat blokowy części realizowanej w układzie programowalnym. Mierzony sygnał wejściowy f_{IN} zliczany jest w układzie licznikowym. Zaimplementowano 8 kaskadowo połączonych liczników zliczających do 10. Na wyjściu multipleksera otrzymujemy 4-bitowe słowo D0..D3 będące wartością cyfry wybranego adresowo (A0..A2) rejestru (licznika).

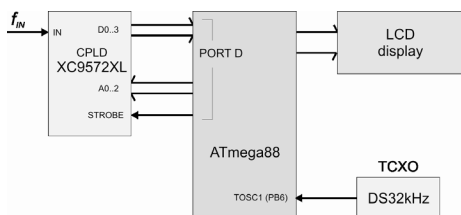


Rys. 1. Schemat blokowy struktury implementowanej w układzie XC9572XL
Fig. 1. Block diagram of the counter structure implemented in XC9572XL

Cykl zliczania sterowany jest sygnałem STROBE podawanym z układu mikroprocesorowego - co 1s. Narastające zbocze sygnału STROBE zatrzymuje w rejestrach aktualne wartości zliczone w licznikach. Jednocześnie niski stan logiczny sygnału STROBE (za bramką NOT) jest sygnałem resetującym liczniki. Opóźnienie wprowadzane przez bramkę NOT (czas propagacji), zabezpiecza przed ewentualnym jednoczesnym zatrzymywaniem rejestrów i resetowaniem liczników.

Na rysunku 2 przedstawiono schemat blokowy połączenia układu programowalnego i mikroprocesora. Mikroprocesor steruje

pracą układu licznikowego wysyłając sygnał STROBE. Następnie kolejno wystawiane są adresy na liniach adresowych i odczytywanych jest 8 cyfr wyniku pomiaru częstotliwości. Do komunikacji mikroprocesora z układem programowalnym wykorzystywany jest jeden 8-bitowy port mikrokontrolera. Po pobraniu i przetworzeniu danych wynik pomiaru częstotliwości prezentowany jest na znakowym wyświetlaczu LCD dołączonym do kolejnego portu mikroprocesora.

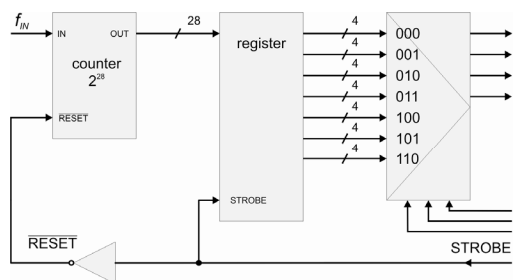


Rys. 2. Schemat blokowy układu częstotliwościomierza
Fig. 2. Block diagram of the frequency meter

3. Modyfikacje układu

Tak implementowana struktura licznika - niestety - nieznacznie przekracza zasoby (liczba przerzutników) układu XC9572XL. Możliwe jest oczywiście zastosowanie układu o większych zasobach (np. XC95144) jednak założeniem wstępnym było zastosowanie układu XC9572XL. Konieczne zatem było wprowadzenie ograniczeń lub zmiana koncepcji realizacji liczników.

Wprowadzając ograniczenie struktury świadomie wyeliminowano licznik (i rejestr) jednostek Hz, co oczywiście związane było z ograniczeniem rozdzielczości pomiaru do dziesiątek Hz. Nie ogranicza to za nadto funkcjonalności częstotliwościomierza, i tak decydującym parametrem jest dokładność pomiaru częstotliwości (związana przede wszystkim z dokładnością odmierzenia okresu sygnału STROBE). W przypadku zmiany koncepcji realizacji liczników, zrezygnowano z kaskady liczników dziesiętnych każdej cyfry, zastępując układ binarnym licznikiem 28-bitowym. Schemat blokowy zmodyfikowanego układu przedstawiono na rysunku 3.



Rys. 3. Schemat blokowy zmodyfikowanego układu licznikowego
Fig. 3. Block diagram of the modified counter structure

Strukturę 28-bitowego licznika stosunkowo prosto opisano z wykorzystaniem poleceń języka VHDL [3]. W rejestrze zatraskowym zapamiętywane jest wejściowe słowo 28-bitowe, które na wyjściu rejestru uporządkowane jest w 7 słów 4-bitowych. Multiplikser 7 na 1 operuje na słowach 4-bitowych. Tak wprowadzone zmiany w strukturze licznika układu CPLD umożliwiły zmniejszenie liczby wykorzystywanych przerzutników, całość mieści się w zasobach układu XC9572XL. Bardzo istotną cechą modyfikacji jest to, że nie ma konieczności zmian w połączeniu układu z mikroprocesorem. Zmiany wymaga tylko program przetwarzania pobranych danych i prezentacji wyniku.

4. Źródło sygnału taktującego

W zastosowanej metodzie zliczania n impulsów w czasie T_W błąd pomiaru częstotliwości δf_{IN} określony jest zależnością:

$$\delta f_{IN} = \delta T_W + \frac{1}{n} = \delta T_W + \frac{1}{f_{IN} \cdot T_W}. \quad (1)$$

Zasadniczym elementem decydującym o dokładności pomiaru jest dokładność sygnału taktującego T_W . Sygnał ten - o okresie 1s, może być pozyskany z sygnału zegarowego mikroprocesora. Dla układu ATmega 88 (i podobnych z rodziny) źródłem sygnału zegarowego mogą być: sygnały z wewnętrznego oscylatora 8 MHz lub oscylatora 128 kHz oraz sygnały z oscylatora wykorzystującego zewnętrzne rezonatory kwarcowe lub ceramiczne. Źródłem sygnału zegarowego może być także zewnętrzny sygnał taktujący [4]. Niestety dokładność wewnętrznego rezonatora 8 MHz jest na poziomie $\pm 10\%$. Wykorzystując możliwość kalibracji możliwe jest uzyskanie dokładności na poziomie $\pm 1\%$. Częstotliwość oscylacji silnie zależna jest od temperatury i od wartości napięcia zasilania, przykładowo w zakresie -40°C do 70°C zmienia się od 7,6 MHz do 8,3 MHz (dla $V_{CC} = 5\text{ V}$). Zatem lepszym rozwiązaniem jest zastosowanie oscylatora z zewnętrznym rezonatorem kwarcowym, co pozwala na uzyskanie sygnału o stabilności na poziomie kilkudziesięciu ppm. Uzyskanie sygnału 1 Hz wymaga podziału częstotliwości zegarowej z wykorzystaniem wewnętrznych liczników mikroprocesora.

Stabilność oscylatora kwarcowego również zależna jest od temperatury. Dlatego w proponowanym rozwiązaniu źródłem sygnału taktującego jest specjalizowany kompensowany temperaturowo układ oscylatora kwarcowego (TCXO) DS32kHz (Dallas/Maxim) o częstotliwości 32 768 Hz [5]. Stabilność częstotliwości układu wynosi $\pm 2\text{ ppm}$ w zakresie temperatur $0..+40^\circ\text{C}$, i nie przekracza $\pm 7,5\text{ ppm}$ w zakresie $-40..+85^\circ\text{C}$. Oscylator zewnętrzny taktuje (poprzez preskaler) 8-bitowy licznik (Timer/Counter 2) pracujący w trybie asynchronicznym. Przerwanie od przepelnienia licznika jest źródłem sygnału STROBE.

5. Podsumowanie

Prezentowany układ częstotliwościomierza jest prostym przykładem wykorzystania elementu o konfigurowalnej (reprogramowalnej) strukturze i układu mikroprocesorowego (o nie konfigurowalnej, stałej strukturze), którego działanie zmieniane jest poprzez zmianę oprogramowania. Realizacja układu pozwala na poznanie zasad wzajemnej współpracy układów (dopasowanie poziomów napięć) i tworzenia elastycznych (sprzętowo i programowo) rozwiązań. Uruchomiony układ umożliwia porównanie dokładności pomiaru częstotliwości z wykorzystaniem różnych (mniej lub bardziej dokładnych) źródeł sygnału taktującego. Przyjmując stabilność źródła taktującego $\pm 2\text{ ppm}$ dla maksymalnego wskazania 99 999 999 Hz uzyskujemy niedokładność na poziomie $\pm 200\text{ Hz}$. Teoretycznie dla częstotliwości niższych od 250 kHz uzyskujemy niedokładność poniżej rozdzielczości wskazań (1 Hz), w tym przypadku głównym źródłem błędów będzie błąd dyskretyzacji ostatniej wyświetlanej cyfry. Przy pomiarze bardzo dużych częstotliwości źródłem błędów wymagającym dodatkowej analizy jest wpływ szerokości sygnału RESET zerującego układ licznikowy.

6. Literatura

- [1] Grout I.: Digital Systems Design with FPGAs and CPLDs. Elsevier Ltd. (Newnes), Oxford, 2008.
- [2] XC9572XL – nota katalogowa, www.xilinx.com
- [3] Zwoliński M.: Projektowanie układów cyfrowych z wykorzystaniem języka VHDL. WKŁ, Warszawa, 2007.
- [4] ATmega88 – nota katalogowa, www.atmel.com
- [5] DS32kHz – nota katalogowa, www.maxim-ic.com