

Tomasz RUDNICKI, Robert CZERWIŃSKI, Aleksander FRĘCHOWICZPOLITECHNIKA ŚLĄSKA,
Akademicka 2A, 44-100 Gliwice**Silnik PMSM: analiza matematyczna, układy sterowania****Dr inż. Tomasz RUDNICKI**

Studia na Wydziale Automatyki, Elektroniki i Informatyki Politechniki Śląskiej ukończył w 2001 roku. Na tymże wydziale obronił pracę doktorską w 2006 roku. Obecnie jest adiunktem w Instytucie Elektroniki Politechniki Śląskiej. Jego zainteresowania naukowe skupiają się wokół testowania układów cyfrowych oraz projektowania systemów mikroprocesorowych.

**Dr inż. Robert CZERWIŃSKI**

Studia na Wydziale Automatyki, Elektroniki i Informatyki Politechniki Śląskiej ukończył w 2001 roku. Na tymże wydziale obronił pracę doktorską w 2006 roku. Obecnie jest adiunktem w Instytucie Elektroniki Politechniki Śląskiej. Jego zainteresowania naukowe skupiają się wokół projektowania układów cyfrowych z wykorzystaniem układów logiki programowalnej oraz systemów mikroprocesorowych.



e-mail: robert.czerwinski@polsl.pl

Streszczenie

W artykule został przedstawiony model matematyczny bezszczotkowego silnika synchronicznego z magnesami trwałymi o sinusoidalnym rozkładzie SEM (PMSM). Integralną częścią artykułu jest również przedstawienie propozycji układu sterowania oraz dokonanie analizy możliwych jednostek centralnych, w których algorytmy sterowania silnikiem mogą zostać zaimplementowane.

Słowa kluczowe: samochód elektryczny, silnik bezszczotkowy, magnesy trwałe, PMSM.

PMSM motor: analysis, control drivers**Abstract**

The paper concerns different aspects of driving the permanent magnet synchronous motor (PMSM). The excitation in the PMSM motor is provided thanks to a permanent magnet instead of the field windings. Special construction causes that the PMSM motor has sinusoidal back EMF. The motor requires sinusoidal stator currents to produce a constant torque. Mathematical analysis (d, q model) is presented in the paper. Elements of the Park transform which enables calculating d, q variables from motor phase variables are also given. The mathematical model is the basis for proposition of a control driver. Different central processing units are considered: digital signal processor (DSP), microcontrollers with DSP support and programmable logic devices (especially field programmable logic devices). The most popular is the digital signal processor. However, dynamic development of microcontrollers and logic devices enables applying them as a central processing units in the control drivers. All the more so because modern microcontrollers and logic devices support digital signal control thanks to (among others) build-in multiply and accumulate blocks. The use of special DSP blocks is facilitated by means of libraries and tools like MATLAB&Simulink.

Keywords: electric vehicle, brushless motor, permanent magnet, permanent magnet synchronous motor.

1. Wprowadzenie

Obserwujemy dynamiczny rozwój techniki samochodowej z napędem hybrydowym. Pojazdy mechaniczne z napędem elektrycznym są pojazdami prawie idealnymi do wykorzystania

Dr inż. Aleksander FRĘCHOWICZ

Od 1983r pracuje na stanowisku adiunkta, w Katedrze Elektryfikacji i Automatykacji Górnictwa Politechniki Śląskiej. W działalności naukowo-badawczej zajmuje się głównie problematyką elektronicznego sterowania napędów. Jego dorobek naukowy został opublikowany w ponad kilkudziesięciu artykułach w czasopiśmie technicznych oraz materiałach konferencyjnych krajowych i zagranicznych.



e-mail: aleksander.frechowicz@polsl.pl

w warunkach miejskich. Główne ich zalety przedstawiają się następująco:

- zmniejszenie kosztów zużycia energii przez pojazd nawet o 80%,
 - sprawność przetwarzania energii w elektrycznych układach napędowych wynosi ok. 70-80%, podczas gdy pojazdów spalających paliwo ok. 15-20%,
 - dysponowanie większym momentem obrotowym niż pojazdy spalinowe,
 - niska emisja hałasu w porównaniu do pojazdów z silnikami spalinowymi,
 - brak szkodliwych toksyn, które są zawarte w spalinach pojazdów spalinowych,
 - około cztery razy niższe koszty eksploatacji w porównaniu do pojazdów z silnikami spalinowymi,
 - w razie wypadku małe ryzyko detonacji pojazdu, poparzenia lub spalenia się osób podróżujących.
- Niemniej jednak pojazdy elektryczne nie są pozbawione wad:
- ograniczony zasięg i długi czas ładowania baterii akumulatorów,
 - duża masa i wysoka cena baterii akumulatorów,
 - ograniczona żywotność akumulatorów,
 - emisja zakłóceń elektromagnetycznych,
 - wrażliwość na warunki atmosferyczne.

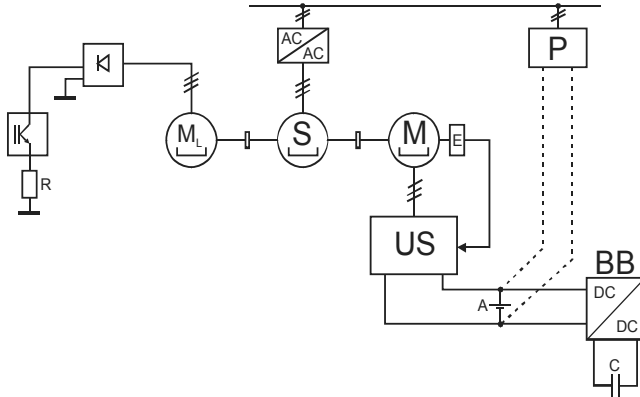
Połączenie ekonomicznego, a zarazem ekologicznego silnika elektrycznego z tradycyjnym silnikiem spalinowym sprawia, że otrzymujemy atrakcyjny w eksploatacji napęd hybrydowy.

Naturalnie w celu uzyskania dużej sprawności pojazdu, układ mechatroniczny powinien być zbudowany z wykorzystaniem podzespołów o najwyższej sprawności energetycznej. Jeżeli chodzi o silniki elektryczne to najwyższą sprawność i największy moment obrotowy mają silniki z magnesami trwałymi NdFeB [3]. Silniki elektryczne z magnesami trwałymi pozwalają na uproszczenie konstrukcji silnika. Stojan silnika jest zwykle podobny do stojana silników indukcyjnych, zaś wirnik zawiera magnesy trwałe naklejone w odpowiedni sposób, przy czym istnieją dwie podstawowe konstrukcje wirnika: z magnesami naklejonymi na powierzchni wirnika i z magnesami naklejonymi promieniowo (w uzłobieniu wirnika) [6]. Najbardziej rozpowszechnione konstrukcje silników bezszczotkowych to: synchroniczny silnik bezszczotkowy PMSM (ang. Permanent Magnet Synchronous Motor) oraz silnik bezszczotkowy prądu stałego BLDC (ang. Brushless DC electric motor).

W silniku PMSM magnesy są umieszczone na wirniku promieniowo. Ich cechą charakterystyczną jest szeroki zakres regulacji prędkości obrotowej [3, 4, 6]. Ponieważ silniki z magnesami trwałymi pozbawione są komutatora, ciężar sterowania (projektowania) przenosi się znacząco w kierunku elektronicznego sterowania silnikiem elektrycznym. Magnesy oraz uzwojenie twornika są umieszczone tak, by powstająca w wyniku rotacji SEM miała postać sinusoidalną w przypadku silników PMSM oraz prostokątną w przypadku silników BLDC. Układ sterowania musi umożliwić zasilanie silników odpowiednio prądem sinusoidalnym

i o charakterystyce trapezowej. Silniki z magnesami trwałymi, oprócz wysokiej sprawności i momentu obrotowego, cechują się małą masą, co ma duże znaczenie w przypadku projektowania pojazdów.

Projektowanie układu sterowania napędu hybrydowego wymaga zastosowania odpowiedniego układu pomiarowego – rys. 1. W układzie pomiarowym, oprócz silnika elektrycznego napędu M oraz enkodera E, jest silnik symulujący obecność silnika spalinyowego S oraz silnik symulujący obciążenie ML. Swoistym sercem układu pomiarowego jest układ sterowania US silnika napędowego. Całość zasilana jest z zestawu akumulatorów A, układ typu „buck-boost” BB oraz prostownika P.



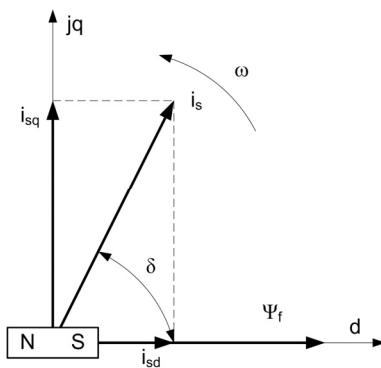
Rys. 1. Układ pomiarowy do projektowania napędu hybrydowego z silnikiem PMSM

Fig. 1. Measurement block for hybrid drive with PMSM motor

Celem artykułu jest przedstawienie modelu matematycznego bezszczotkowego silnika synchronicznego z magnesami trwałymi o sinusoidalnym rozkładzie SEM (PMSM). Integralną częścią artykułu jest również przedstawienie propozycji układu sterowania US oraz dokonanie analizy możliwych jednostek centralnych, w których algorytmy sterowania silnikiem mogą zostać zaimplementowane.

2. Analiza matematyczna

Model matematyczny silnika PMSM jest praktycznie identyczny jak dobrze znany model maszyny synchronicznej. Zasilanie silnika PMSM prądem sinusoidalnym daje możliwość pracy z optymalnym kątem obciążenia $\delta=90^\circ$. Wykres wektorowy silnika synchronicznego z magnesami trwałymi przedstawiono na rys. 2.



Rys. 2. Wykres wektorowy silnika synchronicznego z magnesami trwałymi

Fig. 2. The vector diagram for PMSM motor

Praca silnika przy takim kącie powoduje wytworzenie maksymalnego momentu przy danym prądzie. Oznacza to, że składowa podłużna prądu i_{sd} jest równa zero ($i_{sd}=0$).

Dla silnika synchronicznego z magnesami trwałymi można w opisie matematycznym pominąć wpływ uzwojeń wirnika oraz prądów wirowych tam powstających. Równania opisujące model matematyczny silnika w wirującym układzie współrzędnych d, q mają postać [3, 6]:

$$u_{sd} = R_s \cdot i_{sd} + L_{sd} \cdot \frac{di_{sd}}{dt} - \psi_{sq} \cdot \Omega, \quad (1)$$

$$u_{sq} = R_s \cdot i_{sq} + L_{sq} \cdot \frac{di_{sq}}{dt} - \psi_{sd} \cdot \Omega, \quad (2)$$

gdzie:

- u_s, u_{sd}, u_{sq} to napięcie zasilające stojan wraz ze składowymi w osi podłużnej i poprzecznej,
- L_s, L_{sd}, L_{sq} to indukcyjność uzwojeń stojana wraz ze składowymi w osi podłużnej i poprzecznej,
- $\Psi_s, \Psi_{sd}, \Psi_{sq}$ to strumień skojarzony stojana wraz ze składowymi w osi podłużnej i poprzecznej,
- i_s, i_{sd}, i_{sq} to prąd stojana wraz ze składowymi w osi podłużnej i poprzecznej,
- R_s to rezystancja uzwojeń silnika,
- Ω to prędkość kątowna wirnika.

Składowe strumienia skojarzonego stojana wynoszą:

$$\psi_{sq} = L_{sq} \cdot i_{sq}, \quad (3)$$

$$\psi_{sd} = L_{sd} \cdot i_{sd} + \psi_f, \quad (4)$$

gdzie:

- Ψ_f to strumień magnetyczny magnesów wirnika skojarzony z uzwojeniami stojana.

Równania momentów:

$$m - m_{op} = J_w \cdot \frac{d\Omega}{dt}, \quad (5)$$

$$m = \frac{3}{2} \cdot [\psi_f \cdot i_{sq} + (L_{sd} - L_{sq}) \cdot i_{sd} \cdot i_{sq}], \quad (6)$$

gdzie:

- m, m_{op} to chwilowe wartości momentu oraz momentu oporowego,
- J_w to moment bezwładności wirnika.

Stała czasowa T_m silnika wynosi:

$$T_m = \frac{3 \cdot R_s \cdot J_w}{K^2}, \quad (7)$$

gdzie:

- K to stała silnika.

Jeżeli silnik jest symetryczny magnetycznie wówczas:

$$L_{sd} = L_{sq}, \quad (8)$$

zatem równanie momentu wynosi:

$$m = \frac{3}{2} \cdot \psi_f \cdot i_{sq} = K \cdot i_{sq}. \quad (9)$$

Zakładając, że zmiana prędkości obrotowej silnika odbywa się w strefie stałego i maksymalnego momentu wówczas można przyjąć:

$$i_{sd} = 0, \quad (10)$$

więc równania (1), (2) upraszczają się do postaci:

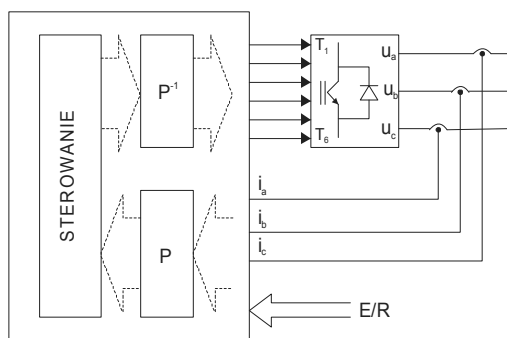
$$u_{sq} = -\psi_{sq} \cdot \Omega, \quad (11)$$

$$u_{sq} = R_s \cdot i_{sq} + L_{sq} \cdot \frac{di_{sq}}{dt} - \psi_f \cdot \Omega. \quad (12)$$

Na podstawie równań (11), (12) i (9) można dojść do wniosku, że przy odpowiednim sterowaniu wektorem prądu stojana, moment silnika synchronicznego z magnesami trwałymi jest opisany analogicznym wzorem jak w przypadku silnika prądu stałego. Oczywiście takie podejście jest poprawne przy założeniu, że silnik pracuje w tzw. pierwszej strefie regulacji ($i_{sd}=0$) [3, 6], w której prędkość obrotowa jest mniejsza od znamionowej (obszar pracy ze stałym maksymalnym momentem obrotowym).

3. Układ sterowania

Silnik synchroniczny z magnesami trwałymi o sinusoidalnym rozkładzie SEM wymaga rozbudowanego układu sterowania. Aby utrzymać stały moment obrotowy, należy dokonywać ciągłego i dokładnego pomiaru położenia wirnika. Informacja o położeniu wirnika dostarczana jest do sterownika, który odpowiednio steruje zespołem mocy falownika (rys. 3). Zastosowanie enkodera, zwłaszcza mechanicznego, jest pewnym problemem – podraża rozwiązanie oraz zwiększa zawodność systemu. Należałoby uwzględnić enkodery hallotronowe, dodatkowe cewki pomiarowe nawinięte w żłobkach stojana lub enkodery magnetyczne (lub resolwery), które dodatkowo mogą zwracać informację o położeniu w postaci fali sinusoidalnej (sin/cos). Współcześnie intensywnie pracuje się również nad bezczujnikowym sterowaniem silnika z magnesami trwałymi o sinusoidalnym rozkładzie SEM [2, 5].



Rys. 3. Układ sterowania silnikiem PMSM
Fig. 3. The control driver of PMSM motor

Silnik synchroniczny z magnesami trwałymi zasilany jest z falownika z regulacją szerokości impulsów. Zadaniem układu sterowania jest odpowiednie sterowanie kluczami tranzystorowymi T_1 - T_6 na podstawie pomiarów prądów poszczególnych faz silnika i_a - i_c oraz sygnału z enkodera/resolwera E/R. Na podstawie pomiaru prądów fazowych silnika można wyznaczyć składowe prądu w osiach d i q, układu współrzędnych związanych z wirnikiem. W celu odzworowania wielkości związanych z twornikiem (strumienia, prądu, napięcia) na system współrzędnych związanych z wirnikiem jest wykorzystywana Transformacja Parka P (13) (i transformacja odwrotna P^{-1} (14)) [7]:

$$\begin{bmatrix} u_q \\ u_d \\ u_0 \end{bmatrix} = \frac{2}{3} \begin{bmatrix} \cos(\theta) & \cos(\theta - 2\pi/3) & \cos(\theta + 2\pi/3) \\ \sin(\theta) & \sin(\theta - 2\pi/3) & \sin(\theta + 2\pi/3) \\ 1/2 & 1/2 & 1/2 \end{bmatrix} \begin{bmatrix} u_a \\ u_b \\ u_c \end{bmatrix}, \quad (13)$$

$$\begin{bmatrix} u_a \\ u_b \\ u_c \end{bmatrix} = \begin{bmatrix} \cos(\theta) & \sin(\theta) & 1 \\ \cos(\theta - 2\pi/3) & \sin(\theta - 2\pi/3) & 1 \\ \cos(\theta + 2\pi/3) & \sin(\theta + 2\pi/3) & 1 \end{bmatrix} \begin{bmatrix} u_q \\ u_d \\ u_0 \end{bmatrix}, \quad (14)$$

gdzie:

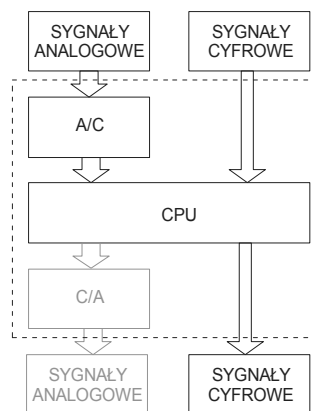
– θ to kąt położenia wirnika.

Układ sterowania musi gwarantować szybkie obliczenia w czasie rzeczywistym składowych prądów stojana oraz szybką reakcję na zmienne warunki pracy silnika. Taki układ przy zasilaniu sinusoidalnym silnika będzie cechował się precyzyjną regulacją położenia wirnika oraz równomierną pracą przy małych prędkościach obrotowych.

Algorytm sterowania można zaimplementować w różnych jednostkach sterowania, począwszy od procesorów sygnałowych aż po układy logiki programowalnej. Przegląd jednostek sterujących pod kątem ich przydatności do sterowania silnikami PMSM jest przedstawiony w kolejnych rozdziałach.

4. Przegląd jednostek sterujących

Analiza matematyczna i układ sterowania silnika PMSM, przedstawione odpowiednio w rozdziale 2 i 3, stawiają jasne cele przed jednostką centralną. Naturalnie sygnały wejściowe mogą być cyfrowe (enkoder) i analogowe (resolwer, prądy uzwojeń). W drugim przypadku niezbędne jest zastosowanie przetwornika A/C. Po stronie wyjściowej sygnały są cyfrowe, co nie wymaga dodatkowych zabiegów. Schemat blokowy układu sterowania jest przedstawiony na rys. 4.



Rys. 4. Schemat blokowy układu sterowania
Fig. 4. Block diagram of the control driver

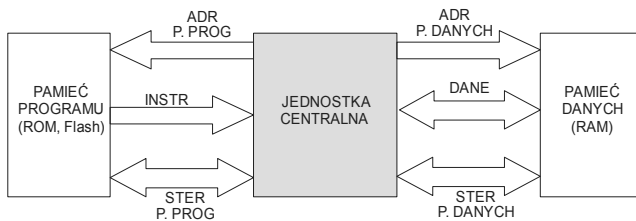
Jednostka centralna musi umożliwiać przeprowadzanie szybkich obliczeń w celu zachowania ciągłości sterowania silnikiem. Należy rozważyć kilka możliwości. Najbardziej oczywistym i praktycznie najczęściej stosowanym jest procesor sygnałowy DSP. Niemniej jednak warto zastanowić się na alternatywnymi rozwiązaniami, co jest treścią dalszej części tego rozdziału.

5. Procesory sygnałowe DSP

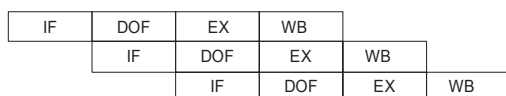
Procesory sygnałowe DSP (ang. Digital Signal Processor) stanowią chyba podstawową grupę jednostek centralnych używanych do sterowania silników synchronicznych z magnesami trwałymi.

Procesory sygnałowe DSP są rozwijane mniej więcej od końca lat siedemdziesiątych ubiegłego wieku. „Cyfryzacja” świata wymusiła na projektantach mikroprocesorów dostosowanie architektury jednostek do wymagań obliczeniowych. Specjalna architektura obejmuje przede wszystkim: więcej niż jeden układ arytmetyczno-logiczny, przetwarzanie potokowe, architekturę harwardzką (czasem zmodyfikowaną architekturę von Neumann’a), specjalne bloki pomnóż-dodaj, bloki filtrów FIR oraz szybkiej transformaty Fouriera FFT, etc.

Charakterystycznym dla procesorów sygnałowych DSP jest zastosowanie architektury harwardzkiej (rys. 5). Umożliwia ona równoczesny dostęp zarówno do pamięci danych, jak i programu. Kosztem skomplikowania jednostki centralnej zwiększa się szybkość przetwarzania danych. Ponadto stosuje się często przetwarzanie potokowe (ang. *pipelining*) w celu dalszej poprawy wydajności obliczeniowej. Przetwarzanie potokowe polega na jednoczesnym wykonywaniu kilku faz cyklu rozkazowego. Na rys. 6 przedstawiony został sposób wykonywania rozkazu w przetwarzaniu potokowym. Faza wyznaczania wyniku EX (ang. *EXecute*) przeprowadzana jest jednocześnie z fazą dekodowania i pobierania operandu DOF (ang. *Decode and Operand Fetch*) dla rozkazu następnego i fazą pobierania instrukcji IF (ang. *Instruction Fetch*) dla rozkazu trzeciego z kolei. Dzięki takiemu podejściu po każdym cyklu zegarowym następuje zapisanie wyniku WB (ang. *Write Back*). Mówiąc, że w każdym taktie jest otrzymuje się wynik jednej operacji, nieco upraszcza się sprawę, jednak w niedużym przybliżeniu faktycznie tak jest.



Rys. 5. Architektura harwardzka
Fig. 5. Harvard architecture



Rys. 6. Przetwarzanie potokowe
Fig. 6. Pipelining

W operacjach cyfrowego przetwarzania sygnałów niezwykle często wykonywane są operacje mnożenia oraz dodawania do siebie kolejnych iloczynów. Schemat pomnóż-dodaj MAC (ang. *Multiply-Accumulate*) znalazł swoje odzwierciedlenie w architekturze procesorów sygnałowych, które to są wyposażane w specjalne bloki MAC umożliwiające sprzętowe wykonanie tych operacji. W przypadku procesorów z rodziny TMS320C6000 firmy Texas Instruments wykonywanych jest do 24×10^9 operacji MAC na sekundę.

W przypadku przetwarzania sygnałów, istotną wydaje się możliwość wykonywania operacji zmiennoprzecinkowych. Stąd w wielu procesorach sygnałowych jest wbudowana zmiennoprzecinkowa jednostka arytmetyczno-logiczna. Dużą wadą operacji zmiennoprzecinkowych jest czas wykonywania obliczeń, stąd dla przyspieszenia wielu obliczeń stosuje się operacje stałoprzecinkowe. Współczesne procesory sygnałowe w wielu przypadkach oferują jednostki arytmetyczno logiczne zmiennie/ stałoprzecinkowe. Najszybsze procesory sygnałowe – oferujące największe wydajności operacji MAC ograniczają się jedynie do operacji stałoprzecinkowych.

Wiele procesorów sygnałowych oferuje możliwości wykonywania jednoczesnej operacji arytmetycznej na wielu danych SIMD (ang. *Single Instruction, Multiple Data*; wg taksonomii Flynn’a).

Ta cecha wydaje się być jednak zdecydowanie bardziej przydatna przy przetwarzaniu obrazów niż w przypadku obliczeń pod kątem sterowania silnikami PMSM.

6. Mikrokontrolery z DSP

Tytuł rozdziału „Mikrokontrolery z DSP” można i należy rozumieć dwojako. Po pierwsze producenci układów scalonych integrują w jednym chipie dwa lub więcej procesorów tworząc pewną hybrydę. W ten sposób wydobywa się najlepsze cechy zastosowanych jednostek. Przykładem może być procesor Integra firmy Texas Instruments [8] łączący na pokładzie mikroprocesor ARM Cortex-A8 i procesor TMS320C674x. Dzięki zastosowaniu mikroprocesora ARM jednostka zyskała szerokie możliwości interfejsowe wraz z możliwością uruchomienia systemu operacyjnego. Ponadto zastosowane rozwiązania świetnie wspierają cyfrowe przetwarzanie sygnału, przy czym znaczący ciężar tego przetwarzania przejmuje zastosowany procesor DSP. Z punktu widzenia jednostki centralnej falownika takie rozwiązanie wydaje się być możliwe, ale nadmiarowe. Oferowane możliwości, zwłaszcza te związane z interfejsami i systemami operacyjnymi, trudno byłoby wykorzystać. Takie rozwiązanie może jednak być brane pod uwagę w przypadku budowania kompleksowego komputera pojazdu elektrycznego/ hybrydowego.

Drugą możliwością jest stosowanie mikroprocesora/ mikrokontrolera, którego rdzeń wyposażony jest w dodatkowe elementy wspierające cyfrowe przetwarzanie sygnałów oraz wykonywanie operacji zmiennoprzecinkowych. W 2010 roku firma ARM wypuściła na rynek rdzeń takiego właśnie mikroprocesora: ARM Cortex-M4 [1]. Został on wyposażony m.in. w 16 i 32 bitowe bloki MAC realizujące operacje w jednym cyklu, bloki umożliwiające wykonywanie 8 i 16 bitowych operacji arytmetycznych SIMD, układ sprzętowego dzielenia oraz jednostkę zmiennoprzecinkową o pojedynczej precyzji (zgodną ze standardem IEEE 754). O sile mikroprocesorów Cortex-M4 decyduje również architektura RISC (ang. *Reduced Instruction Set Computers*) z trójstopniowym potokiem wspierającym instrukcje skoków, oparta o architekturę harwardzką. Zastosowanie tej jednostki w układzie sterowania napędem elektrycznym pojazdu wydaje się być interesujące zwłaszcza z powodu niskiego poboru mocy charakterystycznego dla rodziny Cortex-M mikroprocesorów ARM.

Należy wyraźnie zaznaczyć, że inni liczący się na rynku producenci procesorów sygnałowych, jak: Analog Devices, Freescale, NXP Semiconductors, również mają w swojej ofercie mikrokontrolery z DSP.

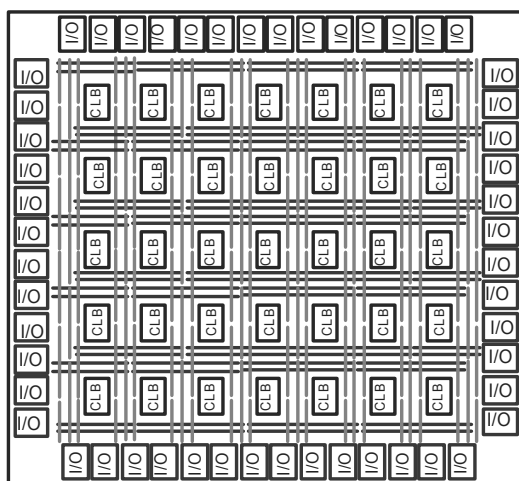
7. Układy logiki

Zupełnie inne podejście do przetwarzania sygnałów oferują układy logiki, obecnie bardzo dynamicznie rozwijane. Wszystko za sprawą olbrzymich możliwości przetwarzania dzięki tzw. współbieżności, czyli równoległej pracy wielu bloków.

Układy logiki można podzielić na dwie główne rodziny: układy o stałej architekturze oraz układy reprogramowalne/rekonfigurowalne. Dwie główne rodziny układów reprogramowalnych/rekonfigurowalnych obejmują: CPLD (ang. *Complex Programmable Logic Device*) oraz FPGA (ang. *Field Programmable Gate Array*). Są to zupełnie różne struktury oferujące różne możliwości. Stawiane przed układem cele (jednostka centralna w układzie sterowania silnikiem PMSM) praktycznie uniemożliwiają zastosowanie układów CPLD.

Układy z rodziny FPGA są najczęściej zbudowane z konfigurowalnych bloków logiki CLB (ang. *Configurable Logic Block*), bloków wejścia wyjścia (I/O) oraz matrycy połączeń (rys. 7).

Bloki logiki produkowanych obecnie układów FPGA zawierają tzw. generatory LUT (ang. Look Up Table) o 6 lub 5 wejściach i 1 lub 2 wyjściach. Generatory LUT są niczym innym jak pamięcią typu RAM umożliwiającą realizację dowolnej funkcji o liczbie zmiennych nieprzekraczającej liczby wejść pamięci. Bloki CLB są wyposażone w przerzutnik D, szereg multiplekserów oraz dodatkowych elementów umożliwiających wykonywanie między innymi pamięci dwubramowych, wykonywanie szybkich połączeń pomiędzy blokami, budowanie układów sekwencyjnych, etc. Matryca połączeń umożliwia wykonanie praktycznie dowolnych połączeń, dzięki dużej elastyczności i możliwości konfiguracji. Trzeba pamiętać, że zasoby matrycy połączeń są ograniczone. Jest jeszcze jedna, bardzo istotna wada matrycy połączeń, mianowicie różny czas propagacji sygnału poprzez różne połączenia. Sygnał jest przenoszony poprzez klucze tranzystorowe, przez co czas propagacji stanowi istotną wartość w czasie propagacji sygnału przez modelowany układ cyfrowy.



Rys. 7. Schemat blokowy układu FPGA
Fig. 7. Block diagram of FPGA

Architektura układów FPGA umożliwia budowanie układów przetwarzania sygnałów wykorzystujących zwykle operacje mnożenia, sumowania, etc. Dostrzegając te potrzeby producenci wyposażają swoje układy w bloki CLB o specjalnej konstrukcji umożliwiającej wykonywanie mnożeń i sumowań MAC oraz wielu innych operacji wykorzystywanych w przetwarzaniu sygnałów. Dla przykładu firma Xilinx w budowie w swoje układy nawet ponad 2000 tzw. plasterków (ang. slice; cztery generatory LUT tworzą plasterkę; dwa plasterki tworzą blok CLB) zawierających między innymi mnożarkę 25x18 bitów, czy 48 bitowy akumulator (każdy plasterek). Możliwości konfiguracyjne plasterków zapewniają wykonanie 1012 operacji MAC na sekundę [9].

Układy logiki programowalnej są konfigurowane przez projektanta za pomocą komputerowego narzędzia (lub szeregu narzędzi) wspomagającego projektowanie układów cyfrowych. Tak zwana synteza logiki, czyli przełożenie intencji projektanta na konfigurację układu może być w pełni automatyczne, ale znacznie częściej przebiega z ingerencją projektanta. Projektowanie układów przetwarzania sygnałów jest wspierane m.in. przez narzędzie ISE Design Suite: DSP Edition firmy Xilinx. Projektanci z małym doświadczeniem w dość łatwy sposób, a zapewne niewymagający dużego doświadczenia, mogą stworzyć układ. Godna uwagi jest możliwość połączenia systemu z narzędziem MATLAB& Simulink w celu symulacji algorytmów oraz ich późniejszego zaimplementowania w układzie FPGA. Przeprowadzane eksperymenty i badania naukowe wykazują jednak olbrzymie braki automatycznych narzędzi (wcześniejszych wersji) w zakresie jakości otrzymywanych rozwiązań.

8. Podsumowanie

Przedstawione w artykule zagadnienia stanowią wstęp do zagadnień związanych z projektowaniem pojazdów elektrycznych czy hybrydowych. Synchroniczny silnik bezszczotkowy z magnesami trwałymi PMSM jest proponowany jako jednostka napędowa. Cechą charakterystyczną tego silnika jest sinusoidalny rozkład SEM, dzięki czemu uzyskuje się szeroki zakres prędkości obrotowej. Odbywa się to jednak kosztem rozbudowania algorytmów sterowania. Analizując dokładnie możliwości jednostek centralnych oraz wsparcie ze strony ich producentów, bezkonkurencyjny pod praktycznie każdym względem okazuje się procesor sygnałowy DSP. Tak też jest zrealizowanych zdecydowana większość falowników. Niemniej jednak wart zauważenia jest układ FPGA oferujący olbrzymie możliwości obliczeniowe dzięki współbieżnej pracy wielu bloków oraz np. dynamiczną rekonfigurację w trakcie pracy urządzenia. Producenci układów FPGA, dostrzegając potrzeby związane z koniecznością cyfrowego przetwarzania sygnałów, opracowali specjalne rodziny układów optymalizowanych właśnie pod tym kątem, co dodatkowo predestynuje te układy do zastosowania jako jednostki centralne falowników. Pomimo wsparcia pod względem narzędzi wspomagających projektowanie, skala problemów związanych z umiętym zaprojektowaniem układu sterownika wydaje się być ciągle nieporównywalna w stosunku do skali problemów przy projektowaniu falownika mikroprocesorowego.

Praca naukowa finansowana ze środków na naukę w latach 2010-2013 jako projekt badawczy Nr N N510 077638.

9. Literatura

- [1] ARM, Cortex®-M4 Technical Reference Manual, Technical Reference Manual, 2010.
- [2] Genduso F., Miceli R., Rando C., Galluzzo G.R.: Back EMF Sensorless-Control Algorithm for High-Dynamic Performance PMSM, IEEE Transactions on Industrial Electronics, vol.57, no.6, 2010, pp.2092-2100.
- [3] Glinka T.: Mikromaszyny elektryczne wzbudzone magnesami trwałymi, Gliwice: Wydawnictwo Politechniki Śląskiej, 1995.
- [4] Krishan R.: Electric motor drives modeling, analysis and control, Prentice Hall, 2001.
- [5] Lee G.B., Park J.S., Lee S.H., Kwon Y.A.: High-performance sensorless control of PMSM using back-EMF and reactive power, ICCAS-SICE, 2009, pp.407-411.
- [6] Łastowiecki J.: Elementy i podzespoły półprzewodnikowych układów napędowych, Warszawa: Oficyna Wydawnicza Politechniki Warszawskiej, 1999.
- [7] Pillay P., Krishnan R.: Modeling, simulation, and analysis of permanent-magnet motor drives. Part I. The permanent-magnet synchronous motor drive, IEEE Transactions on Industry Application, vol.25, no.2, 1989, pp.265-273.
- [8] Texas Instruments, TMS320C6A816x Integra. DSP+ARM Processors, Product Preview, 2010.
- [9] XILINX, Virtex-6 Family Overview, Advance Product Specification, 2010.

otrzymano / received: 18.10.2011

przyjęto do druku / accepted: 01.12.2011

artykuł recenzowany / revised paper