

Marek SZYPROWSKI¹, Paweł KERNTOPF^{1,2}¹ POLITECHNIKA WARSZAWSKA, WYDZIAŁ ELEKTRONIKI, INSTYTUT INFORMATYKI, ul. Nowowiejska 15/19, 00-665 Warszawa² UNIwersytet Łódzki, WYDZIAŁ FIZYKI I INFORMATYKI STOSOWANEJ, ul. Pomorska 149/153, 90-236 Łódź

Realizacje układów odwracalnych w technologiach półprzewodnikowych

Mgr inż. Marek SZYPROWSKI

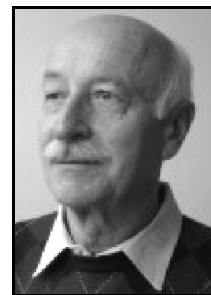
Ukończył studia magisterskie na Wydziale Elektroniki i Techniki Informatycznych Politechniki Warszawskiej. Obecnie odbywa studia doktoranckie w Instytucie Informatyki na tym Wydziale. Jego zainteresowania naukowe koncentrują się wokół układów odwracalnych, które stanowiły temat jego pracy magisterskiej.



e-mail: M.Szyprowski@ii.pw.edu.pl

Dr hab. inż. Paweł KERNTOPF

Ukończył studia na Wydziale Elektroniki i Techniki Informatycznych Politechniki Warszawskiej. Obecnie pracuje na stanowisku profesora nadzwyczajnego w Instytucie Informatyki na tym Wydziale oraz w Katedrze Fizyki Teoretycznej II na Wydziale Fizyki i Informatyki Teoretycznej Uniwersytetu Łódzkiego. Zainteresowania naukowe: synteza układów logicznych, układy odwracalne, układy kwantowe, binarne i wielowartościowe diagramy decyzyjne.



e-mail: P.Kerntopf@ii.pw.edu.pl

Streszczenie

Dziedzina syntezy odwracalnych układów logicznych jest rozwijana bardzo intensywnie. Zaproponowane zostały nawet konstrukcje układów odwracalnych z klasycznych elementów półprzewodnikowych. Wykazują one szereg zalet, m.in. mogą być stosowane jako układy o bardzo małym poborze mocy lub są w stanie realizować pewne klasy algorytmów obliczeń kwantowych. W poniższym referacie przedstawiamy przegląd rozwiązań realizacji układów odwracalnych z wykorzystywaniem klasycznych elementów półprzewodnikowych.

Słowa kluczowe: układy odwracalne, układy CMOS.

Implementation of reversible circuits in semiconductor technologies

Abstract

Synthesis of reversible functions (i.e. bijective mappings) is an emerging research area. It is mainly motivated by advances in quantum computing and application of reversible circuits to quantum computing. However, some research has also been done in the area of implementation of reversible circuits in classic semiconductor technologies. Such circuits, built mainly from CMOS transistors, reveal their advantages. They can be successfully applied to the area of low power design. Recently, more attention has also been given to such circuits as they can also be used to implement some classes of quantum algorithms and take the advantage of quantum computing to stretch the limits of the classical computation paradigms. This paper gives an overview of the present advances in the field of reversible circuits built in semiconductor technologies. It describes reversible circuits built from CMOS transistor based switching networks and principles of adiabatic circuits. The last part of the paper presents the foundation of quantum computation that can be realized by reversible circuits with asynchronous feedback.

Keywords: reversible circuits, CMOS circuits.

1. Wstęp

Układy odwracalne realizują wzajemnie jednoznaczne odwzorowania sygnałów wejściowych na sygnały wyjściowe, przez co nie następuje w nich utrata informacji. Początkiem prac w tym kierunku były prace fizyków: w 1961 r. Rolf Landauer [1] wykazał, że straty informacji nieuchronnie powodują wydzielanie energii, a potem Charles Bennett [2] zademonstrował, że każdy układ cyfrowy może być zbudowany wyłącznie z bramek odwracalnych, dzięki czemu można zmniejszyć wydzielaną w nim energię. Obecnie, straty energii spowodowane traceniem informacji w urządzeniach cyfrowych są znikome, jednak ich wpływ wraz z rozwojem technologii nieustannie rośnie [3]. Prace prowadzone w tym kierunku mają duże znaczenie przy opracowywaniu przyszłych technologii, w tym technologii kwantowych.

Już w roku 1985 Richard Feynman [4] zwrócił uwagę na możliwość budowania komputerów kwantowych z układów odwracalnych, zaś trochę później pokazano, że obliczenia kwantowe pozwoliłyby na znaczne przyspieszenie rozwiązywania niektórych problemów NP-trudnych, których nie można efektywnie rozwiązywać na dzisiejszych komputerach. Od dawna prowadzone są prace nad implementacjami tych układów, także ze względu na potencjalną możliwość wykorzystania układów odwracalnych do konstrukcji urządzeń o małym poborze mocy, w nanotechnologiach, układach optycznych, kryptografii, cyfrowym przetwarzaniu sygnałów i innych działach informatyki. Wśród zaproponowanych technologii bramek odwracalnych są m.in. realizacje optyczne [5], nanotechnologiczne [6, 7], falowodowe [8] oraz z wykorzystaniem łańcuchów DNA [9]. Najwięcej pieniędzy przeznaczają się na badania nad technologiami kwantowymi – „mapa drogowa” [10] dla badań w tej dziedzinie wymienia również aktualnie opracowywanych technologii. Postępy badań tego rodzaju są jednak bardzo powolne ze względu na duże trudności techniczne.

Największe dotąd sukcesy w implementacji układów odwracalnych uzyskano wśród klasycznych technologii półprzewodnikowych – układów CMOS. Zbudowano m.in. eksperymentalne procesory odwracalne [11-14] oraz rozmaite układy arytmetyczne [15-19]. W zeszłym roku opublikowano informacje o projekcie opracowania do roku 2012 odwracalnego mikroprocesora w technologii CMOS z pełnym oprogramowaniem (w ramach współpracy uniwersytetów w Gandawie i Kopenhadze [20]). W niniejszej pracy przedstawiono przegląd podstawowych implementacji półprzewodnikowych dla układów odwracalnych.

Podstawowe pojęcia z dziedziny syntezy odwracalnych układów logicznych czytelnik znajdzie w publikacjach [21, 22, 3].

2. Układy odwracalne w technologii CMOS

W pracy [23] pokazany został efektywny algorytm syntezy układów odwracalnych, który pozwala zrealizować dowolną funkcję odwracalną n zmiennych za pomocą maksymalnie $2n-1$ tzw. *bramek sterowanych* (ang. control gates) [24].

Bramki sterowane realizują funkcje odwracalne n zmiennych zdefiniowane następująco:

$$y_i = x_i, \text{ dla } i \in \{1, \dots, b-1, b+1, \dots, n\} \quad (1)$$

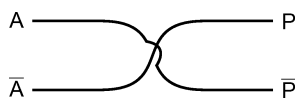
$$y_b = x_b \oplus G(x_1, \dots, x_{b-1}, x_{b+1}, \dots, x_n)$$

dla ustalonego b , gdzie funkcja $G(x_1, \dots, x_{b-1}, x_{b+1}, \dots, x_n)$ jest kombinacją dowolnej liczby zmiennych x_i w postaci prostej lub zangowanej.

Bramki takie mogą być bardzo efektywnie zrealizowane sprzętowo w układach z tzw. logiką dualną, gdzie wszystkie linie sygnałowe są zdublowane i występują jednocześnie w postaci prostej oraz zanegowanej. Oznacza to, że w układzie wartość zmiennej x jest reprezentowana przez dwie wartości fizyczne: pierwsza opisuje zmienną x , a druga \bar{x} . Dzięki zastosowaniu logiki dualnej, w całym układzie zawsze połowa sygnałów przyjmuje wartość 1, a druga połowa 0. Warunek ten spełniają również wszystkie sygnały wejściowe i wyjściowe.

Najprostsza bramka odwracalna NOT (inwerter) może być w takich układach zrealizowana bezpośrednio jako prosta zamiana sygnałów miejscami (rys. 1). Inwerter realizuje następującą funkcję odwracalną $F(A) = P$ (rys. 1):

$$P = \bar{A}, \bar{P} = A. \quad (2)$$

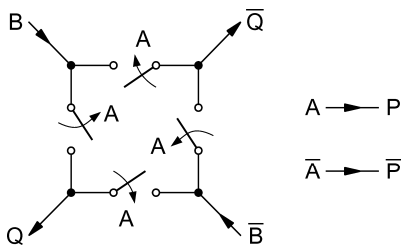


Rys. 1. Implementacja bramki NOT (inwerter) w układzie z logiką dualną
Fig. 1. Implementation of NOT gate in dual-logic circuit

Do realizacji bardziej skomplikowanych bramek sterowanych można wykorzystać klucze przełączające. Jedną z najprostszych bramek odwracalnych o 2 wejściach/wyjściach jest bramka Feynmana, która realizuje funkcję odwracalną $F(A, B) = (P, Q)$:

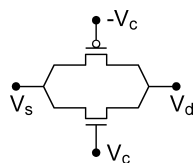
$$P = A, Q = B \oplus A. \quad (3)$$

Przykład sieci kluczy przełączających realizujących bramkę Feynmana pokazany jest na rys. 2. Groty strzałek przy kluczach pokazują jaki jest stan klucza, gdy sygnał oznaczony przy przełączniku ma wartość 1. Przykłady sieci przełączających dla bardziej skomplikowanych bramek odwracalnych można znaleźć w [3].



Rys. 2. Sieć kluczy przełączających realizująca bramkę Feynmana
Fig. 2. Switching circuit for Feynman gate

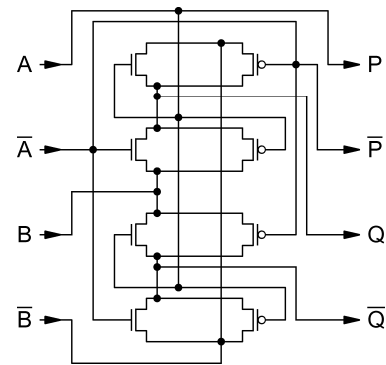
Klucze przełączające mogą być zrealizowane w różnych technologiach. W pracach [25, 26] zaproponowano realizację kluczy za pomocą bramek transmisyjnych (kluczy analogowych) w technologii CMOS. Bramka taka zbudowana jest z pary tranzystorów n-MOS i p-MOS oraz sterowana za pomocą pary przeciwnych napięć V_c i $-V_c$, które mogą być interpretowane jako para komplementarnych sygnałów c i \bar{c} (rys. 3).



Rys. 3. Para tranzystorów n-MOS i p-MOS tworząca bramkę transmisyjną
Fig. 3. Transmission gate consisting of pair of n-MOS and p-MOS transistors

Schemat układu realizującego bramkę Feynmana pokazany jest na rys. 4. Łatwo zauważyć, że układ ten należy do klasy układów

realizujących tzw. logikę "pass transistor" z wykorzystaniem sieci bramek transmisyjnych. Oznacza to, że w układzie nie ma potrzeby zasilania poszczególnych bramek oddzielnymi liniami zasilającymi. Wszystkie bramki transmisyjne zasilane i sterowane są bezpośrednio z sygnałów wyjściowych bramek poprzedniego stopnia.



Rys. 4. Schemat układu w logice komplementarnej i technologii CMOS dla bramki Feynmana

Fig. 4. A circuit in dual-rail CMOS technology for Feynman gate

Ważną własnością tak skonstruowanych układów jest ich pełna i prawdziwa odwracalność, gdyż możliwe jest zamienianie sygnałów wejściowych z wyjściowymi. Oznacza to, że układ z rys. 4 może pracować zarówno przekazując sygnał ze strony lewej na prawą, jak i ze strony prawej na lewą.

Układy wykorzystujące technologię CMOS 0,35 μm zostały skonstruowane i przebadane. Na przykład, układ odwracalny realizujący ośmiobitowy sumator ma rozmiar $140 \times 230 \mu\text{m}$ i zawiera 392 tranzystorów, zaś układ odwracalny realizujący ośmiobitowe mnożenie ma rozmiar $1430 \times 300 \mu\text{m}$ i zawiera 2504 tranzystory. Opisy, schematy i zdjęcia tych układów znajdują się w pracy [18], gdzie m.in. oszacowano, że układ obliczający 8-bitową transformatę Fouriera zawierałby około 40 tys. tranzystorów.

3. Układy adiabatyczne

W pracach [3, 27] pokazano, że układy skonstruowane według powyższych zasad wykazują szereg zalet w zastosowaniach, gdzie istotne jest, aby pobór mocy był jak najmniejszy. Idealne układy zbudowane jako sieć kluczy przełączających są w stanie pracować *adiabatycznie*. Oznacza to, że podczas zmiany stanu sygnałów na wejściu i wyjściu układu nie następuje wydzielanie energii do otoczenia. Warunkiem koniecznym jest tzw. adiabatyczny przepływ ładunku pomiędzy poszczególnymi bramkami w układzie oraz wejściami i wyjściami. Zgodnie z prawami termodynamiki taki proces przebiega w pełni adiabatycznie tylko wówczas, gdy zmiana sygnałów trwa nieskończenie długo. W warunkach rzeczywistych możliwe jest jednak przeprowadzenie procesu zmiany wartości sygnałów w sposób quasi-adiabatyczny. Można to osiągnąć, gdy sygnały zmieniają swoje wartości odpowiednio wolno [27]. W rzeczywistych układach zaobserwowano w takich warunkach około 10-krotną redukcję wydzielanej energii [3, 28].

4. Realizacje algorytmów kwantowych

Obliczenia kwantowe są dziedziną, w której upatruje się możliwości rozwiązania pewnej klasy problemów w sposób znacznie szybszy, niż przy użyciu klasycznych metod obliczeniowych. Pokazano, że niektóre algorytmy, zrealizowane w sposób kwantowy pozwalają rozwiązywać w czasie wielomianowym problemy NP-trudne. W obliczeniach kwantowych kluczową rolę gra masowa równoległość obliczeń, jednak nie jest ona uzyskiwana poprzez zwielokrotnianie elementów przewodzących obliczenia. Wynika ona z faktu wykorzystywania kwantowych własności

układu i określania pewnych jego globalnych cech fizycznych bez konieczności badania wszystkich cech kwantowych w poszczególnych krokach pośrednich obliczeń.

Okazało się, że pewna klasa algorytmów kwantowych może być zrealizowana w układach fizycznych, w których występują zjawiska falowe, takie jak interferencja i superpozycja. Pokazano, że w układach optycznych zrealizowany może być m.in. kwantowy algorytm przeszukiwania Grovera [29]. Kwantowa implementacja tego algorytmu daje kwadratowe przyspieszenie obliczeń względem klasycznych algorytmów rozwiązujących ten sam problem. Efektywna realizacja kwantowych algorytmów w klasycznych układach wymaga istnienia superpozycji bardzo wielu stanów w celu osiągnięcia odpowiedniego zrównoleżenia obliczeń.

Efekt superpozycji może być uzyskany w układach odwracalnych poprzez dodanie asynchronicznego sprzężenia zwrotnego [30]. Autor pokazał, że możliwe jest zrealizowanie takich algorytmów kwantowych w adiabaticznych układach odwracalnych technologii CMOS. Zaproponowane rozwiązanie ma taką samą efektywność obliczeniową jak prawdziwy układ kwantowy, wykorzystuje jednak tylko klasyczne układy półprzewodnikowe. Asynchroniczne sprzężenie zwrotne odpowiada realizacji transformaty Hadamarda, która jest podstawą tej klasy algorytmów kwantowych. Sprzężenie to pozwala też określić globalne własności układu w stanie równowagi termodynamicznej bez konieczności analizowania stanów pośrednich dla wszystkich możliwych kombinacji wejść i wyjść układu [30]. Wynika to z faktu, że w układzie przed osiągnięciem stanu równowagi występują fluktuacje termodynamiczne, które powodują efektywne przebadanie całej przestrzeni możliwych stanów wejść i wyjść.

5. Podsumowanie

W pracy przedstawiono stosowane obecnie półprzewodnikowe realizacje bramek odwracalnych. Już w najbliższych latach należy spodziewać się zbudowania z takich bramek procesorów o praktycznym znaczeniu. Świadczy o tym podjęcie przez uniwersytety w Gandawie i Kopenhadze wspólnego projektu skonstruowania i oprogramowania takiego procesora [20]. Projekt ten finansuje m.in. jedna z firm przemysłowych. Ważnym rezultatem prac w tej dziedzinie jest realizacja układów odwracalnych, dzięki którym możliwa będzie implementacja algorytmów kwantowych dla niektórych problemów NP-trudnych [30].

Praca była wykonana w ramach realizacji grantu MNiSzW nr 4180/B/T02/2010/38.

6. Literatura

- [1] Landauer R.: Irreversibility and heat generation in the computing process. *IBM Journal of Research and Development*, vol. 3, 1961, pp. 183-191.
- [2] Bennett C.H.: Logical reversibility of computation. *IBM Journal of Research and Development*, vol. 17, 1973, pp. 525-532.
- [3] De Vos A.: *Reversible Computing. Fundamentals, Quantum Computing and Applications*. Wiley-VCH, Berlin 2010.
- [4] Feynman R.: Quantum mechanical computers. *Optics News*, vol. 11, 1985, pp. 11-20.
- [5] Cuykendall R., Andersen D.R.: Reversible optical computing circuits. *Optics Letters*, vol.12, 1987, pp. 542-544.
- [6] Merkle R.C.: Reversible electronic logic using switches. *Nanotechnology*, Vol. 4, 1993, pp. 21-40.
- [7] Bandyopadhyay S.: Nanoelectronic implementations of reversible and quantum logic. *Superlattices and Microstructures*, vol. 23, 1998, pp. 445-464.
- [8] Forsberg E.: Reversible logic based on electron waveguide Y-branch switches. *Nanotechnology*, vol. 15, 2004, pp. 298-302.
- [9] Wood H. and Chen D.J.: Fredkin gate circuits via recombination enzymes. *Proceedings of the IEEE Congress on Evolutionary Computation*, June 2004.
- [10] Quantum Information Science and Technology Roadmap, version 2.0. Los Alamos National Laboratory, April 2, 2004, <http://qist.lanl.gov>.
- [11] Vieri C.J., Pendulum: A reversible computer architecture. M.S. Thesis, Massachusetts Institute of Technology, Cambridge, MA 1995.
- [12] Frank M.P.: Reversibility for efficient computing. Ph.D. Thesis, Massachusetts Institute of Technology, Cambridge, MA, USA, 1999.
- [13] Kim S., Kwon J.H., Chae S.I.: An 8-b nRERL microprocessor for ultra-low-energy applications. *Proc. Asia and South Pacific Design Automation Conf.*, 2001, pp. 27-28.
- [14] Kim S., Ziesler C.H., Papaefthymiou M.C.: Charge-recovery computing on silicon. *IEEE Trans. on Comp.*, vol. 54, no. 6, 2005, pp. 659-659.
- [15] Desoete B., De Vos A., Sibiński M., Widerski T.: Feynman's reversible logic gates implemented in silicon. *Proc. 6th Int. Conf. MIXDES*, Cracow, Poland, June 1999, pp. 497-502.
- [16] Van Rentergem Y., De Vos A.: Optimal design of a reversible full adder. *Int. Journal of Unconventional Computing*, vol. 1, 2005, pp. 339-355.
- [17] Van Rentergem Y., De Vos A.: Reversible full adders applying Fredkin gates. *Proc. 12th Int. Conf. MIXDES*, Kraków, Poland, June 2005, pp. 179-184.
- [18] Skoneczny M., Van Rentergem Y., De Vos A.: Reversible Fourier transform chip. *Proc. 15th Int. Conf. MIXDES*, Poznań, Poland, June 2008, pp. 281-286.
- [19] De Vos A.: Reversible computer hardware. *Electronic Notes in Theoretical Computer Science*, vol. 253, 2010, pp. 17-22.
- [20] Axelsen H. B., Glück R., De Vos A., Thomsen M. K.: MicroPower: Towards low-power microprocessors with reversible computing. <http://ercim-news.ercim.eu/en79/special-theme/micropower-towards-low-power-microprocessors-with-reversible-computing>, 2010.
- [21] Kerntopf P.: Synteza odwracalnych układów logicznych. *Pomiary Automatyka Kontrola*, vol. 53, nr 7, 2007, pp.78-80.
- [22] Wille R., Drechsler R.: *Towards a Design Flow for Reversible Logic*. Springer, Dordrecht 2010.
- [23] De Vos A., Van Rentergem Y.: Networks for reversible logic. *Proc. 8th Int. Workshop on Boolean Problems*, Freiberg, Germany, Sept. 2008, pp. 41-47.
- [24] De Vos A., Desoete B., Adamski A., Pietrzak P., Sibiński M., Widerski T.: Design of reversible logic circuits by means of control gates. *Proc. 10th Int. Workshop on Power and Timing Modeling, Optimization and Simulation*, Goettingen, Germany, Sept. 2000, pp. 255-264.
- [25] De Vos A.: Proposal for an implementation of reversible gates in c-MOS. *Int. Journal of Electronics*, vol. 76, 1994, pp. 293-302.
- [26] De Vos A.: A 12-transistor c-MOS building-block for reversible computers. *Int. Journal of Electronics*, vol. 79, 1995, pp. 171-182.
- [27] Khandekar P.D., Subbaraman S., Chitre A.V.: Implementation and analysis of quasi-adiabatic inverters. *Proc. Int. MultiConf. of Engineers and Computer Scientists*, Hong-Kong, March 17-19, 2010.
- [28] De Vos A. and Van Rentergem Y.: Energy dissipation in reversible logic addressed by a ramp voltage. *Proc. 15th Int. Workshop on Power and Timing Modeling, Optimization and Simulation*, Leuven, Sept. 2005, pp. 207-216.
- [29] Grover L.: A fast quantum mechanical algorithm for database search. *Proc. ACM Symp. on Theory of Computing*, 1996, pp. 212-219.
- [30] Hamel J.S.: A thermodynamic Turing machine: Artificial molecular computing using classical reversible logic switching networks (1). [arXiv: 0904.3273v2](http://arxiv.org/abs/0904.3273v2), 14 May 2009.