

Maciej WIELGOSZ¹, Ernest JAMRO¹, Witold CIOCH², Sławomir BIENIASZ³¹AKADEMIA GÓRNICZO-HUTNICZA, KATEDRA ELEKTRONIKI, Al. Mickiewicza 30, 30-059 Kraków²AKADEMIA GÓRNICZO-HUTNICZA, KATEDRA MACHANIKI I WIBROAKUSTYKI, Al. Mickiewicza 30, 30-059 Kraków³AKADEMIA GÓRNICZO-HUTNICZA, KATEDRA INFORMATYKI, Al. Mickiewicza 30, 30-059 Kraków**System wbudowany oparty na procesorze ARM oraz układzie FPGA****Dr inż. Maciej WIELGOSZ**

Ukończył studia na AGH (2005), wydział Elektrotechniki, Automatyki, Informatyki i Elektroniki oraz na University of Huddersfield (UK) na kierunku Elektronika i Telekomunikacja. Obecnie jest doktorantem w Katedrze Elektroniki AGH i bierze czynny udział w pracach badawczych realizowanych w zespole rekonfigurowalnych systemów obliczeniowych. Jego zainteresowania naukowe dotyczą sprzętowej akceleracji obliczeń, kompresji obrazu i sieci neuronowych.



e-mail: wielgosz@agh.edu.pl

Dr inż. Ernest JAMRO

Ukończył studia na AGH na kierunku Elektronika oraz na University of Huddersfield (UK) na kierunku Elektronika i Telekomunikacja. Obronił pracę doktorską w 2001 roku na AGH na wydziale Elektrotechniki, Automatyki, Informatyki i Elektroniki. Aktualnie jest adiunktem w Katedrze Elektroniki na AGH. Jego zainteresowania naukowe to sprzętowa akceleracja obliczeń, niskopoziomowe przetwarzanie obrazów, sieci neuronowe.



e-mail: jamro@agh.edu.pl

Dr inż. Witold CIOCH

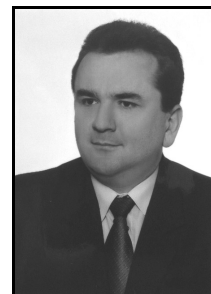
Ukończył studia na Wydziale Budowy Maszyn i Lotnictwa PRz, specjalność napędy lotnicze oraz na Wydziale Inżynierii Mechanicznej i Robotyki AGH, specjalność wibroakustyka. Pracę doktorską obronił w 2004. Obecnie pracuje jako adiunkt w Katedrze Mechaniki i Wibroakustyki AGH. Jego zainteresowania naukowe dotyczą diagnostyki technicznej i wibroakustyki. Zajmuje się zagadnieniami cyfrowego przetwarzania sygnałów, sieciami neuronowymi i analizą ryzyka eksploatacyjnego.



e-mail: cioch@agh.edu.pl

Dr inż. Sławomir BIENIASZ

Ukończył studia na kierunku Informatyka na AGH. Pracę doktorską obronił w 2006 roku na AGH na wydziale Elektrotechniki, Automatyki, Informatyki i Elektroniki. Aktualnie jest adiunktem w Katedrze Informatyki na AGH. Jego zainteresowania naukowe to agentowe modele symulacji zjawisk fizycznych, programowanie aspektowe, programowanie w środowisku systemu Unix (Linux).



e-mail: bieniasz@agh.edu.pl

Streszczenie

W niniejszym artykule przedstawiono system przeznaczony do analizy i przetwarzania sygnałów wibroakustycznych oparty na procesorze z jądrem ARM oraz układzie FPGA. Jednym z kilku zaimplementowanych algorytmów w ramach prezentowanego systemu jest Procedura Liniowej Decymacji, szeroko stosowana do diagnozowania maszyn wirnikowych synchronizowanych cyklem roboczym. Szybkość wstępnego przetwarzania sygnałów przy pomocy układów FPGA jest dużo większa niż w przypadku procesorów DSP, dzięki czemu stworzony system umożliwia analizę sygnałów diagnostyczny w czasie rzeczywistym.

Słowa kluczowe: FPGA, ARM, systemy wbudowane, Liniowa Decymacja.

Embedded system based on ARM processor and FPGA**Abstract**

The paper presents an embedded system for monitoring and analysis of vibroacoustic signals. The system is based on an ARM processor and FPGA, which provides both flexibility and real-time processing capabilities. The Linear Decimation Procedure was implemented as one of the vital algorithms for rotary machinery analysis along with a whole set of other calculation procedures widely employed in vibroacoustic. Exp() function was used to benchmark the DEVKIT8000 and PANDA platforms against the desktop processor Core i7 3,4 GHz. The presented system is also capable of working in a real-time mode due to its high processing data rate resulting from the adopted architecture and employed high-performance components. A number of the original algorithms were implemented in the FPGA which could be used for non-stationary signals analysis. Furthermore, numerical procedures which do not fit into the FPGA due to the high resources occupation were employed on the ARM processor. It is worth mentioning that the whole system is run under the Ubuntu system which provides a huge flexibility in a number of software packages available as well as stability of the system as such. Some additional widely available environments (e.g. Octave) were installed on the platform facilitating data analysis and processing. It should be noted that the software of the system can be easily modified or replaced apart of the hardware which allows for a fast upgrade. Some other Linux or Windows distributions are also considered for installation in the future.

Keywords: FPGA, ARM, embedded systems, Linear Decimation.

1. Wstęp

Diagnozowanie maszyn wirnikowych w zmiennych warunkach pracy jest krytyczne ze względu na bezpieczeństwo pracy oraz groźbę ich uszkodzeń. Wczesne wykrycie nieprawidłowego działania urządzenia, pozwala na uniknięcie kosztownej w skutkach awarii.

Procedura Decymacji Liniowej [1, 2, 3] została przetestowana i zweryfikowana jako skuteczna metoda analizy sygnałów w diagnozowaniu maszyn wirnikowych.

Wczesne wykrycie uszkodzenia zależy nie tylko od skutecznej procedury detekcji, ale również od jej implementacji sprzętowej. Co więcej, może się okazać, że pomimo wykorzystania skutecznego algorytmu szybkość działania systemu, na którym jest on zaimplementowany nie pozwala na dostarczenie wiarygodnej informacji w dostatecznie krótkim czasie, by zapobiec awarii.

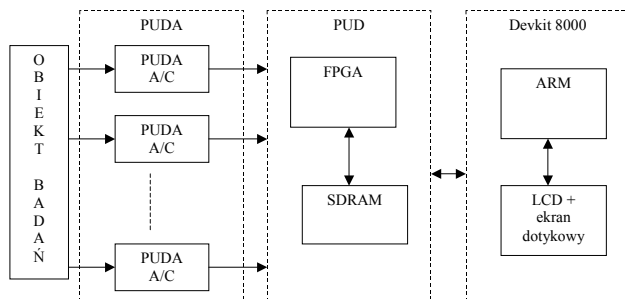
Ze względu na specyfikę badań wibroakustycznych niezbędne również jest spełnienie szeregu wymagań dotyczących sprzętu wykorzystywanego w prowadzonych testach. Do najważniejszych z tych wymagań należy zaliczyć ilość dostępnych kanałów przetwarzania, duża moc obliczeniowa pozwalająca na zaimplementowanie zaawansowanych algorytmów numerycznych oraz przenośność urządzenia.

Zaproponowane rozwiązanie spełnienia te wymagania dzięki zastosowaniu układu FPGA Xilinx Spartan-3, który jest wykorzystywany do akwizycji sygnałów jak również niskopoziomowego przetwarzania danych. Natomiast procesor OMAP 3530 (w kolejnej edycji systemu OMAP4430) współpracujący z układem FPGA wykorzystywany jest do realizacji bardziej zaawansowanych algorytmów przetwarzania sygnałów.

W ramach niniejszego projektu została stworzona heterogeniczna platforma składająca się z trzech głównych komponentów:

- płyty z procesorem OMAP3530 (płytką Devkit8000)
- płyty z układem FPGA (PUD)
- modułów przetworników analogowo-cyfrowych (PUDA)

Sygnaly analogowe pochodzące od czujników zamontowanych w środowisku badanych urządzeń wibroakustycznych są przetwarzane przez przetworniki analogowo-cyfrowe znajdujących się na płytach PUDA. Dalej sygnał cyfrowy jest rejestrowany przez płyte PUD, której sercem jest układ FPGA (ang. *Field Programmable Gate Arrays*). Układ FPGA wstępnie przetwarza sygnał cyfrowy oraz zapisuje go w pamięci zewnętrznej SDRAM (ang. *Synchronous Dynamic Random Access Memory*).



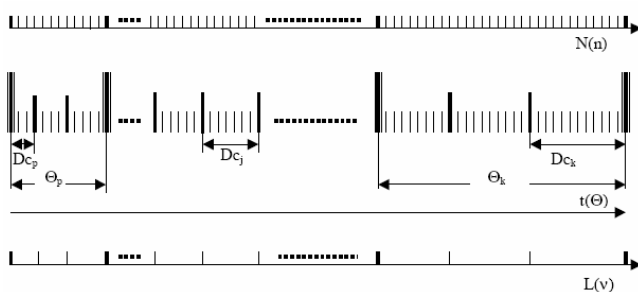
Rys. 1. Struktura platformy systemu wbudowanego
Fig. 1. Block diagram of the embedded system

2. Procedura Liniowej Decymacji

W przypadku maszyn wirnikowych faza rozruchu jest krytyczna, gdyż w trakcie jej trwania może dojść do licznych uszkodzeń. Dlatego bardzo istotne jest, aby urządzenie mechaniczne było monitorowane na etapie rozruchu w celu jak najwcześniejszej detekcji pojawiających się nieprawidłowości (np. nieprawidłowego wyważenia wału).

Niestety nie jest możliwe wykorzystanie wprost klasycznego toru analizy sygnałów (stałego próbkowania oraz analizy widmowej dla sygnałów o stałym w czasie widmie np. FFT), ze względu na wzrost prędkości obrotowej wirnika.

W konsekwencji została zaproponowana Procedura Liniowej Decymacji [1, 2], która pozwala na dynamiczną zmianę kroku próbkowania wraz ze zmianą prędkości obrotowej diagnozowanej maszyny wirnikowej. W konsekwencji liczba próbek na okres obrotu jest stała [3].



Rys. 2. Procedura liniowej decymacji: Θ – czas cyklu, $t(\Theta)$ – czas obserwacji, $N(n)$ – pierwotny zbiór próbek w oknie obserwacji, $L(v)$ – wtórny zbiór próbek w oknie obserwacji po PLD, D_{cp} – początkowy współczynnik decymacji, D_{ck} – końcowy współczynnik decymacji

Fig. 2. Linear Decimation Procedure: Θ – cycle time, $t(\Theta)$ – observation time, $N(n)$ – primary set of samples in the observation window, $L(v)$ – secondary set of samples in the observation window after LDP, D_{cp} – initial decimation ratio, D_{ck} – final decimation ratio

W okresie obserwacji $t(\theta)$, pobierane jest N próbek w sposób ciągły.

$$h = t_h - t_{h-1} = \text{const} \quad (1)$$

gdzie t_h – czas próbkowania.

Zgodnie z twierdzeniem Kotelnikova-Shannona:

$$f_s > 2f_{\max} Dc \quad (2)$$

gdzie: f_s – częstotliwość próbkowania, f_{\max} – maksymalna częstotliwość analizowanego sygnału, Dc – współczynnik decymacji.

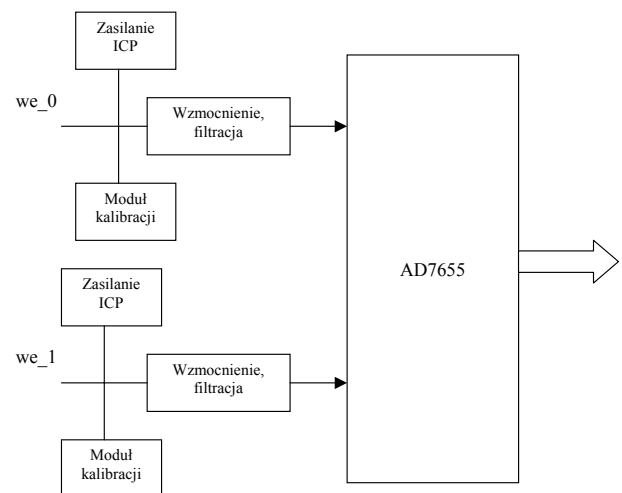
3. Moduł przetworników A/C – PUDA

Główną częścią płyty analogowej PUDA jest przetwornik analogowo-cyfrowy zbudowany na układzie scalonym AD7655 firmy Analog Devices. Schemat blokowy tej karty przetwornika został przedstawiony na rys. 3.

Jest to przetwornik o rozdzielczości 16 bit, 500 KS/s (każdy kanał) dla dwóch kanałów lub 250 kS/s (każdy kanał) dla czterech kanałów, skumulowana częstotliwość próbkowania to 1 MS/s.

Płyta PUDA oprócz przetwornika analogowo-cyfrowego posiada wzmacniacze sygnałów analogowych oraz specjalny interfejs umożliwiający bezpośrednie podłączenie przetworników ICP (ang. *Integrated Circuit Piezoelectric*).

Dzięki wykorzystaniu układu FPGA istnieje możliwość podłączenia do 8 kanałów przetwarzania jednocześnie.



Rys. 3. Schemat blokowy karty z przetwornikiem analogowo-cyfrowym
Fig. 3. Block diagram of the A/C converter module

4. Moduł z układem FPGA

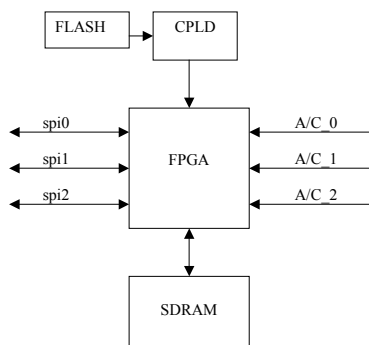
Sercem płyty cyfrowej PUD (rys. 4) jest układ programowalny FPGA Xilinx Spartan-3. Układ ten steruje sygnałami przetwornika analogowo-cyfrowego oraz wzmacniaczy wejściowych. Najważniejszą funkcją FPGA jest pobieranie danych z przetworników A/C, wstępne ich przetwarzanie oraz zapisywanie zarejestrowanych danych do pamięci zewnętrznej SDRAM, znajdującej się na płycie PUD.

Układy FPGA w przeciwieństwie do procesorów umożliwiają dużo łatwiejszą współpracę z prostymi urządzeniami wejścia wyjścia, np. przetwornikami A/C. Ponadto szybkość wstępnego przetwarzania sygnałów na przy pomocy układów FPGA jest z reguły dużo większa niż w przypadkach procesorów ogólnego przeznaczenia lub też procesorów DSP.

Ponadto w układzie FPGA zaimplementowany został procesor MicroBlaze, którego zadaniem jest sterowanie całym procesem rejestracji i przetwarzania danych.

Kanał komunikacyjny pomiędzy układem FPGA i kartą z procesorem OMAP3530 został zrealizowany w standardzie SPI, którego maksymalna teoretyczna przepustowość wynosi 6 MB/s.

W wyniku przeprowadzonych testów w przypadku opisywanego systemu ze względu na jakość połączenia osiągnięta przepustowość wynosi około 3 MB/s na pojedynczy kanał. Zwiększenie przepustowości można osiągnąć poprzez użycie wielu kanałów SPI (max.3).

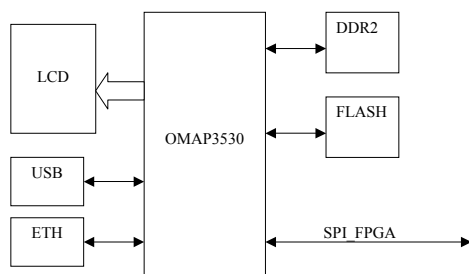


Rys. 4. Schemat blokowy modułu PUD z układem FPGA
Fig. 4. Block diagram of the FPGA module denoted as PUD

Dzięki zastosowaniu pamięci FLASH oraz układu CPLD układ FPGA programowany jest zawsze po uruchomieniu zasilania.

5. Płyta z procesorem OMAP

Moduł Devkit8000 jest modułem spełniającym rolę interfejsu użytkownika dla prezentowanego systemu akwizycji. Wykonuje on również wysokopoziomowe oparcie przetwarzania danych. Za sprawą takich pakietów oprogramowania jak np. Octave możliwe jest bezpośrednie uruchamianie skryptów napisanych i wykonywanych uprzednio na procesorze stacjonarnym.



Rys. 5. Schemat blokowy modułu z procesorem OMAP3530
Fig. 5. Block diagram of the OMAP3530 module

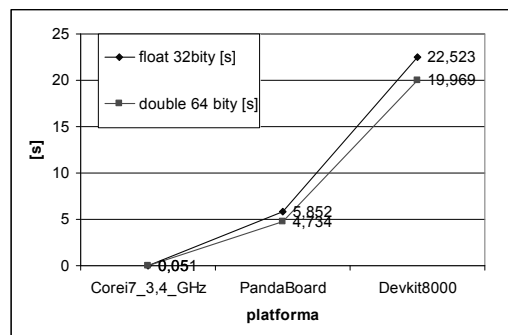
Płyta Devkit8000 [4] wyposażona jest w procesor OMAP3530 składający się z rdzenia ARM Cortex™-A8 Core 600-MHz, oraz procesora sygnałowego TMS320C64x+™ 412-MHz. Ponadto platforma ta zawiera 256 MB pamięci FLASH oraz DDR2 (512 MB łącznie).

W ramach modułu zainstalowany został system operacyjny Linux Ubuntu dla rozwiązań wbudowanych oparty na jądrze 2.6.28.

6. Wyniki implementacji oraz testów

W celu oszacowania mocy obliczeniowej platform opartych na procesorze ARM w porównaniu do procesora stacjonarnego zostały przeprowadzone testy porównawcze dla funkcji $\exp()$. Argumentem wejściowy jest wektor o długości 25×10^6 w formacie zmiennoprzecinkowym zarówno float jak i double.

Wszystkie przedstawione na rys. 6 wyniki dotyczą jednego rdzenia obliczeniowego.



Rys. 6. Czas obliczeń funkcji $\exp()$ dla wektora 25×10^6 danych wejściowych
Fig. 6. Computation results of the $\exp()$ for a vector of 25×10^6 input arguments

Najkrótszy czas obliczeń uzyskiwany jest dla procesora stacjonarnego Core i7 3,4 GHz, drugi w kolejności jest dwurdzeniowy procesor OMAP4430-Cortex-A9 pracujący z częstotliwością 1GHz, w który wyposażona jest płyta PandaBoard [5]. Najwięcej czasu na wykonanie obliczeń dla danego wektora wejściowego potrzebuje procesor OMAP3530-Cortex-A8 600MHz, będący modułem składowym płyty Devkit8000 [4].

Podobnie jak to ma miejsce w przypadku rozwiązań stacjonarnych, systemy wbudowane bardzo szybko ewoluują, co zostało przedstawione na rys. 6. W początkowej fazie tego projektu jako platforma procesora wybrany został Devkit8000, w ciągu niespełna roku pojawiła się konkurencyjna platforma Panda o lepszych parametrach

Należy jednak zaznaczyć, że dzięki modułowej architekturze istnieje możliwość łatwej migracji modułu procesora bez konieczności przebudowy pozostałych elementów składowych systemu.

Warto również podkreślić, że podobna implementacja funkcji $\exp()$ na układzie FPGA zajęła 62.5 ms przy założeniu użycia pojedynczego modułu [6].

7. Wnioski

W niniejszej pracy został przedstawiony i opisany modułowy system wbudowany przeznaczony do akwizycji oraz analizy sygnałów wibroakustycznych. System ten składa się z karty z układem FPGA Xilinx Spartan-3, karty z przetwornikami AC oraz modułu z procesorem OMAP3530. Blok procesora połączony jest z modułem FPGA z wykorzystaniem standardu SPI. System ten został przetestowany dla Procedury Decymacji liniowej, która jest szeroko stosowana do diagnozowania maszyn wirnikowych.

Praca wykonana w ramach realizacji projektu rozwojowego nr N R03 0061 06.

8. Literatura

- [1] Krzyworzeka P., Cioch W.: Machine diagnostics in cycle-time scale using linear decimation procedure, First International Conference on Experiments/Process/System/Modeling/Simulation/Optimization, University of Patras. LFME Athens 6-9 July 2005, Greece.
- [2] Krzyworzeka P.: Wspomaganie synchroniczne w diagnozowaniu maszyn, Instytut Technologii i Eksploatacji, Radom 2004.
- [3] Gardulski J.: The application of a linear decimation procedure In the diagnostics of shock absorbers in passenger vehicles, Zagadnienia Eksploatacji Maszyn, Zeszyt 4 (152), 2007.
- [4] <http://www.embedinfo.com/english/product/devkit8000.asp>
- [5] <http://pandaboard.org/>
- [6] Wielgosz M., Jamro E., Wiatr K.: Highly Efficient Structure of 64-Bit Exponential Function Implemented in FPGAs, ARC 2008, Lecture notes in Springer-Verlag, London LNCS 4943, pp. 274 – 279.