

Marcin WALECKI¹, Marian URBAŃCZYK¹, Damian SŁOTA², Roman WITUŁA²

¹ POLITECHNIKA ŚLĄSKA, KATEDRA OPTOELEKTRONIKI, 44-100 Gliwice, ul. B. Krzywoustego 2,

² POLITECHNIKA ŚLĄSKA, INSTYTUT MATEMATYKI, 44-100 Gliwice, ul. Kaszubska 23

Modelowanie matematyczne przetworników logiki binarnej na logikę wielowartościową oraz realizacja praktyczna przetwornika

Mgr inż. Marcin WALECKI

Absolwent kierunku Elektronika i Telekomunikacja Wydziału Elektrycznego Politechniki Śląskiej w Gliwicach. Od 2006 roku słuchacz studiów doktoranckich w dyscyplinie Elektrotechnika w Politechnice Śląskiej. Zajmuje się zagadnieniami dotyczącymi logiki wielowartościowej, ze szczególnym uwzględnieniem syntezy układów konwertujących sygnały binarne na sygnały logiki wielowartościowej.



e-mail: marwalecki@gmail.com

Dr hab. inż. Marian URBAŃCZYK

Absolwent Wydziału Elektrycznego Pol. Śląskiej w 1973 r., doktorat w IPPT PAN w Warszawie w 1982 r., habilitacja na Wydziale Elektroniki Pol. Wrocławskiej w 1999r. W latach 1973-2009 pracował w Instytucie Fizyki, obecnie w Katedrze Optoelektroniki Wydziału Elektrycznego Pol. Śląskiej. Zawodowo zajmuje się akustoelektroniką, akustycznymi falami powierzchniowymi w zastosowaniu do obróbki sygnałów. Dorobek naukowy - ponad 120 publikacji i 4 patenty RP.



e-mail: marian.urbanczyk@polsl.pl

Dr inż. Damian SŁOTA

Adiunkt w Instytucie Matematyki Politechniki Śląskiej w Gliwicach. Zajmuje się metodami numerycznymi dla bezpośrednich oraz odwrotnych zagadnień związanych z przepływem ciepła oraz innymi zastosowaniami matematyki, a także elementami teorii liczb i zagadnień pokrewnych.



e-mail: damian.slota@polsl.pl

Dr inż. Roman WITUŁA

Adiunkt w Instytucie Matematyki Politechniki Śląskiej w Gliwicach. Zajmuje się zagadnieniami dotyczącymi algebry, teorii liczb, funkcji specjalnych oraz ich zastosowań w naukach technicznych.



e-mail: roman.witula@polsl.pl

Streszczenie

Podano przykładowe rozwiązanie zagadnienia wyznaczenia zależności opisującej stan logiczny jednego z wyjść przetwornika logiki binarnej na logikę wielowartościową (synteza układu logicznego). Analizę wykonano na platformie pakietu *Mathematica*. Przedstawiono funkcjonalny schemat blokowy użytego programu. Na podstawie uzyskanych wyników w programie oraz wzoru ogólnego na stan logiczny drugiego wyjścia przetwornika przedstawiono przykładowy teoretyczny model przetwornika sygnałów logiki dwuwartościowej na ośmiowartościową (2/8), dla dowolnych poziomów napięciowych sygnałów logicznych. Wykonano symulacje przetwornika w programie SPICE dla układu idealnego. Zaproponowano realizację przetwornika sygnałów logicznych dwuwartościowych na ośmiowartościowe z zastosowaniem dwóch napięciowych wzmacniaczy operacyjnych (działających jako sumatory). Układ przetwornika zrealizowano praktycznie. Wyniki testów przetwornika 2/8 przedstawiono na oscylogramach.

Słowa kluczowe: modelowanie matematyczne, logika binarna i wielowartościowa, enkoder.

Mathematical modelling of binary to multivalued logic converters and practical converter design

Abstract

The paper deals with application of the sum conjunction method in Mathematica software to determination of logic state of one of the multivalued logic converter outputs. Basing on the results of the mathematical modeling and using the general equation for the second converter output, a theoretical model of the binary to eight-state logic (2/8) converter for arbitrary levels of the logic signal voltage is proposed. The general scheme of the converter is also presented in the paper. The two-state to eight-state-logic converter practical realization with use of two multiple input voltage operational amplifiers is proposed. In the converter these operational amplifiers works as adders. The converter output signals are obtained from simulations. The simulations were performed when assuming the single-pole roll-off characteristic of the amplifier. The converter of logic signals (2/8) was practically constructed and tested. The investigation results are shown on oscillograms. The converter works correctly within the frequency range up to 20 kHz. For higher frequencies of the input signal there are observed distortions of the output signal because of parasitic capacitances.

Keywords:

1. Wprowadzenie

Logika wielowartościowa jest uogólnieniem dwuwartościowej logiki boolowskiej, zakładającej istnienie więcej niż dwóch wartości logicznych. Układy cyfrowe pracujące w oparciu o logikę wielowartościową pozwalają na zmniejszenie liczby połączeń wewnętrznych i zewnętrznych między poszczególnymi blokami. Wobec rosnącej złożoności układów cyfrowych problem połączeń stał się bardzo istotnym ograniczeniem, gdyż połączenia wewnętrzne mogą zajmować nawet kilkadziesiąt procent powierzchni układu [1-4]. Podstawowymi blokami umożliwiającymi komunikację układów cyfrowych pracujących w logice wielowartościowej z układami cyfrowymi binarnymi są przetworniki sygnałów cyfrowych dwuwartościowych (binarnych) na wielowartościowe. Do realizacji przetworników między dwuwartościowych na wielowartościowe można zastosować napięciowe wielowartościowe wzmacniacze operacyjne [5-7] (MIOA – ang. *multi input operational amplifier*). Ich przydatność do tego celu wynika z tego, że wzmacniacze te pozwalają w prosty sposób realizować operacje sumowania, odejmowania oraz mnożenia i dzielenia przez stałą [8]. Układy przetworników można zasadniczo zbudować wykorzystując sumatory. W szczególnych przypadkach, gdy nie występują operacje odejmowania, nie ma konieczności używania dodatkowych elementów zewnętrznych do zmiany znaku przy operacji odejmowania, takich jak inwertery.

2. Teoretyczny model czterobitowego przetwornika logicznego sygnału dwuwartościowego na ośmiowartościowy

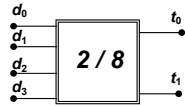
Sygnały logiki dwuwartościowej d należą do zbioru dwuelementowego D , o elementach określanych w praktyce jako niski (L_2 – *low*) i wysoki (H_2 – *high*), co można zapisać jako:

$$d \in \langle L_2, H_2 \rangle = D \tag{1}$$

Sygnaly logiki ośmiowartościowej q należą do zbioru ośmioelementowego Q , co można zapisać jako:

$$q \in \langle 0,1,2,3,4,5,6,7 \rangle = \langle P_0, P_1, P_2, P_3, P_4, P_5, P_6, P_7 \rangle = Q \tag{2}$$

Wtedy czterobitowy przetwornik sygnału dwuwartościowego na ośmiowartościowy (rys. 1), o czterech wejściach dwuwartościowych i dwóch wyjściach ośmiowartościowych, opisuje tablica stanów (tab. 1).



Rys. 1. Symbol czterobitowego przetwornika sygnału dwuwartościowego d_n na sygnał ośmiowartościowy q_n .

Fig. 1. Circuit symbol of the four-bit logic decoder of binary signal d_n to eight-state logic signal q_n .

Tab. 1. Tablica stanów czterobitowego przetwornika sygnału dwuwartościowego na sygnał ośmiowartościowy

Tab. 1. Truth table of the four-bit logic decoder of binary signal to eight-state logic signal

Dec.	Wejścia				Wyjście niesymetryczne		Oznaczenie w zapisie macierzowym
	d_3	d_2	d_1	d_0	t_1	t_0	
0	0	0	0	0	0	0	τ_1
1	0	0	0	1	0	1	τ_2
2	0	0	1	0	0	2	τ_3
3	0	0	1	1	0	3	τ_4
4	0	1	0	0	0	4	τ_5
5	0	1	0	1	0	5	τ_6
6	0	1	1	0	0	6	τ_7
7	0	1	1	1	0	7	τ_8
8	1	0	0	0	1	0	τ_9
9	1	0	0	1	1	1	τ_{10}
10	1	0	1	0	1	2	τ_{11}
11	1	0	1	1	1	3	τ_{12}
12	1	1	0	0	1	4	τ_{13}
13	1	1	0	1	1	5	τ_{14}
14	1	1	1	0	1	6	τ_{15}
15	1	1	1	1	1	7	τ_{16}

Próbuje się opracować analityczne metody poszukiwania ogólnego równania opisującego zależności pomiędzy wejściami i wyjściami przetwornika, by na ich podstawie zbudować schematy logiczne dla przetworników $2/n$. Poprawność działania modelu układu przetwornika można zbadać w symulacji komputerowej, a następnie można fizycznie zbudować układ przetwornika z elementów elektronicznych.

W przypadku przetwornika $2/n$ ($n > 2$) równanie ogólne na stan wyjścia t_0 wyraża się zależnością:

$$t_0 = \sum_{i=0}^3 2^i d_i - \sum_{j=1}^k (n^j t_j) \tag{3}$$

gdzie $k=2$ dla przetwornika $2/3$ (w którym występują 3 wyjścia $\{t_2, t_1, t_0\}$), $k=1$ dla przetwornika $2/4, 2/5, \dots, 2/8$, t_j – odpowiednie stany na pozostałych wyjściach.

Należy wyznaczyć wzory opisujące stan wyjścia t_1 przetwornika. Na podstawie tablic stanów dla poszczególnych typów prze-

tworników (zob. tab. 1) można metodą sumy koniunkcji w programie *Mathematica* [9] wyznaczyć (zakładając pewne ograniczenia, łącznie z parametrami) zależności na stany t_1 dla poszczególnych typów przetworników od $2/3$ do $2/8$. Program analizuje wszystkie możliwe koniunkcje. W wyniku analizy uzyskuje się nieskończenie wiele rozwiązań. Do praktycznej realizacji wybiera się rozwiązania interesujące projektanta dla danego, konkretnego przypadku przetwornika. Kryterium ostatecznego wyboru funkcji logicznej może być np. minimalny koszt oraz maksymalna szybkość działania układu przetwornika.

3. Synteza przetwornika 2/8

Niech d_0, d_1, d_2, d_3 będą zmiennymi binarnymi. Oznaczmy $\mathbf{d} := (d_0, d_1, d_2, d_3)$. Rozpatrzmy wszystkie możliwe funkcje logiczne będące koniunkcją czterech, trzech, dwóch oraz jednej zmiennej logicznej lub jej negacji. Funkcji takich jest osiemdziesiąt:

$$A_1(\mathbf{d}) = A_1(d_0, d_1, d_2, d_3) := d_0 \cap d_1 \cap d_2 \cap d_3$$

$$A_2(\mathbf{d}) = A_2(d_0, d_1, d_2, d_3) := \bar{d}_0 \cap d_1 \cap d_2 \cap d_3$$

$$A_{16}(\mathbf{d}) = A_{16}(d_0, d_1, d_2, d_3) := \bar{d}_0 \cap \bar{d}_1 \cap \bar{d}_2 \cap \bar{d}_3$$

$$A_{17}(\mathbf{d}) = A_{17}(d_0, d_1, d_2, d_3) := d_0 \cap d_1 \cap d_2$$

$$A_{18}(\mathbf{d}) = A_{18}(d_0, d_1, d_2, d_3) := \bar{d}_0 \cap d_1 \cap d_2$$

(4)

$$A_{73}(\mathbf{d}) = A_{73}(d_0, d_1, d_2, d_3) := d_0$$

$$A_{74}(\mathbf{d}) = A_{74}(d_0, d_1, d_2, d_3) := d_1$$

$$A_{75}(\mathbf{d}) = A_{75}(d_0, d_1, d_2, d_3) := d_2$$

$$A_{76}(\mathbf{d}) = A_{76}(d_0, d_1, d_2, d_3) := \bar{d}_3$$

$$A_{77}(\mathbf{d}) = A_{77}(d_0, d_1, d_2, d_3) := \bar{d}_0$$

$$A_{78}(\mathbf{d}) = A_{78}(d_0, d_1, d_2, d_3) := \bar{d}_1$$

$$A_{79}(\mathbf{d}) = A_{79}(d_0, d_1, d_2, d_3) := \bar{d}_2$$

$$A_{80}(\mathbf{d}) = A_{80}(d_0, d_1, d_2, d_3) := \bar{d}_3$$

gdzie \bar{d}_i oznacza negację zmiennej binarnej d_i .

Zdefiniujmy teraz funkcję $G(\mathbf{d})$ w następujący sposób:

$$G(\mathbf{d}) = \sum_{i=1}^{80} \varepsilon_i A_i(\mathbf{d}) \tag{5}$$

Zadanie polega na takim dobraniu parametrów ε_i , $i = 1, 2, \dots, 80$, aby spełnione były warunki:

$$G(\mathbf{d}_k) = \tau_k \quad k = 1, 2, \dots, 16. \tag{6}$$

Składowe wektorów \mathbf{d}_k są kolejnymi wejściowymi sygnałami dwójkowymi (d_0, d_1, d_2, d_3) (zob. tab. 1). Mamy więc do czynienia z zadaniem interpolacji, w którym danych jest szesnaście punktów, a wyznaczyć należy osiemdziesiąt parametrów. W rozważanym przypadku sprowadza się więc ono do rozwiązania układu szesnastu równań liniowych z osiemdziesięcioma niewiadomymi:

$$\begin{cases} A_1(\mathbf{d}_1)\varepsilon_1 + A_2(\mathbf{d}_1)\varepsilon_2 + \dots + A_{80}(\mathbf{d}_1)\varepsilon_{80} = \tau_1, \\ A_1(\mathbf{d}_2)\varepsilon_1 + A_2(\mathbf{d}_2)\varepsilon_2 + \dots + A_{80}(\mathbf{d}_2)\varepsilon_{80} = \tau_2, \\ \vdots \\ A_1(\mathbf{d}_{16})\varepsilon_1 + A_2(\mathbf{d}_{16})\varepsilon_2 + \dots + A_{80}(\mathbf{d}_{16})\varepsilon_{80} = \tau_{16}. \end{cases} \tag{7}$$

W zapisie macierzowym układ ten ma postać:

$$\mathbf{B}\boldsymbol{\varepsilon} = \boldsymbol{\tau} \tag{8}$$

gdzie $\boldsymbol{\tau} = (\tau_1, \tau_2, \dots, \tau_{16})^T$ jest wektorem wyrazów wolnych (prawych stron równań (7)) ($\boldsymbol{\tau}^T$ oznacza transponowanie wektora $\boldsymbol{\tau}$), $\boldsymbol{\varepsilon} = (\varepsilon_1, \varepsilon_2, \dots, \varepsilon_{80})^T$ jest wektorem niewiadomych, a \mathbf{B} jest macierzą współczynników:

$$\mathbf{B} = \begin{bmatrix} A_1(\mathbf{d}_1) & A_2(\mathbf{d}_1) & \dots & A_{16}(\mathbf{d}_1) & \dots & A_{80}(\mathbf{d}_1) \\ A_1(\mathbf{d}_2) & A_2(\mathbf{d}_2) & \dots & A_{16}(\mathbf{d}_2) & \dots & A_{80}(\mathbf{d}_2) \\ \vdots & \vdots & \ddots & \vdots & \ddots & \vdots \\ \vdots & \vdots & \ddots & \vdots & \ddots & \vdots \\ A_1(\mathbf{d}_{16}) & A_2(\mathbf{d}_{16}) & \dots & A_{16}(\mathbf{d}_{16}) & \dots & A_{80}(\mathbf{d}_{16}) \end{bmatrix} \quad (9)$$

Układ ten będzie miał rozwiązanie, jeśli rząd macierzy \mathbf{B} będzie równy rzędowi macierzy dołączonej $[\mathbf{B}|\boldsymbol{\tau}]$. Macierz \mathbf{B} jest macierzą o wymiarze 16×80 , czyli jej rząd nie może być większy od 16. Podmacierzą macierzy \mathbf{B} jest macierz \mathbf{A} :

$$\mathbf{A} = \begin{bmatrix} A_1(\mathbf{d}_1) & A_2(\mathbf{d}_1) & \dots & A_{16}(\mathbf{d}_1) \\ A_1(\mathbf{d}_2) & A_2(\mathbf{d}_2) & \dots & A_{16}(\mathbf{d}_2) \\ \vdots & \vdots & \ddots & \vdots \\ \vdots & \vdots & \ddots & \vdots \\ A_1(\mathbf{d}_{16}) & A_2(\mathbf{d}_{16}) & \dots & A_{16}(\mathbf{d}_{16}) \end{bmatrix}, \quad (10)$$

która w każdym wierszu i w każdej kolumnie ma dokładnie jeden element równy jeden, a pozostałe są równe zero. Rząd macierzy \mathbf{A} jest więc równy 16 ($\text{rank} \mathbf{A} = 16$), tym samym jest to macierz nieosobliwa ($\det \mathbf{A} \neq 0$). Oznacza to, że rząd macierzy \mathbf{B} jest także równy 16.

Macierz dołączona $[\mathbf{B}|\boldsymbol{\tau}]$ ma wymiar 16×81 , czyli jej rząd także nie może być większy od 16, a ponieważ i ona zawiera podmacierz \mathbf{A} więc rząd macierzy dołączonej $[\mathbf{B}|\boldsymbol{\tau}]$ jest także równy 16. Układ równań $\mathbf{B}\boldsymbol{\varepsilon} = \boldsymbol{\tau}$ ma więc nieskończenie wiele rozwiązań, które zależą od $80 - 16 = 64$ parametrów.

W przypadku wyznaczania funkcji $G(\mathbf{d})$ zadanie sprowadza się do rozwiązania układu szesnastu równań liniowych z osiemnastoma niewiadomymi. W wyniku czego otrzymujemy nieskończenie wiele funkcji $G(\mathbf{d})$ spełniających podane warunki:

$$G(\mathbf{d}_k) = \tau_k, \quad k = 1, 2, \dots, 16. \quad (11)$$

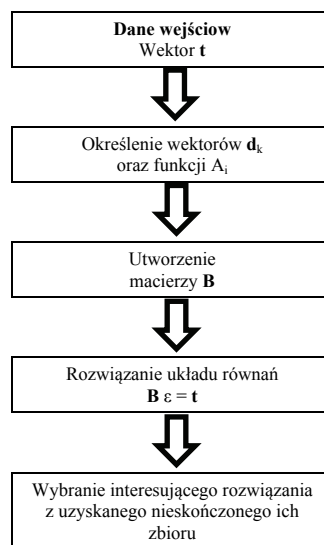
Obliczenia numeryczne zostały wykonane w pakiecie *Mathematica* [10]. Najpierw w programie zdefiniowano wektory sygnałów wejściowych \mathbf{d}_k , $k = 1, 2, \dots, 16$, oraz określono funkcje A_i $i = 1, 2, \dots, 16$. W kolejnym kroku utworzono macierz \mathbf{B} . Po przyjęciu 64 zmiennych za parametry, układ równań $\mathbf{B}\boldsymbol{\varepsilon} = \boldsymbol{\tau}$ rozwiązano w sposób dokładny. Wykorzystano w tym celu instrukcję *Solve* z pakietu *Mathematica*, która automatycznie przyjmuje część zmiennych za parametry i rozwiązuje otrzymany układ nieosobliwy w sposób dokładny. W wyniku czego otrzymujemy nieskończenie wiele wektorów $\boldsymbol{\varepsilon}$, które wyznaczają funkcje $G(\mathbf{d})$. Analizując otrzymane rozwiązania, możemy wybrać funkcję $G(\mathbf{d})$, którą uznamy za najbardziej przydatną do syntezy przetwornika. Jako kryterium wyboru funkcji możemy, na przykład, przyjąć liczbę składników jaką zawiera funkcja $G(\mathbf{d})$ (wybrać funkcję z najmniejszą liczbą składników), lub też postać, którą można najłatwiej zrealizować praktycznie.

Schemat blokowy obliczeń przedstawiono na rys. 2. W przypadku przetwornika 2/8 otrzymano przykładowo niżej podane rozwiązanie:

$$G_1(\mathbf{d}) = G_1(d_0, d_1, d_2, d_3) = (-1)(\overline{d_3}) + (d_2 \cap d_3) + (\overline{d_2} \cap d_3) + (-1)(d_1 \cap d_3) + (\overline{d_0} \cap \overline{d_3}) + (d_1 \cap d_2 \cap d_3) + (d_1 \cap \overline{d_2} \cap d_3) + (d_0 \cap d_1 \cap d_2) \cap (-1)(d_0 \cap \overline{d_1} \cap \overline{d_2}) + (-1)(d_0 \cap d_1 \cap d_2 \cap d_3) + (d_0 \cap \overline{d_1} \cap d_2 \cap \overline{d_3}) + (d_0 \cap \overline{d_1} \cap \overline{d_2} \cap d_3) + (d_0 \cap \overline{d_1} \cap \overline{d_2} \cap \overline{d_3}) \quad (12)$$

oraz

$$G_2(\mathbf{d}) = G_2(d_0, d_1, d_2, d_3) = (d_0 \cap d_1 \cap d_2 \cap d_3) + (d_0 \cap d_1 \cap \overline{d_2} \cap d_3) + (d_0 \cap \overline{d_1} \cap d_2 \cap \overline{d_3}) + (d_0 \cap \overline{d_1} \cap \overline{d_2} \cap d_3) + (\overline{d_0} \cap d_1 \cap d_2 \cap d_3) + (\overline{d_0} \cap d_1 \cap \overline{d_2} \cap d_3) + (\overline{d_0} \cap \overline{d_1} \cap d_2 \cap d_3) + (\overline{d_0} \cap \overline{d_1} \cap \overline{d_2} \cap d_3). \quad (13)$$



Rys. 2. Schemat blokowy obliczeń
Fig. 2. Block diagram of calculations

Wśród rozwiązań najprostszą postać ma rozwiązanie:

$$G_3(\mathbf{d}) = G_3(d_0, d_1, d_2, d_3) = d_3. \quad (14)$$

4. Praktyczny model przetwornika z zastosowaniem wzmacniaczy operacyjnych

Na podstawie wzorów na stan wyjść t_0 i t_1 można zbudować układy przetworników logiki binarnej na logikę wielowartościową. Jako przykład podano sposób syntezy przetwornika 2/8.

Na podstawie wzoru ogólnego (3) oraz wyników otrzymanych z programu *Mathematica* można napisać zależności opisujące wyjście t_0 i t_1 .

Dla równych odstępów Δ_8 poziomów sygnałów ośmiowartościowych, stany t_0 i t_1 wyjść przetwornika 2/8 wynoszą odpowiednio:

$$t_0 = (8d_3 + 4d_2 + 2d_1 + d_0 - 8t_1)\alpha \quad (15)$$

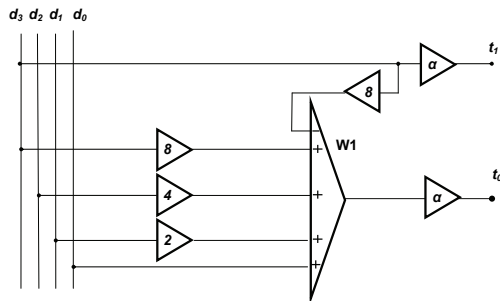
$$t_1 = (d_3)\alpha \quad (16)$$

gdzie α – współczynnik wzmocnienia, ustalający poziom sygnału wyjściowego.

Stan t_1 wyznaczony jest na podstawie zbioru wyników uzyskanych w programie *Mathematica* - wybiera się najprostszą zależność (15).

W relacjach tych występują operacje arytmetyczne sumy i różnicy. Zrealizowany na ich podstawie czterobitowy przetwornik 2/8 przedstawiony jest na schemacie blokowym na rys. 3. Relacje (4) i (5) pozwalają kształtować dowolnie rzeczywiste poziomy liczbowe sygnałów logicznych zbioru Q w stosunku do poziomów liczbowych sygnałów logicznych zbioru D przez dobór wartości współczynnika α .

Przetwornik 2/8 zawiera w całości część arytmetyczną, realizującą sumy sygnałów oraz mnożenie sygnałów wejściowych przez stałą w wielowartościowych wzmacniaczach operacyjnych [5-7].

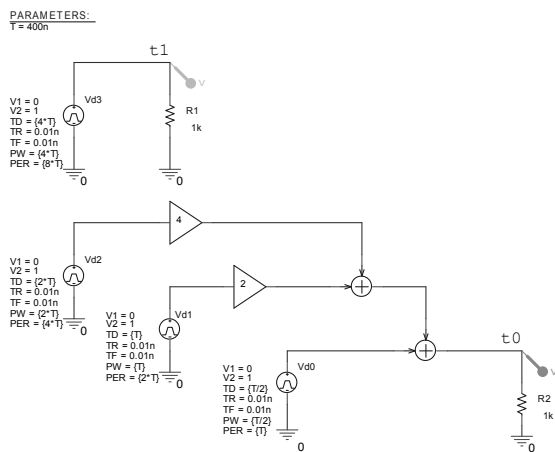


Rys. 3. Schemat ideowy przetwornika logiki dwuwartościowej (binarnej) na logikę ośmiowartościową (2/8)

Fig. 3. Schematic diagram of binary to eight-state logic (2/8) converter

Na podstawie ogólnego schematu ideowego przedstawionego na rys. 3 można układ przetwornika zamodelować w programie SPICE, przeznaczonym do symulacji układów elektronicznych. Symulację przeprowadzono dla układu przetwornika zawierającego wzmacniacze oraz sumatory idealne [10].

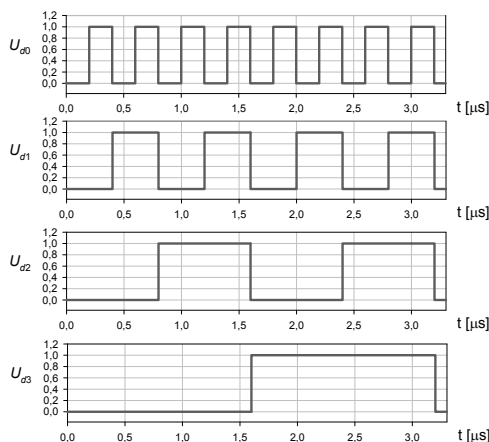
Schemat blokowy przetwornika (złożonego z elementów idealnych) logiki dwuwartościowej (binarnej) na logikę ośmiowartościową, zbudowany na podstawie schematu z rys. 3, przedstawiono na rys. 4. Blok W1 ze schematu ideowego na rys. 3 został zrealizowany w układzie symulacyjnym przy pomocy węzłów sumacyjnych (rys. 4).



Rys. 4. Schemat blokowy przetwornika idealnego logiki dwuwartościowej (binarnej) na logikę ośmiowartościową (2/8) w programie SPICE

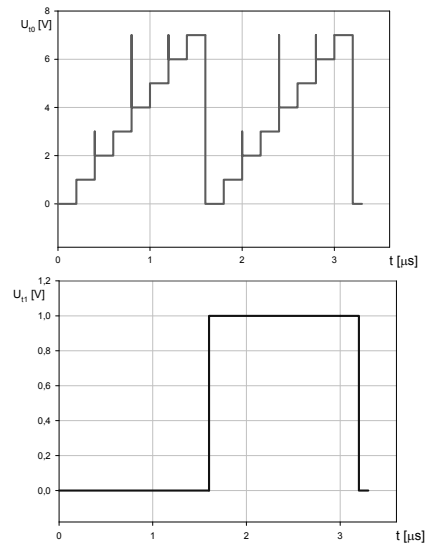
Fig. 4. Block diagram of the binary to eight-state logic (2/8) ideal converter in SPICE

Sygnaly testowe U_d na wejściu analizowanego układu przedstawiono na rys. 5.



Rys. 5. Sygnaly wejściowe układu przetwornika 2/8
Fig. 5. Input signals of the 2/8 converter

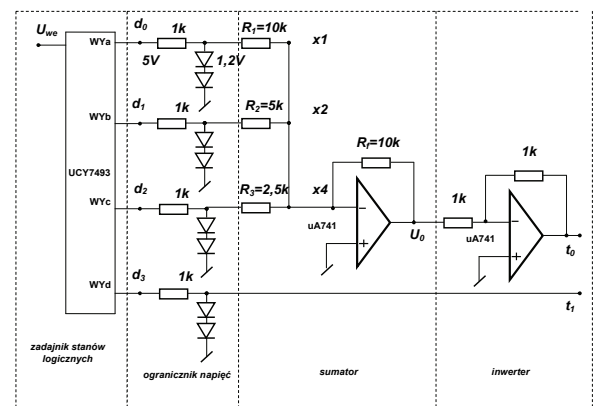
Sygnaly t_0, t_1 (U_{t0}, U_{t1}) na wyjściu przetwornika przedstawiono na rys. 6. Szpilki pojawiają się w wyniku różnych czasów przejścia sygnału przez bramki. Jest to zjawisko hazardu.



Rys. 6. Sygnaly wyjściowe t_0, t_1 symulowanego przetwornika logiki dwuwartościowej (binarnej) na ośmiowartościową

Fig. 6. Input signals t_0, t_1 of the simulated binary to eight-state logic converter

Układ przetwornika fizycznie można zbudować w oparciu o sumatory lub w oparciu o wielowejściowe wzmacniacze operacyjne WO. Na rys. 7 pokazano schemat praktycznej realizacji układu przetwornika 2/8 opartego wyłącznie na sumatorze.



Rys. 7. Schemat układu przetwornika 2/8 zbudowanego z wykorzystaniem sumatora (wykonany praktycznie)

Fig. 7. Diagram of the converter 2/8 system constructed by using an adder (practically realized)

Jako zadajnik logicznych stanów wejściowych zastosowano układ UCY7493 - czterobitowy licznik binarny. Sygnaly na wyjściach licznika (WYa, WYb, WYc, WYc na rys. 7) mają wartość w stanie wysokim 5V. W układzie zastosowano diodowe ograniczniki napięciowe, ograniczające napięcie na wyjściu zadajnika do 1,2V ($U_{d0}, U_{d1}, U_{d2}, U_{d3}$). Wartość napięcia 1,2V została przyjęta w układzie jako kwant napięcia wejściowego.

Sumator realizuje funkcję:

$$U_o = -(k_1 U_{d0} + k_2 U_{d1} + k_3 U_{d2}) \quad (17)$$

oraz:

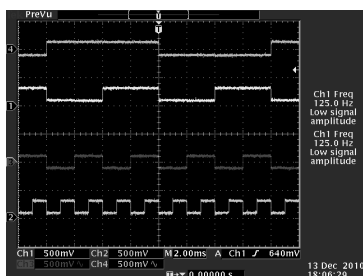
$$k_1 = 1 = \frac{R_f}{R_1} \quad (18)$$

$$k_2 = 2 = \frac{R_f}{R_2} \quad (19)$$

$$k_3 = 4 = \frac{R_f}{R_4} \quad (20)$$

W celu uzyskania na wyjściu sygnału o odpowiedniej fazie na wyjściu układu zastosowano inwerter.

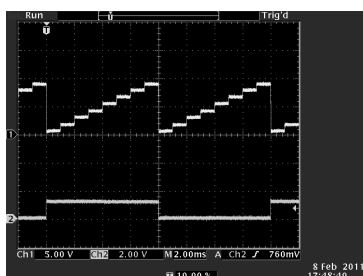
Na rys. 8 przedstawiono zarejestrowane sygnały wejściowe U_{d0} , U_{d1} , U_{d2} , U_{d3} z zadajnika stanów logicznych.



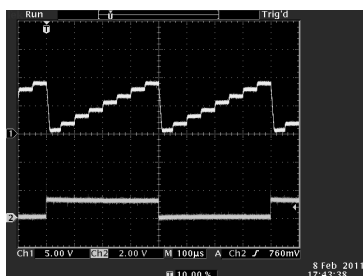
Rys. 8. Sygnały wejściowe przetwornika 2/8
Fig. 8. Input signals of the converter 2/8

Wraz ze zmianą częstotliwości napięcia wejściowego U_{we} (rys. 7) zmieniają się poszczególne częstotliwości sygnałów wejściowych U_{d0} , U_{d1} , U_{d2} , U_{d3} oraz wyjściowych U_{i0} i U_{i1} na zaciskach $t0$ oraz $t1$.

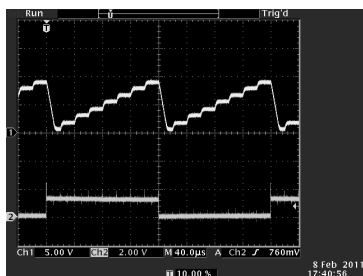
Na rys. 9 do 12 przedstawiono zarejestrowany sygnał wyjściowy z przetwornika dla różnych częstotliwości sygnałów wejściowych U_{d0} , U_{d1} , U_{d2} , U_{d3} .



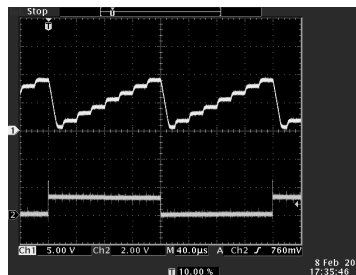
Rys. 9. Sygnał na wyjściu przetwornika 2/8 zbudowanego z wykorzystaniem sumatora dla częstotliwości przebiegu U_{d0} 1kHz
Fig. 9. Output signal of the converter 2/8 constructed by using an adder for frequency of U_{d0} equal to 1kHz



Rys. 10. Sygnał na wyjściu przetwornika 2/8 zbudowanego z wykorzystaniem sumatora dla częstotliwości przebiegu U_{d0} 20kHz
Fig. 10. Output signal of the converter 2/8 constructed by using an adder for frequency of U_{d0} equal to 20kHz



Rys. 11. Sygnał na wyjściu przetwornika 2/8 zbudowanego z wykorzystaniem sumatora dla częstotliwości przebiegu U_{d0} 30kHz
Fig. 11. Output signal of the converter 2/8 constructed by using an adder for frequency of U_{d0} equal to 30kHz



Rys. 12. Sygnał na wyjściu przetwornika 2/8 zbudowanego z wykorzystaniem sumatora dla częstotliwości przebiegu U_{d0} 50kHz
Fig. 12. Output signal of the converter 2/8 constructed by using an adder for frequency of U_{d0} equal to 50kHz

Przetwornik działa poprawnie do częstotliwości ok. 20 kHz. Dla wyższych częstotliwości pojawia się wpływ inercji spowodowanej pojemnościami pasozytniczymi występującymi w układzie.

5. Wnioski

Zalety stosowania układów cyfrowych z logiką wielowartościową są powodem zainteresowania syntezą układów przetworników logiki dwuwartościowej na wielowartościową. W pracy przedstawiono analityczny sposób poszukiwania postaci funkcji logicznej opisującej stan wyjść przetwornika. Zostały sformułowane równania algebraiczne, rozwiązane następnie w środowisku pakietu *Mathematica*. Spośród możliwych rozwiązań na postać funkcji logicznej do praktycznej, przykładowej realizacji przetwornika wybrano funkcję logiczną o najprostszej postaci, dogodnej do przedstawienia w postaci wielowejściowych wzmacniaczy operacyjnych. W pracy zamieszczono wyniki symulacji układu przetwornika 2/8 oraz wyniki badań odpowiedzi przetwornika na zadany sygnał dwuwartościowy na wejściu. Zastosowana metoda analityczna okazała się skuteczna do syntezy funkcji logicznej dowolnego przetwornika logiki wielowartościowej.

6. Literatura

- [1] Hurst S.L.: Multiple-value logic – its status and its future. IEEE Transactions on Komputer. Vol. C-33, December, 1984, pp. 1160–1179.
- [2] Mangin J.L., Current K.W.: Characteristics of prototype CMOS quaternary logic encoder-decoder circuits. IEEE Trans. on Computers. Vol.c-35. no. 2. 1986, pp. 157–161.
- [3] Wu X.W.: CMOS ternary logic circuits. IEE Proceedings on Circuits, Devices and Systems. Vol. 137. No. 1, 1990, pp. 21–27.
- [4] Thoidis I., Soudris D., Karfyllidis I., Christoforidis S., Thanailakis A.: Quaternary voltage-mode CMOS circuits for multiple-valued logic. IEE Proc. –CDS. Vol. 145. No. 2. 1998, pp. 71 – 77.
- [5] Topór-Kamiński L.: Wielowejściowy WO w układach o skokowo ustawianych wzmocnieniach. XXV – IC – SPETO, 2002.
- [6] Topór-Kamiński L.: Wielowejściowy wzmacniacz operacyjny w prądowych układach nieliniowych. Zeszyty Naukowe Politechniki Śląskiej, Seria: ELEKTRYKA, z.182, 2002.
- [7] Topór-Kamiński L., Pasko M.: Digitally tuned sinusoidal oscillator using one multiple-input operational amplifiers. Institute of Electrical Engineering. Acad. Sci. Czech Republic. Acta Techn. CSAV 49, 2004, pp. 257-266.
- [8] Walecki M., Urbańczyk M.: Przetwornik sygnałów logiki dwuwartościowej z trójwartościową z zastosowaniem wielowejściowego wzmacniacza operacyjnego, praca przyjęta do druku w PAK, nr 2, 2011.
- [9] Grzymkowski R., Kapusta A., Kuboszek T., Słota D.: Mathematica 6, WPKJS, Gliwice 2008.
- [10] Topór-Kamiński L., Holajn P.: Identyfikacja parametrów makromodelu wielozaciskowego napięciowego wzmacniacza operacyjnego. Materiały XXVIII – IC – SPETO, 2005, str. 343–347.