

**Adam SZCZEŚNIAK, Zynovij MYCZUDA**

WYDZIAŁ MECHATRONIKI I BUDOWY MASZYN,  
Aleja Tysiąclecia Państwa Polskiego 7, 25-314 Kielce

## Analiza rozwiązań układowych zmniejszających rezystancję przewodzenia w przełącznikach analogowych

Mgr inż. Adam SZCZEŚNIAK

Mgr Adam Szcześniak jest doktorantem na kierunku Automatyka i Robotyka na Wydziale Mechatroniki i Budowy Maszyn Politechniki Świętokrzyskiej. Jego zainteresowania naukowe koncentrują się głównie wokół układów elektronicznych, mikrokontrolerów, przetworników analogowo-cyfrowych, logarytmicznych, pomiarowych oraz optoelektronicznych. Jest autorem rozdziału w monografii, ponad 10 artykułów naukowych oraz zgłoszenia patentowego.



e-mail: adam\_szcześniak@o2.pl

Prof. dr hab. inż. Zynovij MYCZUDA

Prof. dr hab. inż. Zynovij Myczuda jest profesorem Politechniki Świętokrzyskiej w Kielcach oraz Politechniki Lwowskiej. Jego zainteresowania naukowe obejmują metody analizy i modelowania urządzeń automatyki oraz przetworniki analogowo-cyfrowe, logarytmiczne i pomiarowe. Jest autorem ponad 140 prac naukowych, w tym 1 monografii i 30 patentów.



e-mail: z\_mychuda@ukr.net

### Streszczenie

W artykule przedstawiono rozwiązania układowe pozwalające na zmniejszenie rezystancji przewodzenia przełączników analogowych. Przeprowadzono symulację trzech rozwiązań układów przełączających analizując ich właściwości. Określono podstawowe parametry oraz zbadano stabilność tych układów. Dla ulepszonego układu przełączającego ze sprzężeniem zwrotnym przeprowadzono analizę matematyczną, uwzględniając pojemności pasożytnicze przełącznika i wzmacniacza operacyjnego.

**Słowa kluczowe:** przełącznik analogowy, układ przełączający, rezystancja przewodzenia, zmniejszenie rezystancji, symulacja przełączników analogowych.

### Analysis of circuit solutions decreasing on-resistance in analog switches

#### Abstract

This paper presents a new circuit design enabling the decrease in on-resistance of analog switches. The simulation of three switching circuit solutions was performed when analysing their properties. Basic parameters were determined and the stability of these circuits was tested. The mathematical analysis (taking into account parasitic capacitances of the analog switch and operational amplifier) was carried out for the improved switching circuit with feedback. It was found that the improved switching circuit with feedback (Fig.3) has the highest parameters in comparison with other switching circuits on transistors and operational amplifiers:

- resistance of the switching circuit in closed state is lower than  $0.02 \Omega$
- switching-on time of the switching circuit is practically equal to that of a single analog switcher used in switching circuits.

The proposed mathematical model reflects properly the real switching circuit, which was confirmed by the closeness of the results obtained from the model analysis and the real model simulation.

**Keywords:** analog switch, switching circuit, on-resistance, decrease of resistance, simulation of analog switches.

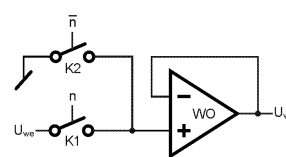
## 1. Wprowadzenie

Analogowe przełączniki mają szerokie zastosowanie w automatyce i pomiarach. Stosuje się je również do przekształcania i obróbki analogowych informacji systemów automatyki i systemów pomiarowych. [1, 2, 3, 7, 8]. Ich parametry w znacznej mierze wpływają na dokładność i szybkość działania wspomnianych wyżej systemów. Analogowe przełączniki dzielą się na stykowe i bezstykowe.

Przełączniki stykowe mają najwyższą jakość i ocenia się ją współczynnikiem jakości ( $k$ ), równym stosunkowi rezystancji otwartego przełącznika (która jest w granicach od  $10^8 - 10^{12} \Omega$  do  $10^{13} - 10^{14} \Omega$ ) do rezystancji zamkniętego przełącznika ( $0,05 - 0,2 \Omega$ ). Istotną wadą przełączników stykowych jest ich niska częstotliwość przełączania, która nie przekracza 400 Hz. Bezstykowe analogowe przełączniki wytwarza się przy wykorzystaniu diod półprzewodnikowych oraz tranzystorów bipolarnych i polowych.

Współczynnik, jakości pierwszych dwóch typów bezstykowych przełączników wynosi  $k = 10^6 - 10^7$  a ich czas przełączania zawiera się w przedziale od dziesiątek nanosekund (dla diod) do setek nanosekund (dla tranzystorów). Największą wadą tych przełączników jest galwaniczne powiązanie między obwodem sterowania, a przełączanym obwodem oraz znacząca zależność rezystancji zamkniętego przełącznika od temperatury (do  $0,33\%/K$ ). Wady tej nie mają przełączniki analogowe z tranzystorami polowymi z izolowaną bramką, przy czym mają one wyższy współczynnik jakości ( $k = 10^8 - 10^{10}$ ). Przełączniki te produkuje się jako układy scalone i obecnie są najbardziej rozpowszechnione. Znaczną wadą przełączników z tranzystorami polowymi jest ich stosunkowo duża rezystancja w stanie zamkniętym, nawet do  $500 \Omega$  dla przełączników zrealizowanych na elementach dyskretnych i około  $100 \Omega$  dla przełączników scalonych. Oprócz tego, należy uwzględnić znaczący wpływ temperatury na rezystancję przewodzącego przełącznika z tranzystorem polowym (do  $0,2\%/K$ ). W związku z powyższym zmniejszenie rezystancji przewodzącego przełącznika analogowego jest ważnym problemem.

Mając na uwadze powyższe, należy rozpatrzyć sposoby zmniejszenia rezystancji zamkniętego przełącznika analogowego i zwiększenia jego szybkości. Znane są różne warianty polepszania parametrów analogowych przełączników na polowych tranzystorach z zastosowaniem wzmacniaczy operacyjnych [1-3] a w szczególności zmniejszenie wpływu rezystancji zamkniętego (przewodzącego) przełącznika na jego właściwości. Strukturę układu składającą się z przełączników analogowych ( $K1, K2, K3...$ ) oraz wzmacniacza operacyjnego (WO) nazywa się układem przełączającym (UP). Wpływ rezystancji zamkniętego przełącznika analogowego w prosty sposób można wyeliminować, podłączając przełącznik do obciążenia poprzez wtórnik napięcia zrealizowany na wzmacniaczu operacyjnym (WO); przy czym, aby wyeliminować zmniejszanie się szybkości przez "zawieszenie" się wejścia wtórnik przy otwartym (nieprzewodzącym) przełączniku analogowym  $K1$ , należy do tego samego wejścia wtórnik podłączyć drugi analogowy przełącznik  $K2$ , który będzie sterowany zanegowanym sygnałem sterującym przełącznika pierwszego  $K1$ , co pokazano na rys. 1.

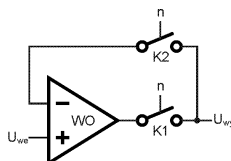


Rys. 1. Układ przełączający z wtórnikiem napięcia  
Fig. 1. Switching circuit with emitter follower

Wadą układu przełączającego z rys. 1 jest to, że rezystancja wyjściowa wzmacniacza operacyjnego, a zarazem układu przełącz-

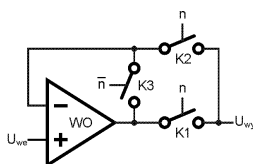
czającego jest mała. Przy pojemnościowym charakterze obciążenia, układ ten nie może być stosowany, ponieważ następuje szybkie rozładowanie pojemności przez tę rezystancję.

Innym sposobem zmniejszenia rezystancji zamkniętego przełącznika jest wykorzystanie właściwości układu ze sprzężeniem zwrotnym. Objęcie jakiegokolwiek elektronicznego układu ujemną pętlą sprzężenia zwrotnego prowadzi do zmniejszenia wyjściowej rezystancji tego układu [4, 5]. Ta właściwość jest wykorzystana w układzie przełączającym przedstawionym na rys. 2, gdzie przełącznik analogowy K1 jest podłączony do wyjścia wzmacniacza i objęty pętlą sprzężenia zwrotnego poprzez dodatkowy przełącznik analogowy K2. Przełączniki K1, K2 sterowane są tym samym sygnałem ( $n$ ).



Rys. 2. Układ przełączający ze sprzężeniem zwrotnym  
Fig. 2. Switching circuit with feedback

Wadą układu przełączającego ze sprzężeniem zwrotnym (rys. 2), jest "zawieszenie" się odwracającego wejścia wzmacniacza operacyjnego w stanie otwartym. W momencie otwarcia układu przełączającego, potencjał wejścia odwracającego wzmacniacza operacyjnego nie jest ustalony i wzmacniacz ten łatwo wchodzi w stan nasycenia. W konsekwencji doprowadza to do znacznego obniżenia szybkości działania tego układu przełączającego, ponieważ powoduje opóźnione włączenie układu przełączającego rzędu  $0,1 - 1 \mu\text{s}$ . W celu wyeliminowania wpływu tego zjawiska, wejście odwracającego wzmacniacza operacyjnego łączy się z wyjściem wzmacniacza operacyjnego w stanie otwartym układu przełączającego za pomocą dodatkowego przełącznika analogowego K3 (rys. 3), który sterowany jest zanegowanym sygnałem sterowania ( $\bar{n}$ ) przełączników K1 i K2.



Rys. 3. Ulepszony układ przełączający ze sprzężeniem zwrotnym  
Fig. 3. Improved switching circuit with feedback

W otwartym stanie ulepszanego układu przełączającego ze sprzężeniem zwrotnym (rys. 3), przełączniki K1 i K2 są otwarte, wzmacniacz operacyjny objęty jest 100%-wym ujemnym sprzężeniem zwrotnym poprzez zamknięte przełączniki K3, czyli w tym stanie układ jest wtórnikami napięciowym i na wyjściu wzmacniacza operacyjnego otrzymujemy wartość napięcia wyjściowego. Dzięki temu przejście od otwartego stanu (K1 i K2 - otwarte) do zamkniętego stanu (K1 i K2 - zamknięte) odbywa się bez niekorzystnego stanu przejściowego we wzmacniaczu operacyjnym, ponieważ napięcie na wyjściu wzmacniacza operacyjnego ma zawsze poziom napięcia wyjściowego. Jak będzie dalej wykazane, ma to istotny wpływ na zwiększenie szybkości układu przełączającego i zmniejszenie jego rezystancji w stanie przewodzenia.

Rezystancja wyjściowa  $R_{wy}$  układu przełączającego w stanie zamkniętym wynosi:

- dla układu z wtórnikami napięcia

$$R_{wy} = R_{wo} / K \quad (1)$$

- dla układów z pętlą sprzężenia zwrotnego

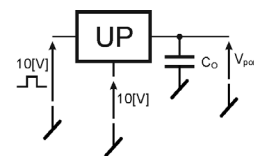
$$R_{wy} = \frac{R_{wo} + R_K}{K} \quad (2)$$

gdzie:  $R_{wo}$  – wyjściowa rezystancja wzmacniacza operacyjnego,  $K$  – współczynnik wzmocnienia wzmacniacza operacyjnego z otwartą pętlą sprzężenia zwrotnego,  $R_K$  – rezystancja przełącznika analogowego w stanie zamkniętym.

## 2. Symulacja analogowych układów przełączających

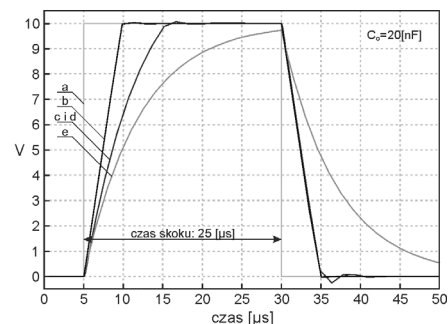
Analizę rozwiązań analogowych układów przełączających przeprowadzono wykorzystując układ do badania odpowiedzi skokowej układów przełączających (rys. 4) i układ do ładowania i rozładowywania pojemności obciążenia. (rys. 8)

Przedstawione układy do badań odpowiedzi skokowej układów przełączających pracują z obciążeniem pojemnościowym: 20, 10, 1 nF. Według tej konfiguracji zostały przebadane wszystkie trzy ulepszone rozwiązania układów przełączających jak również pojedynczy przełączniki analogowy. W przeprowadzonej symulacji opisanych układów użyto przełączniki typu AD4066 oraz wzmacniacz operacyjny typu AD746AP.



Rys. 4. Układ do badania odpowiedzi skokowej układów przełączających  
Fig. 4. Circuit for testing the impulse response of switching circuits

Wyniki symulacji dla pojemności obciążenia  $C_o$  równej 20 nF przedstawiono na rys. 5.

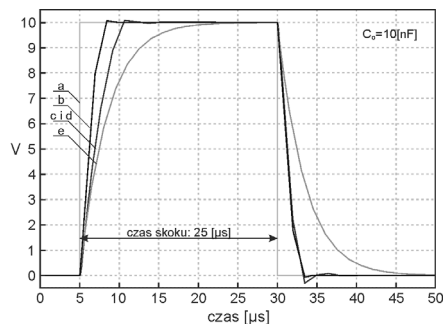


Rys. 5. Odpowiedź skokowa idealnego przełącznika analogowego (a), klasycznego przełącznika analogowego (e) oraz odpowiedzi skokowa zaproponowanych trzech rozwiązań (b),(c),(d) dla pojemności obciążenia  $C_o = 20[\text{nF}]$

Fig. 5. Impulse response of ideal analog switch (a), classic analog switch (e) and impulse response of three proposed solutions (b),(c),(d) for load capacitance  $C_o = 20[\text{nF}]$

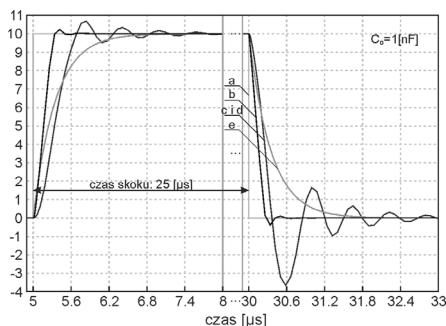
Odpowiedź skokowa oznaczona jako „a” (rys. 5) przedstawia idealną odpowiedź skokową, czyli dokładne odwzorowanie zadanej skoku na wejściu układu przełącznika analogowego. Jest to punkt odniesienia do jakiego dąży się w projektowanych układach przełączających. Charakterystyka oznaczona jako „b” jest odpowiedzią na skok napięcia układu przełączającego z wtórnikami napięcia (rys. 1), natomiast „c” i „d” jest odpowiedzią na skok napięcia układu przełączającego ze sprzężeniem zwrotnym, odpowiednio zgodnie z rys. 2 i rys. 3. Można zauważyć, że charakterystyka dla układu przełączającego z rys. 2 jest podana na rys. 5 bez czasu opóźnienia wskutek nasycenia wzmacniacza operacyjnego. (jak podano powyżej  $0,1 - 1 \mu\text{s}$ ) Krzywa oznaczona jako „e” przedstawia typową odpowiedź przełącznika analogowego. Jest to odpowiedź skokowa dla przełącznika typu AD4066. Z rys. 5

widać wyraźnie, że charakterystyka ta przy obciążeniu pojemnościowym  $C_o = 20$  nF nie osiąga możliwej maksymalnej wartości 10 V w czasie 25  $\mu$ s, co było przyczyną poszukiwania nowych, szybszych rozwiązań. Na rys.6 została przedstawiona odpowiedź skokowa dla pojemności obciążenia  $C_o = 10$  nF. W stosunku do charakterystyk odpowiedzi skokowych dla pojemności obciążenia 20 nF zmienił się czas przeładowania pojemności obciążenia oraz nieznacznie kształt charakterystyk.



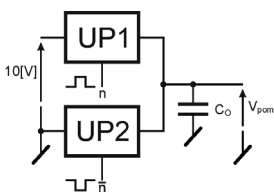
Rys. 6. Odpowiedź skokowa idealnego przełącznika analogowego (a), typowego przełącznika analogowego (e) oraz odpowiedzi skokowej zaproponowanych trzech rozwiązań (b),(c),(d) dla pojemności obciążenia  $C_o = 10$  nF  
Fig. 6. Impulse response of ideal analog switch (a), typical analog switch (e) and impulse response of three proposed solutions (b),(c),(d) for load capacitance  $C_o = 10$  nF

Gdy pojemność obciążenia  $C_o$  zmniejszy się do 1 nF zaczynają pojawiać się niepożądane oscylacje, które są szczególnie widoczne dla rozwiązań z pętlą sprzężenia zwrotnego. (rys. 7) Wynikają one ze zbliżenia się pojemności obciążenia do pojemności pasozytniczych przełącznika. Dla symulowanego przełącznika AD4066 firmy Analog Devices pojemność pasozytnicza wynosi 8 pF.



Rys. 7. Odpowiedź skokowa idealnego przełącznika analogowego (a), typowego przełącznika analogowego (e) oraz odpowiedzi skokowej zaproponowanych trzech rozwiązań (b),(c),(d) dla pojemności obciążenia  $C_o = 1$  nF  
Fig. 7. Impulse response of ideal analog switch (a), typical analog switch (e) and impulse response of three proposed solutions (b),(c),(d) for load capacitance  $C_o = 1$  nF

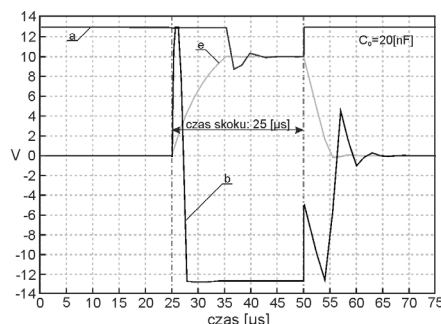
Układy przełączające ze sprzężeniem zwrotnym, przedstawione na rys. 2 i rys. 3, przebadano wykorzystując sposób badania przedstawiony na rys. 8.



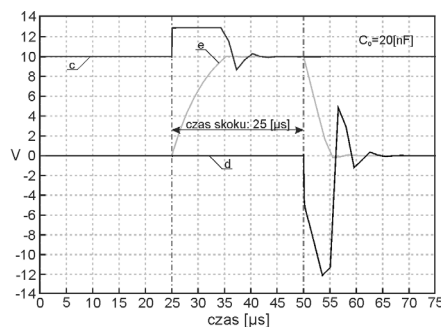
Rys. 8. Sposób badania układów przełączających z obciążeniem pojemnościowym  
Fig. 8. Idea of testing switching circuits with capacitance load

Układ przełączający UP1 ładował pojemność obciążenia w określonym czasie, a następnie drugi, taki sam układ UP2 roz-

ładowywał pojemność obciążenia w tym samym czasie. W obydwu przypadkach, wyjście wzmacniacza operacyjnego zostało odizolowane od wyjścia układu przełączającego przełącznikami K1, K2. Rozwiązanie to w znaczący sposób przyspieszyło działanie przełącznika. Zauważmy, że dla układu przełączającego (rys. 2) w momencie, gdy układ przełączający jest otwarty napięcie na wyjściu wzmacniacza operacyjnego jest równe napięciu nasycenia, a nie napięciu  $U_{we} = 10$  V (charakterystyki „a” i „b” na rys. 9). W momencie zamknięcia układu pojemności pasozytnicze wzmacniacza operacyjnego muszą zostać naładowane do napięcia wejściowego  $U_{we}$  wzmacniacza operacyjnego.



Rys. 9. Przebiegi napięć wyjściowych wzmacniacza operacyjnego dla układu z rys. 2 „a” i „b”  
Fig. 9. Output voltages of operational amplifier for circuit of Fig.2 “a” and “b”



Rys. 10. Przebiegi napięć wyjściowych wzmacniacza operacyjnego dla układu z rys. 3 „c” i „d”  
Fig. 10. Output voltages of operational amplifier for circuit of Fig.3 “c” and “d”

Na rysunku 10, charakterystyki oznaczone jako „c” (napięcie wyjściowe wzmacniacza operacyjnego UP1) i „d” (napięcie wyjściowe wzmacniacza operacyjnego UP2) odzwierciedlają napięcia wzmacniacza operacyjnego dla układu z rys. 3. Wówczas napięcia wyjściowe „c” i „d” wzmacniacza operacyjnego przyjmują stan wyjściowy układu przełączającego. Wzmacniacz operacyjny nie wchodzi w nasycenie jak w przypadku układu przełączającego wg. rys. 2 (napięcia „a” i „b”).

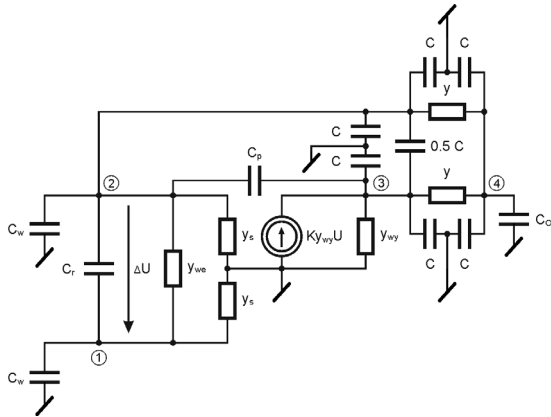
### 3. Analiza matematyczna ulepszonego układu przełączającego ze sprzężeniem zwrotnym

W celu przeprowadzenia analizy matematycznej ulepszonego układu przełączającego ze sprzężeniem zwrotnym (rys. 3), sporządzono schemat zastępczy układu dla stanu zamkniętego, który przedstawiono na rys. 11.

Analizę matematyczną układu przełączającego przeprowadzono wykorzystując metodę napięć węzłowych [6]. Analizę tą przeprowadzono dla następujących parametrów:

$$K = 10^6, Y_{wy} = 5\text{mS}, C_p = 2\text{pF}, C_w = 4\text{pF}, Y_s = 10\text{nS}, y = 10\text{mS}, C = 4\text{pF}, C_o = 1\text{pF}, Y_{we} = 1\mu\text{S}, C_T = 4\text{pF}.$$

gdzie:  $Y_{we}$  – admittance wejściowa,  $Y_s$  – admittance wejściowa wzmacniacza operacyjnego,  $Y_{wy}$  – admittance wyjściowa,  $K$  – współczynnik wzmocnienia napięcia,  $C_p$  – pasywność między wejściem odwracającym, a wyjściem wzmacniacza operacyjnego,  $Y$  – admittance w stanie zamkniętym,  $C$  – pasywność przełącznika analogowego K1 i K2



Rys. 11. Schemat zastępczy ulepszonych układu przełączającego ze sprzężeniem zwrotnym

Fig. 11. Equivalent diagram of the improved switching circuit with feedback

Na podstawie rys. 11 zapisano macierz układu przełączającego:

$$[Y] = \begin{bmatrix} a_{11} & a_{12} & a_{13} & a_{14} \\ a_{21} & a_{22} & a_{23} & a_{24} \\ a_{31} & a_{32} & a_{33} & a_{34} \\ a_{41} & a_{42} & a_{43} & a_{44} \end{bmatrix}$$

gdzie:

$$\begin{aligned} a_{11} &= Y_{we} + Y_s + s(C_w + C_r), & a_{12} &= -Y_{we} - sC_r, & a_{13} &= 0, & a_{14} &= 0, \\ a_{21} &= -Y_{we} - sC_r, & a_{22} &= Y_{we} + Y_s + Y + s(C_p + 2.5C + C_w + C_r), \\ a_{23} &= -s(C_p + 0.5C), & a_{24} &= -Y, & a_{31} &= -KY_{wy}, \\ a_{32} &= +KY_{wy} - s(C_p + 0.5C), & a_{33} &= Y_{wy} + Y + s(C_p + 2.5C), \\ a_{34} &= -Y, & a_{41} &= 0, & a_{42} &= -Y, & a_{43} &= -Y, & a_{44} &= 2Y + s(C_o + 2C) \end{aligned}$$

Dla uproszczenia analizy parametry analogowych przełączników K1, K2 będą uważane za jednakowe, a wpływ pasywności dren-źródło nie będzie brany pod uwagę, ponieważ wpływ tych pojemności jest mały w porównaniu do admittance  $Y$  odpowiednich przełączników w stanie zamkniętym.

Współczynnik wzmocnienia napięcia, który zarazem jest transmitancją układu przełączającego wyznaczono ze wzoru:

$$K_{U14} = G(s) = \Delta_{14}(s) / \Delta_{11}(s) \quad (4)$$

gdzie:  $\Delta_{14}(s)$  i  $\Delta_{11}(s)$  – odpowiednie dopełnienia macierzy admittance przełącznika  $[Y]$ .

Powyższe dopełnienia macierzy  $[Y]$  określono, jako:

$$\Delta_{14}(s) = (-1)^5 \cdot \begin{vmatrix} a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \\ a_{41} & a_{42} & a_{43} \end{vmatrix}$$

$$\Delta_{11}(s) = (-1)^2 \cdot \begin{vmatrix} a_{22} & a_{23} & a_{24} \\ a_{32} & a_{33} & a_{34} \\ a_{42} & a_{43} & a_{44} \end{vmatrix}$$

Na podstawie dopełnień  $\Delta_{14}(s)$  oraz  $\Delta_{11}(s)$  obliczono rzeczywistą transmitancję dla układu przełączającego:

$$G(s) = \frac{\Delta_{14}(s)}{\Delta_{11}(s)} = \frac{6.4 \cdot 10^{-25} s^2 + 1.0 \cdot 10^{-9} s + 0.5}{2.26 \cdot 10^{-31} s^3 + 2.02 \cdot 10^{-17} s^2 + 4.0 \cdot 10^{-10} s + 0.5}$$

Współczynnik wzmocnienia napięcia analogowego układu przełączającego wynosi:

$$K_{U14} = G(0) = 1.$$

Rezystancję  $R_{UP}$  układu przełączającego w stanie zamkniętym (dla układu wg. rys. 3 i jego schematu zastępczego wg rys. 11), obliczono zgodnie z poniższym wzorem [6] eliminując przy tym pojemności i mniej znaczące admittance układu:

$$R_{UP} = \frac{\Delta_{44,11}}{\Delta_{11}} \quad (5)$$

Dopełnienia algebraiczne określone są jako

$$\Delta_{44,11} = \begin{vmatrix} Y & 0 \\ KY_{wy} & Y_{wy} + Y \end{vmatrix} = Y(Y + Y_{wy})$$

$$\Delta_{11} = \begin{vmatrix} Y & 0 & -Y \\ KY_{wy} & Y_{wy} + Y & -Y \\ -Y & -Y & 2Y \end{vmatrix} = KY_{wy}Y^2$$

Wówczas rezystancja zamkniętego układu przełączającego po przekształceniach wynosi:

$$R_{UP} = \frac{R_{wo} + R_k}{K} \quad (6)$$

Z ostatniego wyrazu widać, że rezystancja układu przełączającego w stanie zamkniętym jest równa ilorazowi sumy rezystancji pojedynczego zamkniętego przełącznika analogowego K1 ( $R_k$ ) i wyjściowej rezystancji wzmacniacza operacyjnego ( $R_{wo}$ ) do wzmocnienia wzmacniacza operacyjnego ( $K$ ).

Obecność pasywności w układach analogowych przełączników (rys. 2 i rys. 3) zrealizowanych na polowych tranzystorach i wzmacniaczach operacyjnych jest przyczyną wystąpienia oscylacji na wyjściu układu przełączającego pomimo faktu, że współczynnik wzmocnienia napięcia jest równy jedności.

Stabilność analogowego układu przełączającego (rys. 3, rys. 11) określono wykorzystując graficzne kryterium Nyquista. Na podstawie wcześniej wyliczonej transmitancji układu  $G(s)$  i po podstawieniu za  $s=j\omega$  otrzymano

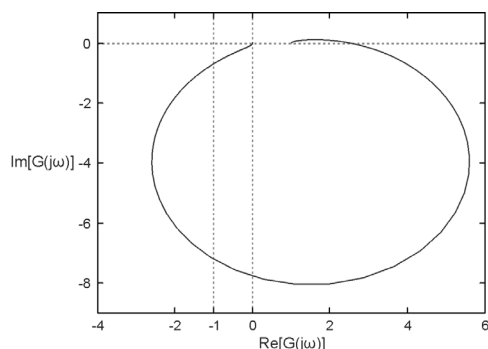
$$G(j\omega) = \frac{-6.4 \cdot 10^{-25} \omega^2 + 1.0 \cdot 10^{-9} j\omega + 0.5}{-2.26 \cdot 10^{-31} j\omega^3 - 2.02 \cdot 10^{-17} \omega^2 + 4.0 \cdot 10^{-10} j\omega + 0.5}$$

Wyznaczając część rzeczywistą i część urojoną transmitancji  $G(j\omega)$  sporządzono wykres Nyquista w celu określenia stabilności układu (rys. 12).

Na podstawie rys. 12 i rys. 13 możemy stwierdzić, że układ przełączający w stanie zamkniętym jest stabilnym członem inercyjnym drugiego rzędu. Na wyjściu układu przełączającego powstają oscylacje, które są tłumione i praktycznie zanikają po upływie 40  $\mu$ s. Wartość tych oscylacji można ograniczyć, gdy spełniona jest zależność:

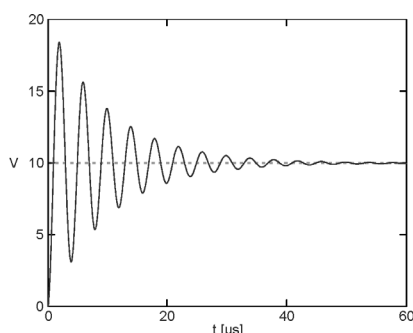
$$K_{U14} / K_{U41} = 1$$

$K_{U41}$  wyznacza się podobnie do  $K_{U14}$  stosując metodę napięć węzłowych. W przedstawionym układzie  $K_{U41} = 1$ , czyli powyższa zależność jest spełniona.



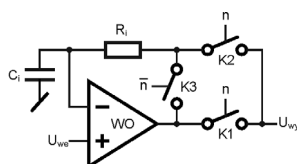
Rys. 12. Wykres Nyquista dla układu przełączającego w stanie zamkniętym  
Fig. 12. Nyquist diagram for the switching circuit in the closed state

Na rysunku 13 przedstawiono odpowiedź skokową dla układu przełączającego zamkniętego. Dla pojemności obciążenia układu przełączającego  $C_o$  równej 1 pF, częstotliwość drgań  $f$  wynosi ok. 250 kHz.



Rys. 13. Odpowiedź skokowa układu  
Fig. 13. Impulse response of the circuit

Na wyjściu zamkniętego analogowego układu przełączającego wg. rys. 2 lub rys. 3 będą występowały nieznaczne oscylacje o częstotliwości  $f$ . W celu eliminacji tych oscylacji należy wprowadzić do układu przełączającego człon całkujący RC o stałej czasowej kilka razy większej od minimalnego okresu drgań, przy czym rezystor należy włączyć między wyjście i odwracające wejście wzmacniacza operacyjnego. Kondensator członu całkującego RC należy włączyć między wejście odwracające, a masę tego wzmacniacza zgodnie z rys. 14.



Rys. 14. Schemat układu przełączającego, w którym zmniejszono (wylimitowano) oscylacje przez zastosowanie członu całkującego RC  
Fig. 14. Diagram of a switching circuit with elimination of oscillations through use of RC integrators

## 4. Podsumowanie

Z przeprowadzonej analizy analogowych układów przełączających z tranzystorami polowymi i wzmacniaczami operacyjnymi wynika, że:

1. Układ przełączający z wtórnikiem napięcia (rys. 1) pozwala zmniejszyć rezystancję zamkniętego przełącznika, ale nie jest przydatny dla pracy z obciążeniem pojemnościowym z powodu małej rezystancji wyjściowej układu przełączającego.
2. Układ przełączający ze sprzężeniem zwrotnym (rys. 2) ma małą rezystancję w stanie zamkniętym (mniejszą od  $0,02 \Omega$ ), ale jego wadą jest znaczne opóźnienie włączenia układu przełączającego wskutek nasycenia wzmacniacza operacyjnego w stanie otwartym (od  $0,1$  do  $1 \mu s$ ).
3. Ulepszony układ przełączający ze sprzężeniem zwrotnym (rys. 3) ma najwyższe parametry w porównaniu z innymi układami przełączającymi na tranzystorach i wzmacniaczach operacyjnych:
  - rezystancja układu przełączającego w stanie zamkniętym jest mniejsza od  $0,02 \Omega$ .
  - czas włączenia układu przełączającego praktycznie jest równy czasowi włączenia pojedynczego analogowego przełącznika stosowanego w układach przełączających.
4. Opracowany model matematyczny prawidłowo odzwierciedla rzeczywisty układ przełączający, co potwierdziła zbieżność wyniku analizy modelu i symulacji rzeczywistego układu.

Artykuł współfinansowany przez Unię Europejską w ramach Europejskiego Funduszu Społecznego projekt pt. „Program Rozwojowy Potencjału Dydaktycznego Politechniki Świętokrzyskiej w Kielcach-kształcenie na miarę sukcesu” Program Operacyjny Kapitał Ludzki, Umowa nr UDA-POKL.04.01.01-00-175/08-00.

## 5. Literatura

- [1] Cantarano S., Pallotino G.: Logarithmic Analog-to-Digital Converters: A Survey. "IEEE Transactions on Instrumentation and Measurement", Vol. IM 22, No 3, September, 1973, pp. 201-213.
- [2] Guilherme J., Horta N. C., Franca J. E.: Symbolic synthesis of non-linear data converters, "Electronics, Circuits and Systems, 1998 IEEE International Conference on", Vol. 3, pp. 219 – 222, 1998.
- [3] Greanger D.C., Heald A.B., Marlow B.K., Moore M.B.: A switched-capacitor signal processing circuit for capacitive microsensors / Nat. Conf. Publ./ Inst. Eng., Austral.- 1991.- 91.-p.21-24.
- [4] Lefas C.C.: A serial charge redistribution logarithmic A/D converter. "Int. Journal of Circuit Theory and Applications", Vol.17, 1989, pp.47-54.
- [5] Lefas C.C.: Successive approximation logarithmic A/D conversion using charge redistribution techniques. "Int. Journal of Circuit Theory and Applications", Vol.15, №1, 1987, pp.61-69.
- [6] Myczuda Z., Szcześniak Zb.: „Analiza parametrów układów elektronicznych”, Wydawnictwo - PAK 2011 ISBN 978-83-926319-3-4.
- [7] Szcześniak A., Myczuda Z.: „Porządkowy logarytmiczny analogowo cyfrowy przetwornik”, IV international conference, Advanced Computer Systems and Networks, Design and Application, Lwów 2009, Ukraina.
- [8] Szcześniak A., Myczuda Z.: „A method of charge accumulation in the logarithmic analog-to-digital converter with a successive approximation”, Przegląd Elektrotechniczny (Electrical Review), ISSN 0033-2097, R.86 nr 10/2010 str.336-340.
- [9] Szcześniak A., Myczuda Z.: „Przetwornik Cyfra-Analog”, Wynalazek został zgłoszony w Urzędzie Patentowym RP w dniu 8.12.2010r i zarejestrowany pod numerem P-393179.

otrzymano / received: 08.12.2010

przyjęto do druku / accepted: 02.02.2011

artykuł recenzowany