

Mikołaj ROSZKOWSKI, Grzegorz PASTUSZAK

WYDZIAŁ ELEKTRONIKI I TECHNIK INFORMACYJNYCH, POLITECHNIKA WARSZAWSKA,
ul. Nowowiejska 15/19, 00-665 Warszawa

Moduł predykcji Intra dla sprzętowego dekodera standardu H.264/AVC**Mgr inż. Mikołaj ROSZKOWSKI**

Uzyskał stopień magistra inżyniera o specjalności Radiokomunikacja i Techniki Multimedialne we wrześniu 2009 roku na Wydziale Elektroniki i Techniki Informatycznych Politechniki Warszawskiej. Obecnie pracuje w Instytucie Radioelektroniki Politechniki Warszawskiej na stanowisku asystenta naukowego. Od 2009 roku zajmuje się realizacją układów do przetwarzania wideo w układach FPGA.



e-mail: M.Roszkowski@ire.pw.edu.pl

Dr inż. Grzegorz PASTUSZAK

Uzyskał stopień magistra inżyniera o specjalności mikroelektronika w czerwcu 2001 roku a stopień doktora inżyniera o specjalności techniki multimedialne w czerwcu 2006 roku. Obecnie jest pracownikiem naukowym Instytutu Radioelektroniki Politechniki Warszawskiej. Jego obszar zainteresowania obejmuje: architektury i algorytmy VLSI, przetwarzanie obrazów/wideo/audio oraz kompresję, wydajne cyfrowe układy scalone.



e-mail: g.pastuszak@ire.pw.edu.pl

Streszczenie

W artykule przedstawiony został sprzętowy moduł predykcji INTRA dla dekodera standardu H.264/AVC z obsługą profilu High. Zaprojektowany moduł obsługuje wszystkie tryby predykcji INTRA przewidziane w standardzie dla tego profilu, a także wszystkie dostępne podpróbkowania chrominancji. Moduł został zsyntetyzowany dla układów z rodziny Stratix 2 firmy Altera oraz w technologii ASIC TSMC 0,13 μm . Dla tej drugiej technologii osiągnięto maksymalną częstotliwość pracy równą 200 MHz. Weryfikacja wykazała, że zaprojektowany moduł jest w pełni zgodny ze standardem H.264/AVC, za wyjątkiem trybu MBAFF, a także że moduł jest zdolny do przetwarzania sekwencji HDTV w czasie rzeczywistym.

Słowa kluczowe: dekodery H.264/AVC, predykcja INTRA, FPGA.

Intra prediction hardware module for high profile H.264/AVC decoder**Abstract**

This paper presents an INTRA prediction module for a H.264/AVC HDTV decoder. The module supports H.264/AVC High Profile, without the MBAFF frame processing scheme, but with all chroma formats. The module is synthesized for Altera Stratix 2 device family and TSMC 0,13 μm technology. The maximal operating frequencies are 100 MHz and 200 MHz, respectively. The presented module is capable of the calculation of at least one prediction value per clock cycle. This means that the frequency of 100 MHz is enough to process 1920x1080 sequence with 4:2:0 sub-sampling in real time. Furthermore, the module is able to decode 1920x1080 sequence with 4:4:4 chroma format in real time when operating at 200 MHz. The module is based on widely used architecture of four parallel processing elements, each capable of computing of one prediction value. This architecture has been extended to support INTRA 8x8 modes and various chroma sub-samplings introduced in H.264/AVC High profile. All the within macroblock neighboring samples are kept in registers (Fig.1). In the case of the 8x8 prediction modes, the neighbouring samples filtering process is conducted by a separate filter module with throughput of one sample per clock cycle. The filtering is tightly coupled with the neighbouring reconstructed sample reception. Blocks of all sizes are decomposed into 4x4 blocks, and processed as such (Figs. 3 and 4). In the case of 8x8 blocks, 8x8 prediction modes are mapped as precisely as possible into 4x4 ones, to limit the number of processing element multiplexer inputs, which results in higher operating frequency of the module. The synthesis results are presented in Tabs. 2 and 3.

Keywords: H.264/AVC decoder, INTRA prediction, FPGA.

1. Wstęp

Standard H.264/AVC jest doskonałym standardem kompresji wideo, wyraźnie lepszym od swoich poprzedników. Ceną za znakomite możliwości oferowane przez ten standard jest jednak jego znaczna złożoność i wysokie wymagania co do mocy obliczeniowej, zarówno dla koderów, jak i dekodów tego standardu. Pierwsza wersja standardu powstała w roku 2003. Podstawowym

profilem kodowania wideo wysokiej rozdzielczości, zdefiniowanym w tej wersji, był profil Main. W celu dalszego zwiększenia jakości kompresji w roku 2005 do standardu dodany został profil High, rozszerzający możliwości zdefiniowane w profilu Main. Ocenia się, że jego wykorzystanie pozwala zmniejszyć przepływność strumienia wideo o około 10% w stosunku do profilu Main, przy zachowaniu identycznej subiektywnej jakości obrazu.

Elementami o największej złożoności obliczeniowej w dekodery są niewątpliwie moduły dekodowania entropijnego kodów typu CAVLC i dekodowania arytmetycznego typu CABAC. Obok nich do modułów o największej złożoności należą moduły odpowiedzialne za predykcję INTRA oraz INTER. Szczególnie istotne jest więc opracowanie wydajnych implementacji tych modułów, także w wersji sprzętowej, które mogą być wykorzystane jako część całego dekodera H.264/AVC, albo jako element wspierający mikroprocesor.

2. Predykcja INTRA w standardzie H.264/AVC

Celem predykcji typu INTRA jest przewidzenie wartości próbek w danym bloku, na podstawie bloków sąsiadujących z tym blokiem. W predykcji wykorzystuje się próbki bezpośrednio sąsiadujące z blokiem od strony lewej i od góry. Dostępne wielkości bloków podlegających predykcji to: 4x4, 8x8 oraz 16x16. Dla każdego z tych rozmiarów zdefiniowane są nieco inne tryby predykcji, przy czym dla trybów 4x4 i 8x8 różnią się one w zasadzie tylko dodatkową fazą wstępnej filtracji próbek sąsiadujących występującą dla trybów 8x8. Otrzymane wartości predykcji są następnie w procesie kodowania odejmowane od rzeczywistych wartości próbek, a dalszemu kodowaniu podlegają już tylko tak wyznaczone różnice. Decyzja o tym który tryb predykcji wybrać spoczywa na koderze, a informacja który został wybrany jest przesyłana w strumieniu do dekodera.

3. Założenia projektowe

Przy projektowaniu założono, że moduł predykcji INTRA powinien być w stanie pracować w układach z rodziny Stratix 2 firmy Altera z częstotliwością 100 MHz. Jednocześnie powinien zapewniać możliwość zdekodowania sekwencji HDTV o rozdzielczości 1920x1080 z podpróbkowaniem chrominancji 4:2:0 w czasie rzeczywistym. Obsługa w czasie rzeczywistym powinna dotyczyć sekwencji zakodowanych z wykorzystaniem profilu High standardu H.264/AVC, z wyłączeniem obsługi trybu MBAFF. Ponadto założono, że moduł powinien obsługiwać inne niż 4:2:0 podpróbkowania chrominancji, jednak niekoniecznie w czasie rzeczywistym dla częstotliwości 100 MHz. Przepustowości na wyjściu dekodera związane sekwencją HDTV przedstawione zostały w tab. 1.

Tab. 1. Przepustowości sekwencji wideo HDTV przy podpróbkowaniu chrominancji 4:2:0 i maksymalna ilość cykli zegara dostępna na zdekodowanie jednego makrobloku przy częstotliwości pracy równej 100 MHz

Tab. 1. Throughputs of the HDTV video sequences formats (encoded with 4:2:0 chroma sub-sampling) and maximal number of clock cycles available for decoding of one macroblock at the operating frequency of 100 MHz

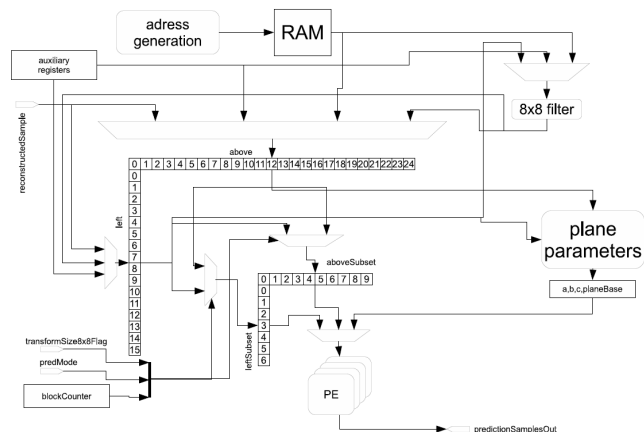
Rozdzielczość.	fps	Przepustowość		Maksymalna ilość cykli na makroblok
		bit/s	MB/s	
1920x1080	25	622 080 000	204 000	490
	30	764 496 000	244 800	408

Proste obliczenia pokazują, że przy częstotliwości pracy równej 100 MHz na przetworzenie jednego makrobloku dostępnych jest jedynie 408 taktów zegara. Makroblok jest podstawową jednostką kodowania na której operuje standard i składa się z bloku 16x16 pikseli luminancji wraz z towarzyszącymi im pikselami chrominancji. Na przykład dla podpróbkowania 4:2:0 dwa towarzyszące bloki chrominancji są tablicami 8x8.

4. Architektura modułu

Łatwo sprawdzić, że przy częstotliwości 100 MHz dla podpróbkowania 4:2:0 wymagana jest średnia przepustowość jednej próbki na takt zegara. Problemem jest jednak to, że aby wyznaczyć predykcję dla danego bloku, należy w pierw znać zrekonstruowane wartości próbek sąsiadujących z tym blokiem. Oznacza to, że moduł predykcji jest wysoce zależny od procesu rekonstrukcji próbek. Przyjęto założenie, że moduł predykcji INTRA będzie otrzymywał jedną zrekonstruowaną próbkę na takt zegara. Ponieważ znaczna część czasu pracy modułu będzie polegała na oczekiwaniu na próbki zrekonstruowane, zdecydowano się oprzeć architekturę modułu na już zastosowanej ([3]) architekturze złożonej z czterech równoległych, identycznych elementów przetwarzających (PE), z których każdy jest w stanie wyznaczyć jedną wartość predykcji w taktie zegara. Takie podejście zapewnia pewien zapas przepustowości w module i pozwala myśleć również o przetwarzaniu sekwencji o podpróbkowaniach innych niż 4:2:0.

Ogólny schemat architektury zaprojektowanego modułu przedstawiony został na rys. 1. Obok elementów przetwarzających (PE), podstawowymi elementami modułu są rejestry oznaczone jako 'above' oraz 'left'. Służą one do przechowywania zrekonstruowanych próbek sąsiadujących z obecnie przetwarzanym makroblokiem, a także, wraz z tym jak kolejne podbloki składowe makrobloku są rekonstruowane, próbek zrekonstruowanych ze środka makrobloku niezbędnych do predykcji dalszych podbloków. Rejestry 'aboveSubset' oraz 'leftSubset' przechowują próbki niezbędne do predykcji obecnie przetwarzanego podbloku 4x4. Bloki większe są dzielone na podbloki 4x4, które są kolejno przetwarzane.

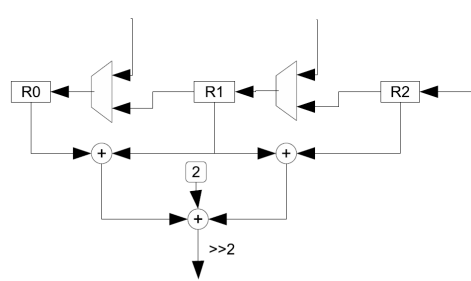


Rys. 1. Ogólny schemat zaprojektowanego modułu predykcji INTRA
Fig. 1. General diagram of INTRA prediction module architecture

Rozmiary wszystkich wymienionych dotychczas rejestrów są ściśle związane z typowymi ilościami próbek sąsiadujących, niezbędnymi do wyznaczenia predykcji.

Ponieważ dekodowanie ramki odbywa się w porządku rastrowym, a konieczna jest znajomość próbek sąsiadujących z blokiem od góry, niezbędne jest ich zbuforowanie. Do tego służy wbudowana pamięć, oznaczona na rys. 1 jako RAM. Przechowuje ona całą linię próbek powyżej obecnie przetwarzanej linii makrobloków dla trzech komponentów, po jednej próbce w komórce. Na początku przetwarzania makrobloku próbki te są ładowane do odpowiednich rejestrów.

Przy projektowaniu przyjęto założenie, że moduł będzie otrzymywał po jednej zrekonstruowanej próbce z bloków sąsiadujących na takt zegara. Upraszcza to sterowanie, a także pozwala w prosty sposób połączyć przesyłanie zrekonstruowanych próbek z fazą wstępnej filtracji próbek sąsiadujących występująca dla trybów 8x8. Filtr (rys. 2) składa się z prostego rejestru przesuwanego o pojemności trzech próbek, na który wchodzi kolejne zrekonstruowane próbki, połączonego z filtrem dolnoprzepustowym, na którego wyjściu odbierane są poprawne próbki do wykorzystania w procesie predykcji. Proces wstępnej filtracji można by również przeprowadzić z wykorzystaniem jednego z elementów przetwarzających, jednakże spowodowałoby to dodatkową komplikację sterowania i zwiększyło rozmiar multiplekserów wybierających próbki dla tego elementu. Mogłoby to się niekorzystnie odbić na maksymalnej częstotliwości pracy układu, albowiem ścieżka krytyczna przebiega właśnie przez te elementy.

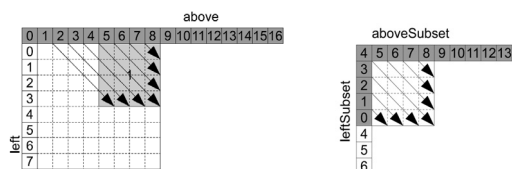


Rys. 2. Filtr do prefiltracji próbek sąsiadujących dla trybów 8x8
Fig. 2. Neighboring samples filter for 8x8 modes

5. Mapowanie bloków 8x8 na bloki 4x4

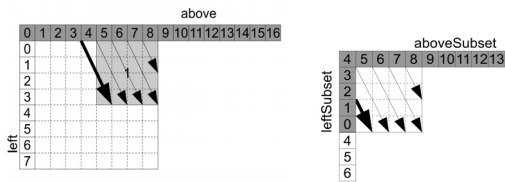
Jak zostało wcześniej wspomniane, podbloki o rozmiarach większych niż 4x4 są dzielone na składowe bloki 4x4, które są kolejno przetwarzane. Ponieważ tryby 8x8 różnią się od trybów 4x4 tylko rozmiarem bloku i procesem wstępnej filtracji, celem było uzyskanie jak najbardziej zbliżonego sterowania dla trybów 8x8 i 4x4 na poziomie elementów przetwarzających. Pozwala to na zmniejszenie rozmiarów multiplekserów wybierających próbki dla elementów przetwarzających, a co za tym idzie na lepszą maksymalną częstotliwość pracy układu.

Przykład całkowitego udanego mapowania trybu predykcji 8x8 dla podbloku 4x4 bloku 8x8, na tryb predykcji 4x4 pokazany jest na rys. 3.



Rys. 3. Przykład danego mapowanie trybu diagonal down right dla podbloku 4x4 bloku 8x8 na odpowiadający mu tryb 4x4
Fig. 3. Example of a successful mapping of the diagonal down right mode for 4x4 sub-block of the 8x8 block into corresponding 4x4 mode

Przykład prawie udanego mapowania przestawiany został na rys. 4.



Rys. 4. Przykład nie do końca udanego mapowanie trybu vertical right dla podbloku 4x4 bloku 8x8 na odpowiadający mu tryb 4x4

Fig. 4. Example of a not fully successful mapping of the diagonal down right mode for 4x4 sub-block of the 8x8 block into corresponding 4x4 mode

Strzałki na rys. 3 i rys. 4 pokazują kierunki z których brane są próbki do predykcji. Analiza pokazuje, że dla większości podbloków 4x4 w blokach 8x8 możliwe jest zachowanie w pełni identycznego sterowania na poziomie elementów przetwarzających, pod warunkiem załadowania odpowiednich próbek sąsiadujących do rejestrów 'aboveSubSet' i 'leftSubSet' (jak na rys. 3). Istnieje jednak pewne szczególne sytuacje, jak np. ta z rys. 4 gdy sterowanie musi zostać trochę zmodyfikowane. W najgorszej sytuacji wzrost liczby próbek wchodzących na multiplexer przed elementami przetwarzającymi wynosi jednak tylko trzy. Sam wybór próbek z rejestrów 'above' i 'left' do rejestrów 'aboveSubSet' oraz 'leftSubSet' ma postać przesuwnika próbek typu „barrel shifter”, z dodatkową małą warstwą multiplexerów za nim odpowiadającą za wyjątkowe przypadki jak ten z rys. 4.

6. Wyniki syntezy

Zaprojektowany moduł został zsyntetyzowany pod kątem dwóch architektur: rodziny układów Stratix 2 firmy Altera, a także technologii TSMC 0,13 μm . Synteza dla układów Altery dokonana została przy pomocy programu Quartus 2 9.1 SP2, a dla technologii TSMC 0,13 μm z wykorzystaniem programu Synopsis.

Wyniki syntezy zostały zebrane w tab. 2. Maksymalna częstotliwość pracy dla technologii Stratix 2 wynosi 100 MHz, a dla TSMC 0,13 μm 200 MHz. Jak się okazuje ta druga częstotliwość jest w pełni wystarczająca by przetwarzać sekwencje HDTV także z chrominancją w trybie 4:4:4, bowiem zaprojektowany moduł przetwarza wtedy makroblok maksymalnie w 669 cykli zegara.

Tab. 2. Wyniki syntezy dla układu EP2S15F484C3 z rodziny Stratix 2
Tab. 2. Synthesis results for EP2S15F484C3 device from Stratix 2 family

Komórki logiki kombinatorycznej	3611 ALUTs
Rejestry	841
Zajętość pamięci	65,536 [bity]
Zużycie zasobów logicznych układu [%]	41%
Zużycie pamięci dostępnej w układzie [%]	16%

Porównanie zaprojektowanego modułu z innymi przedstawione zostało w tab. 3. Podstawową zaletą zaprojektowanego modułu jest obsługa wszystkich trybów predykcji INTRA, włącznie z trybami 8x8, a także obsługa wszystkich sposobów podpróbkowania chrominancji. Ponadto zaprojektowany moduł posiada najwyższą maksymalną częstotliwość pracy, która pozwala mu przetwarzać w czasie rzeczywistym nawet sekwencje typu HDTV z trybem kodowania chrominancji 4:4:4, jako jednemu z porównywanych rozwiązań. Osiągnięcie takiej częstotliwości jest efektem przede wszystkim przechowywania danych sąsiadu-

jących w rejestrach i minimalizacji rozmiarów multiplexerów wejściowych do elementów przetwarzających. Ceną jest duży rozmiar układu, w stosunku do np. [2], czyli innego modułu z obsługą profilu High.

Tab. 3. Porównanie zaprojektowanego modułu z innymi modułami predykcji INTRA

Tab. 3. Comparison of the proposed module with other modules

	Propozycja	[1]	[2]	[3]
INTRA 8x8	T	N	T	N
MBAFF	N	N	T	N
Max. liczba predykcji na takt zegara	4	1	4	4
Obsługiwane podpróbkowania chrominancji	wszystkie	4:2:0	4:2:0	4:2:0
Rozmiar [bramki]	17394	12785	14063	18767
Max. częstotliwość pracy [MHz]	200	150	100	–
Technologia	TSMC 0,13 μm	TSMC 0,18 μm	UMC 0,18 μm	–
Ilość pamięci do przechowywania danych wewnątrz makrobloku [bity]	0	~700	688	–

7. Wnioski

Przedstawiony w artykule moduł predykcji INTRA, pozwala na wyznaczenie predykcji INTRA dla sekwencji HDTV w czasie rzeczywistym już na średniej klasy układzie FPGA z rodziny Stratix 2. Ponadto po syntezie w technologii TSMC 0,13 μm , osiąga maksymalną częstotliwość pracy równą 200 MHz, co jest wystarczające do dekodowania w czasie rzeczywistym sekwencji HDTV z podpróbkowaniem 4:4:4. Pod tym względem zaprojektowany moduł jest w stanie zaspokoić najwyższe wymagania, jednocześnie będąc jedynym z dotychczas zaprojektowanych, które te wymagania spełnia. Jak dotychczas brakuje bowiem prezentacji dokładnych rozwiązań sprzętowych pozwalających dekodować sekwencje HDTV z formatami innymi niż 4:2:0.

Praca jest elementem projektu "Zintegrowany mobilny system wspomagający działania antyterrorystyczne i antykrzysowe - PROTEUS", realizowanego dzięki wsparciu finansowemu Europejskiego Funduszu Rozwoju Regionalnego w ramach 1. osi priorytetowej Programu Operacyjnego Innowacyjna Gospodarka, 2007-2013, Poddziałanie 1.1.2, projekt numer PO-IG.01.02.01-00-014/08-00.

8. Literatura

- [1] Chen J.W., Lin C.C., Guo J.I. and Wang J.S. (2006): Low complexity architecture design of H.264 predictive pixel compensator for HDTV application. IEEE International Conference on Acoustics, Speech and Signal Processing, ICASSP 2006, volume 3, 932–935.
- [2] Lai Y.F., Liu T.M., Li Y. and Lee C.Y. (2009): Design of an intra predictor with data reuse for high-profile h.264 applications. IEEE International Symposium on Circuits and Systems, ISCAS 2009, 3018–3021.
- [3] Huang Y.W., Hsieh B.Y., Chen T.C. and Chen L.G. (2005): Analysis, fast algorithm, and VLSI architecture design for H.264/AVC intra frame coder. IEEE Transactions on Circuits and Systems for Video Technology, 15, 378–401.
- [4] Recommendation ITU-T H.264(2007) — Corrigendum 1. Joint Video Team of ITU-T VCEG and ISO/IEC MPEG.

otrzymano / received: 15.10.2010
przyjęto do druku / accepted: 01.12.2010

artykuł recenzowany