

**Wojciech SUŁEK**

POLITECHNIKA ŚLĄSKA,  
ul. Akademicka 16, 44-100 Gliwice

**Sieć Banyana w implementacji sprzętowej dekodera LDPC**

Dr inż. Wojciech SUŁEK

Autor jest pracownikiem naukowym Instytutu Elektroniki Politechniki Śląskiej, a jego zainteresowania naukowe są związane głównie z dziedziną telekomunikacji. Prowadzone przez autora prace badawcze dotyczą zwłaszcza zagadnień efektywnej implementacji sprzętowej algorytmów przetwarzania sygnałów oraz systemów telekomunikacyjnych, w szczególności modułów nowoczesnego kodowania kanałowego.



e-mail: wsulek@polsl.pl

**Streszczenie**

Kody LDPC stanowią jedną z najnowocześniejszych metod kodowania dla celów korekcji błędów. Artykuł dotyczy sprzętowego dekodera podklasy kodów LDPC zorientowanych na implementację, który został opracowany w formie syntezywalnego opisu w języku VHDL. Jak pokazały wyniki syntezy, znaczną część powierzchni dekodera zajmuje moduł konfigurowalnej sieci połączeń. Sieć składa się z zestawu multiplexerów, które propagują dane z pamięci do jednostek obliczeniowych. Synteza behawioralnego opisu tego modułu daje niekorzystne wyniki. Dlatego też zaproponowano opis strukturalny z wykorzystaniem idei sieci Banyana oraz zestawu multiplexerów wyjściowych. Dzięki temu osiągnięto nawet kilkudziesięcioprocentową oszczędność powierzchni dekodera.

**Słowa kluczowe:** Kody kanałowe, kody LDPC, dekodery iteracyjne, sieć połączeń, sieć Banyana.

**Banyan switch in FPGA implementation of LDPC decoder****Abstract**

Low-Density Parity-Check codes are one of the best modern error-correcting codes due to their excellent error-correcting performance and highly parallel decoding scheme. This paper deals with a hardware iterative decoder for a subclass of LDPC codes that are implementation oriented, known also as Architecture Aware LDPC. The parameterizable decoder has been designed in the form of synthesizable VHDL description. Implementation in Xilinx FPGA devices achieves the throughput equal to nearly 100Mb/s. A significant part of the decoder area is occupied by the configurable interconnection network. The network consists of a set of multiplexers that propagate the data from the memory to computation units. The behavioral description of the interconnection network gives quite poor synthesis results: the decoder area is large and exponentially dependent on the number of inputs / outputs. Instead of the straightforward behavioral description, the switching network can be described structurally making use of ideas known from the theory of telecommunication switches: Benes or Banyan networks. In the paper there is presented in detail the interconnection network implementation based on the Banyan switch with additional multiplexer stage to enable non-power-of-2 numbers of outputs. Comparison of the synthesis results for the network based on the behavioral and Banyan structural description shows significant decrease in the decoder area in the second case.

**Keywords:** error-correcting codes, LDPC codes, iterative decoder, interconnection networks, Banyan networks.

**1. Wstęp**

Znakomite własności korekcyjne kodów LDPC (*Low-Density Parity-Check*) [1] są cechą predestynującą je do zastosowania w wymagających systemach transmisji danych cyfrowych. Kody te są ostatnimi laty wdrażane w różnych standardach sieci przewodowych i bezprzewodowych (np. WiMAX, DVB-S2). Jedną z cech powodujących pewne trudności implementacyjne kodeków LDPC jest nieuporządkowana struktura macierzy kontrolnej, gdyż prowadzi ona do złożonych metod propagacji danych pomiędzy

jednostkami obliczeniowymi w dekodery. Zmniejszenie znaczenia tego problemu jest możliwe dla podklasy kodów efektywnie dekodowanych sprzętowo, znanej jako AA-LDPC (*Architecture-Aware LDPC*) [2].

Implementacja dekodera kodów AA-LDPC jest jednakże wciąż zadaniem nietrywialnym. Niniejszy artykuł dotyczy sprzętowego dekodera kodów AA-LDPC, który został opracowany w formie syntezywalnego opisu w języku VHDL. Dekoder jest konfigurowalny (może zostać dostosowany dla dowolnej macierzy kontrolnej kodu AA-LDPC), a jego funkcjonalność została zweryfikowana z pomocą implementacji w układach FPGA. Struktura dekodera została szczegółowo przedstawiona w innych publikacjach [3]. W niniejszym artykule uwaga zostanie skupiona na jednym ze znaczących elementów implementacji dekodera: konfigurowalnej sieci połączeń pomiędzy jednostkami obliczeniowymi.

**2. Kody AA-LDPC**

Kody LDPC są liniowymi kodami blokowymi, zatem ciąg bitów przesyłany w systemie transmisji dzielony jest na równe bloki  $K$  bitów informacyjnych  $\mathbf{u} = [u_1, u_2, \dots, u_K]$  dostarczanych sekwencyjnie do kodera, gdzie tworzone jest słowo kodowe  $\mathbf{x} = [x_1, x_2, \dots, x_N]$  o długości  $N > K$  bitów, przesyłane nieidealnym kanałem telekomunikacyjnym. Kod taki jest nazywany kodem  $C(N, K)$  i jest charakteryzowany przez macierz kontrolną  $\mathbf{H}_{M \times N}$  (gdzie  $M = N - K$ ), która w przypadku kodów LDPC jest macierzą rzadką. Macierzowe równanie kontrolne  $\mathbf{H}\mathbf{x}^T = \mathbf{0}$  (w ciele  $GF(2)$ ) pozwala sprawdzić, czy dany wektor  $\mathbf{x}$  jest prawidłowym słowem kodowym. Jeśli równanie to jest niespełnione, to w kanale wystąpiło przekłamanie słowa kodowego, które należy skorygować.

Pojęcie kody AA-LDPC [2] jest w ogólności używane do określenia podklasy kodów o macierzy kontrolnej  $\mathbf{H}_{DP \times EP}$ , składającej się z  $D \times E$  podmacierzy kwadratowych  $\mathbf{P}_{d,e}$ :

$$\mathbf{H} = \begin{bmatrix} \mathbf{P}_{1,1} & \mathbf{P}_{1,2} & \dots & \mathbf{P}_{1,E} \\ \mathbf{P}_{2,1} & \mathbf{P}_{2,2} & \dots & \mathbf{P}_{2,E} \\ \vdots & \vdots & \ddots & \vdots \\ \mathbf{P}_{D,1} & \mathbf{P}_{D,2} & \dots & \mathbf{P}_{D,E} \end{bmatrix} \quad (1)$$

gdzie  $d = 1, \dots, D$ ,  $e = 1, \dots, E$ , a każda z podmacierzy  $\mathbf{P}_{d,e}$  o rozmiarze  $P \times P$  jest macierzą zerową lub też permutacją macierzy jednostkowej  $\mathbf{P}_{d,e} = \mathbf{I}_{\theta(p)}$ , tzn. macierzą kwadratową, składającą się z wszystkich kolumn macierzy jednostkowej  $\mathbf{I}_{P \times P}$ , ułożonych w kolejności definiowanej przez permutację  $\theta(p)$ ,  $p = 1, \dots, P$ . Permutacja macierzy jednostkowej posiada zatem dokładnie jedną jedynekę w każdej kolumnie i w każdym wierszu.

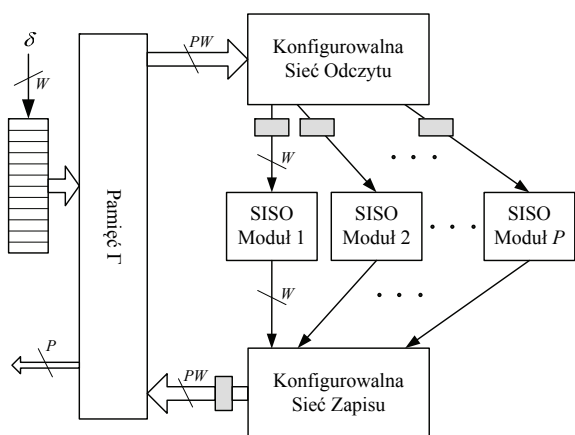
W niniejszym artykule uwaga zostanie skoncentrowana na kodach z permutacjami w postaci cyklicznych przesunięć. Każda podmacierz jest definiowana przez wartość cyklicznego przesunięcia  $c$  ( $0 \leq c < P$ ) kolumn macierzy jednostkowej. Tego typu kody są szeroko stosowane ze względu na dobrze znane metody konstrukcji macierzy kontrolnych takich kodów o dobrych własnościach korekcyjnych [4].

**3. Struktura dekodera**

Wykorzystywane w praktyce algorytmy dekodowania należą do grupy iteracyjnych algorytmów przekazywania wiadomości (*Message Passing Algorithms*), obrazowanych przez tzw. graf

Tannera [1, 2]. Wierzchołki grafu skojarzone są z pewnymi elementarnymi operacjami realizowanym w procesie dekodowania, natomiast krawędzie wskazują sposób przekazywania wiadomości pomiędzy wierzchołkami w kolejnych iteracjach.

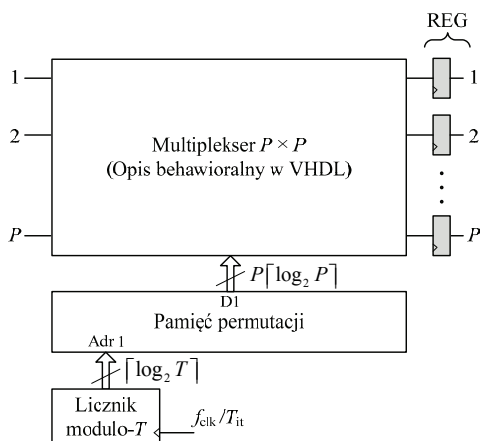
Uproszczony schemat blokowy opracowanego dekodera sprzętowego przedstawiony jest na rys.1. Podstawowymi elementami dekodera są moduły obliczeniowe SISO (*Soft-In Soft-Out*), pamięć wiadomości oraz konfigurowalne sieci połączeń. Zadaniem tych ostatnich jest propagacja fragmentów słowa o długości  $PW$ , odczytanego z pamięci do odpowiednich jednostek obliczeniowych (Sieć Odczytu) oraz z jednostek obliczeniowych do odpowiednich fragmentów słowa pamięci (Sieć Zapisu). Sieci te w kolejnych cyklach algorytmu realizują permutacje  $\theta(p)$ , zdefiniowane w poszczególnych podmacierzach macierzy kontrolnej. Każda propagowana wiadomość ma długość  $W$  bitów, przy czym  $W$  definiuje precyzję działania algorytmu dekodowania; typowo  $W = 5 \dots 8$ . Tak więc konfigurowalna sieć połączeń jest w ogólności  $W$ -krotnie powielonym multiplekserem o  $P$  wejściach i  $P$  wyjściach.



Rys. 1. Struktura dekodera LDPC  
Fig. 1. LDPC decoder structure

#### 4. Implementacja sieci połączeń

Najprostszą formą opisu sieci połączeń w języku VHDL jest opis behawioralny modułu multipleksera  $P \times P$ , uzupełnionego o pewne dodatkowe elementy: rejestry potokowe oraz pamięć permutacji wraz modulem adresowania w postaci licznika modulo- $T$ , gdzie  $T$  oznacza liczbę niezerowych podmacierzy permutacji (rys. 2).

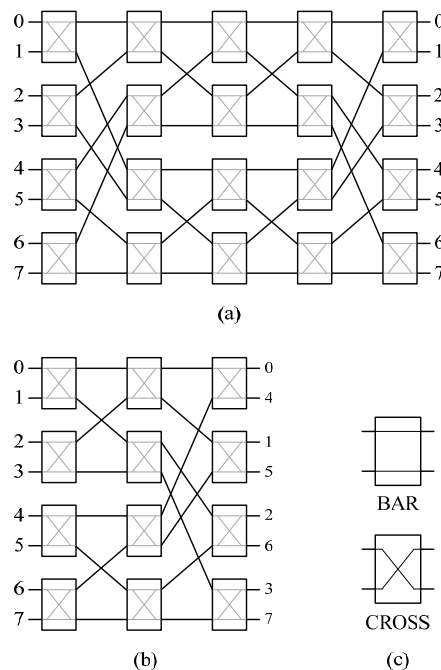


Rys. 2. Konfigurowalna sieć połączeń  
Fig. 2. Configurable interconnection network

Tak zdefiniowany moduł posiada jednakże zasadniczą wadę: wymagane zasoby strukturalne są duże i wykładniczo zależne od liczby wejść  $P$ . Moduł taki może bowiem realizować wszystkie możliwe konfiguracje połączeń wejść z wyjściami, podczas gdy dla projektowanego dekodera wystarczy tylko zbiór wszystkich permutacji, a nawet ograniczony do zbioru tylko cyklicznych przesunięć, co wynika z poczynionego założenia co do postaci podmacierzy macierzy kontrolnej.

Dlatego też, zamiast prostego opisu behawioralnego, w opracowanym dekodzie zastosowano opis strukturalny, opierający się na ideach znanych np. z teorii pól komutacyjnych [5]. Sieć Benesa (przykład sieci 8-wejściowej przedstawiono na rys. 3(a)) jest nieblokowna, jeśli realizuje permutację o z góry określonym charakterze. Elementem składowym sieci jest przełącznik  $2 \times 2$ , który może być skonfigurowany jako BAR (stan 0), w którym sygnały wyjściowe są równe wejściowym lub CROSS (stan 1), w którym sygnały wyjściowe są zamienionymi pozycjami sygnałami wejściowymi. Sieć Benesa została zastosowana w kilku znanych z literatury implementacjach dekodów LDPC [6].

Można wykazać [7], że sieć Banyana (rys. 3(b)), która składa się z pierwszych (lub ostatnich)  $\log_2 P$  kolumn sieci Benesa, może realizować wszystkie cykliczne przesunięcia o wartość  $c$ ,  $0 \leq c < P$ . Tak więc sieć Banyana może być z powodzeniem zastosowana w dekodzie AA-LDPC, jeśli podmacierze permutacji są macierzami cyklicznych przesunięć kolumn macierzy jednostkowej, umożliwiając jednocześnie zmniejszenie liczby elementów przełączających.



Rys. 3. Sieć Benesa (a), sieć Banyana (b) oraz elementy przełączające (c)  
Fig. 3. Benes network (a), Banyan network (b) and switching elements (c)

Pewna trudność pojawia się w przypadku, gdy  $P$  nie jest potęgą liczby 2. Wówczas należy skorzystać z sieci Banyana o większej od  $P$  liczbie wejść oraz zastosować dodatkową kolumnę odpowiednio dołączonych multiplekserów  $2 \times 1$  na wyjściu. Rozwiązanie takie zastosowano dla sieci połączeń w opracowanym konfigurowalnym dekodzie kodów AA-LDPC (rys. 4).

Sieć Banyana składa się z  $J = \lceil \log_2 P \rceil$  kolumn (gdzie  $\lceil x \rceil$  oznacza najmniejszą liczbę całkowitą większą lub równą  $x$ ), a każda kolumna zawiera  $K = P/2$  elementów przełączających. Stany tych elementów w danym cyklu zależą od wartości cyklicz-

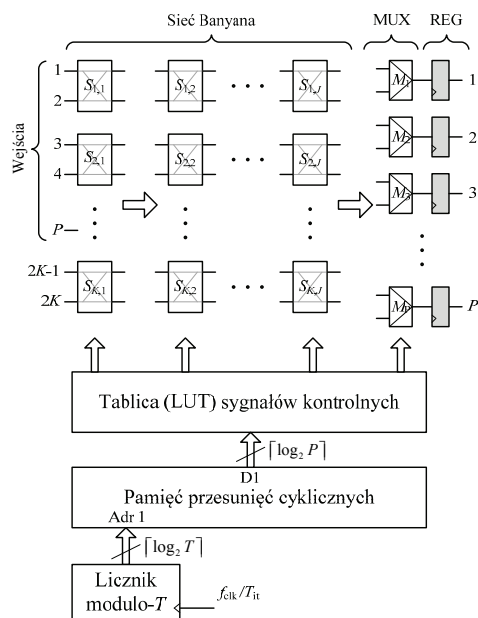
nego przesunięcia zdefiniowanego dla danej podmacierzy permutacji. Wartości wszystkich przesunięć cyklicznych są przechowywane w pamięci. Sygnały kontrolujące przełączniki oraz wyjściowe multipleksery są wyznaczane w kombinacyjnym układzie zawierającym tablicę (LUT – Look Up Table) sygnałów kontrolnych. Niech  $S_{k,j}$  oznacza element przełączający w  $k$ -tym wierszu,  $j$ -tej kolumnie, gdzie  $k=1,2,\dots,K$  oraz  $j=1,2,\dots,J$ . Element  $S_{k,j}$  jest w stanie CROSS, przy realizacji przesunięcia cyklicznego o wartość  $c$ , jeśli spełniony jest następujący warunek:

$$\text{mod}[\text{mod}(k-1, 2^{j-1}) - c, 2^j] \geq 2^{j-1} \quad (2)$$

gdzie

$$\text{mod}(x, y) = x - \lfloor x/y \rfloor \cdot y \quad (3)$$

W przeciwnym razie element przełączający jest w stanie BAR.



Rys. 4. Konfigurowalna sieć połączeń wykorzystująca przełącznik Banyana  
Fig. 4. Configurable interconnection network with the Banyan switch

Konfigurowalne sieci połączeń w dekodерze operują na słowach o długości  $W$  bitów. Moduł przedstawiony na rys. 4 musi być zatem powielony  $W$ -krotnie, ze wspólną pamięcią przesunięć cyklicznych oraz wspólnym modulem tablicy sygnałów kontrolnych. W implementacji pamięci przesunięć cyklicznych wykorzystano pamięci dwuportowe, co umożliwiło współdzielenie jej przez konfigurowalne sieci zapisu i odczytu.

## 5. Wyniki syntezy

Zaprezentowane rozwiązanie zostało wykorzystane do implementacji dekodерów o różnych parametrach w układach FPGA rodziny VirtexII. Wyniki syntezy kilku z nich z wykorzystaniem narzędzia XST przedstawione są tabelach 1-2. Tabela 1 dotyczy konfigurowalnych sieci połączeń o liczbach wejść 16, 24 oraz 32, natomiast tabela 2 – pełnych modułów dekodерów. Jak widać, uzyskano znaczną oszczędność zasobów strukturalnych, rzędu kilkunastu, a nawet kilkudziesięciu procent. Stosunkowo duża oszczędność dla dekodерów o większej liczbie jednostek obliczeniowych  $P$  wynika z wykładniczej zależności powierzchni od  $P$  przy syntezie opisu behawioralnego.

Tab. 1. Wyniki syntezy: konfigurowalne sieci połączeń  
Tab. 1. Synthesis results: interconnection networks

Liczba wejść / wyjść	Opis behawioralny VirtexII Slices	Sieć Banyana VirtexII Slices
$P=16$	768	478
$P=24$	1894	925
$P=32$	3072	1145

Tab. 2. Wyniki syntezy: pełne moduły dekodерów  
Tab. 2. Synthesis results: decoders overall

Kod	Opis behawioralny VirtexII Slices	Sieć Banyana VirtexII Slices	Zysk zasobów
$C(1024, 512), P=16$	2691	2323	14%
$C(1008, 504), P=24$	4686	3725	20%
$C(2048, 1536), P=32$	6488	4418	31%

## 6. Wnioski

Skrótowno zaprezentowany dekodер sprzętowy może zostać przystosowany do dowolnego kodu należącego do klasy nowoczesnych kodów korekcyjnych AA-LDPC zorientowanych na implementację. W niniejszym artykule skupiono się na przedstawieniu jednego z istotnych komponentów dekodera: konfigurowalnych sieci odczytu / zapisu do pamięci. Pokazano, że synteza behawioralnego opisu tych sieci daje stosunkowo niekorzystne wyniki, szczególnie w implementacjach o dużej liczbie jednostek obliczeniowych, realizujących algorytm dekodowania. Zaproponowano strukturalny opis z wykorzystaniem koncepcji sieci Banyana, połączonej z kolumną multiplekserów wyjściowych. Rozwiązanie to umożliwiło zaoszczędzenie kilkunastu do kilkudziesięciu procent zasobów strukturalnych układu FPGA. Dla dekodерów o dużej liczbie jednostek obliczeniowych, opis strukturalny sieci połączeń wydaje się zatem jedynym godnym uwagi rozwiązaniem.

## 7. Literatura

- [1] MacKay D. J. C.: Good Error-Correcting Codes Based on Very Sparse Matrices. IEEE Transactions on Information Theory, vol. 45, no. 2, March 1999, pp. 399–431.
- [2] Mansour M. M., Shanbhag N. R.: High Throughput LDPC Decoders. IEEE Transactions on Very Large Scale Integration Systems, vol. 11, no. 6, December 2003, pp. 976–996.
- [3] Sulek W.: Implementacja modułu sprzętowego dekodera kodów AA-LDPC. Przegląd Telekomunikacyjny i Wiadomości Telekomunikacyjne, no. 8-9/2008, pp. 1229–1240.
- [4] O'Sullivan M. E.: Algebraic Construction of Sparse Matrices with Large Girth. IEEE Transactions on Information Theory, vol. 52, no. 2, February 2006, pp. 718–727.
- [5] Wu C. L., Feng T. Y.: On a Class of Multistage Interconnection Networks. IEEE Transactions on Computers, vol. C-29, no. 8, August 1980, pp. 694–702.
- [6] Lin J., Wang Z., Li L., Sha J., Gao M.: Efficient Shuffle Network Architecture and Application for WiMAX LDPC Decoders. IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 56, no. 3, March 2009, pp. 215–219.
- [7] Olcer S.: Decoder architecture for array-code-based LDPC codes. Proc. IEEE Global Telecommunications Conference. San Francisco, USA, 2003, pp. 2046–2050.