

Marek JABŁEKA

AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA,
Al. Mickiewicza 30, 30-059 Kraków

Oszacowanie stosunku sygnału do szumu w asynchronicznych przetwornikach analogowo-cyfrowych

Mgr inż. Marek JABŁEKA

Jest absolwentem Akademii Górniczo-Hutniczej, gdzie pracuje na stanowisku asystenta w Katedrze Elektroniki. Zajmuje się projektowaniem asynchronicznych przetworników analogowo-cyfrowych. Jego praca dyplomowa pt. „Asynchroniczny przetwornik analogowo-cyfrowy typu Sigma-Delta z kodowaniem nieliniowym” zdobyła I miejsce w konkursie im. Prof. K. Bisztygi, organizowanym przez Oddział Krakowski SEP oraz otrzymała wyróżnienie w konkursie „Diamenty AGH”.

e-mail: jableka@agh.edu.pl



Streszczenie

W artykule przedstawiono porównanie współczynnika stosunku sygnału do szumu (SNR) dla synchronicznych oraz asynchronicznych przetworników analogowo-cyfrowych. Badania wykonano dla trzech modeli stochastycznych sygnałów wejściowych o rozkładach Gaussa, równomiernym oraz sygnału sinusoidalnego. Oszacowano spadek wartości współczynnika SNR dla asynchronicznego przetwornika analogowo-cyfrowego typu Sigma-Delta w porównaniu z klasycznym przetwornikiem synchronicznym, wywołany odpowiednio nieliniowością bloku próbkującego (-10dB) oraz niejednoznacznością procesu kwantyzacji (-3dB).

Słowa kluczowe: przetworniki analogowo-cyfrowe, stosunek-sygnału do szumu, próbkowanie, kwantyzacja.

Signal-to-Noise Ratio for asynchronous analog-to-digital converters

Abstract

This paper shows the difference between the SNR level for classical synchronous analog-to-digital converters (ADC) and asynchronous Sigma-Delta analog-to-digital converters (ASD-ADC) (Fig. 2) [4, 5]. Simulative evaluation shows that the conversion quality for ASD-ADCs is about 2 bit worse than for classical synchronous ADCs (Tabs. 1 and 2). The reason for such a difference is firstly the nonlinearity of an ASD-ADC sampling block (ASDM) (-10dB in SNR value) and secondly the quantization noise whose variance value is two times bigger than in case of classical ADCs (-3dB in SNR). Such big quantization noise is caused by the need of measuring the time position of two independent pulse edges with uniform probability density function (pdf) for the quantization error [8]. The difference for these two measurements yields a triangular distribution which overlaps consecutive quantization intervals (Fig. 1b) and is the source of uncertainty of the digital word at the ASD-ADC output [8]. Simulations were performed for four configurations of sampling and quantization blocks, the classical ADC and three other sets of linear/nonlinear sampling blocks and certain/uncertain quantization blocks. Such simulation methodology shows the influence of properties of each element of the signal path in the ASD-ADC on the quantization noise pdf (Fig. 3). The SNR is evaluated for three stochastic models of input signals: Gauss, uniform and sinusoidal signal. Comparison requires assuming the proper amplitude and frequency domain, because of balance between the dynamic range and bandwidth of the ASD-ADC.

Keywords: analog-to-digital converters, Signal-to-Noise Ratio, sampling, quantization.

1. Wstęp

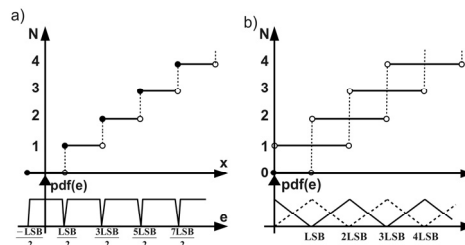
Przetworniki analogowo-cyfrowe należą do układów najpowszechniej występujących we współczesnych systemach elektronicznych. Mobilność współczesnych urządzeń i związana z tym konieczność zastosowania zasilania bateryjnego wymaga systematycznego obniżania poboru energii, co wiąże się między innymi z poszukiwaniem nowych rozwiązań dla przetworników analogowo-cyfrowych. Tymczasem architektury klasycznych synchro-

nicznych przetworników analogowo-cyfrowych (*Analog-to-Digital Converters*) pozostają zasadniczo niezmienione od lat siedemdziesiątych. W ostatniej dekadzie pojawiła się alternatywa dla klasycznych rozwiązań przetworników A/C w postaci nowej klasy układów, określanych mianem asynchronicznych przetworników A/C (A-A/C), charakteryzujących się niskim poborem energii. Zaproponowano co najmniej dwie architektury układów A-A/C. Pierwszym z tych rozwiązań jest przetwornik A-A/C z *próbkowaniem wyzwalanym poziomem sygnału (level-crossing sampling)* (LC-ADC) [2, 3], drugim - przetwornik A-A/C wykorzystujący *asynchroniczną modulację Sigma-Delta (ASD-ADC)* [4, 5]. Pojawia się zatem naturalna potrzeba porównania jakości przetwarzania architektur asynchronicznych z klasycznymi synchronicznymi przetwornikami A/C, w których wykorzystano próbkowanie okresowe. Za kryterium porównania przyjęto wartość współczynnika stosunku mocy sygnału do mocy szumu kwantyzacji (*Signal-to-Noise Ratio*), jako podstawowego parametru określającego jakość konwersji analogowo-cyfrowej. W niniejszym artykule pokazano, przy użyciu badań symulacyjnych, że - występujące w A-A/C - nieliniowość bloku próbkowania oraz niejednoznaczność przypisania poziomu kwantyzacji powoduje obniżenie wartości współczynnika SNR.

2. Próbkowanie i kwantyzacja

Jak wiadomo, proces przetwarzania analogowo-cyfrowego jest dwuetapowy i składa się z próbkowania sygnału analogowego oraz kwantyzacji. Zadaniem próbkowania jest odwzorowanie wejściowego sygnału ciągłego na sygnał dyskretny w czasie, reprezentowany ciągiem próbek [9, 12]. W *synchronicznych przetwornikach A/C (S-A/C)* stosuje się próbkowanie równomierne, a w *asynchronicznych przetwornikach A/C (A-A/C)* - próbkowanie nierównomierne w czasie. W przetwornikach A-A/C następuje dwustopniowa konwersja analogowo-cyfrowa. Najpierw poziom sygnału wejściowego przetwarzany jest na parametry czasowe sygnału pośredniego w bloku TEM (*Time Encoding Machine*), co odpowiada operacji próbkowania [4, 5]. Następnie parametry czasowe sygnału pośredniego podlegają procesowi kwantyzacji [8].

Kwantyzacja polega na przypisywaniu każdej próbce odpowiedniej wartości cyfrowej (rys. 1) [1, 9, 12]. W przetwornikach S-A/C procesy próbkowania i kwantyzacji są ze sobą zsynchronizowane poprzez taktowanie wspólnym sygnałem zegarowym. W istniejących realizacjach przetworników A-A/C bloki próbkowania i kwantyzacji pracują niezależnie, przy czym operacja próbkowania jest wyzwalana asynchronicznie odpowiednio do zmian wartości sygnału wejściowego, zaś kwantyzacja jest zsynchronizowana sygnałem taktującym.



Rys. 1. Charakterystyki odwzorowania wartości analogowej x na cyfrową N kwantyzatorów w przetwornikach S-A/C (a) oraz w przetwornikach A-A/C (b). Pod wykresami pokazano funkcję gęstości prawdopodobieństwa dla błędu kwantyzacji

Fig. 1. Quantizer characteristics in synchronous (a) and asynchronous ADCs (b). Pdf for quantization error is shown at the bottom

Wykorzystanie do kwantyzacji próbki sygnału taktującego, niesynchronizowanego z procesem próbkowania, skutkuje niejednoznacznością w przypisaniu zadanemu poziomowi sygnału wejściowego odpowiadającej mu wartości cyfrowej (rys. 1b) [8]. Jak wykazano w pracy [8], tej samej wartości wejściowego sygnału analogowego odpowiadają dwie możliwe wartości wyjściowego sygnału cyfrowego. Przyczyną niejednoznaczności kwantyzacji jest wzajemne nakładanie się trójkątnych rozkładów gęstości prawdopodobieństwa błędu, pochodzących od sąsiednich przedziałów kwantyzacji (rys. 1b). Kwantyzacja parametrów czasowych za pomocą niesynchronizowanego z procesem próbkowania zegara referencyjnego jest obciążona dwukrotnie większym maksymalnym błędem kwantyzacji ($\pm\text{LSB}$) (rys. 1b) w porównaniu do błędu kwantyzacji w klasycznym przetwarzaniu synchronicznym ($\pm 1/2\text{LSB}$) (rys. 1a) [8].

3. Asynchroniczny przetwornik analogowo-cyfrowy typu Sigma-Delta

Asynchroniczny przetwornik analogowo-cyfrowy typu Sigma-Delta (ASD-ADC) (rys. 2), jest zbudowany z asynchronicznego modulatora Sigma-Delta (ASDM) [4, 6] oraz bloku TDC (*Time-to-Digital Converter*), będącego kwantyzatorem szerokości impulsów [1, 6]. Modulator ASDM przenosi informację o wartości średniej sygnału analogowego z dziedziny amplitudy w dziedzinę czasu [1].

Modulator ASDM zbudowany jest z integratora o stałej czasowej κ , symetrycznego przerzutnika Schmitta z poziomami wyzwajającymi $\{-\delta, \delta\}$ oraz poziomami $\{-b, b\}$ na wyjściu i węzła sumującego sygnał wejściowy $x(t)$ z sygnałem sprzężenia zwrotnego $z(t)$ [6] (rys. 2). Częstotliwość i współczynnik wypełnienia impulsowego sygnału $z(t) = \{-b, b\}$ zawierają informację o poziomie próbkowanego sygnału $x(t)$. Dla zerowego sygnału $x(t)=0$, sygnał $z(t)$ jest falą prostokątną o wypełnieniu 50% i szerokości impulsu T_0 . Parametr T_0 reprezentuje połowę okresu drgań swobodnych modulatora ASDM. Sygnał $z(t)$ składa się z naprzemiennie występujących impulsów *dlugich* ($\Delta t_l > T_0$) oraz *krótkich* ($\Delta t_s < T_0$) definiowanych następująco [4, 5, 6]:

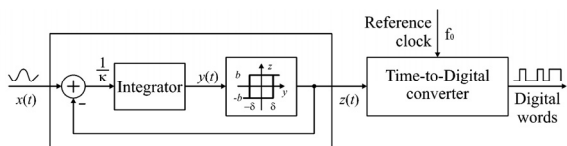
$$\Delta t_s / T_0 = 1 / (1 + \eta |\bar{x}|) \quad (1)$$

$$\Delta t_l / T_0 = 1 / (1 - \eta |\bar{x}|) \quad (2)$$

gdzie \hat{x} to średnia wartość sygnału odpowiednio w odcinku czasu Δt_s lub Δt_l , a η jest *współczynnikiem głębokości modulacji*, przy czym $\eta = c / b$, gdzie $c = \max|x(t)|$. Działanie modulatora ASDM można opisać przy pomocy następującego równania:

$$2\delta = \frac{1}{\kappa} \left| \int_{t_0}^{t_0+\Delta t} (x(t) - z(t)) dt \right| \quad (3)$$

które dla wyznaczenia wartości szerokości impulsu Δt wymaga rozwiązania numerycznego.



Rys. 2. Schemat blokowy przetwornika ASD-ADC
Fig. 2. Block diagram of ASD-ADC

Kwantyzacja w przetworniku ASD-ADC polega na dyskretyzacji szerokości impulsów Δt sygnału $z(t)$. W klasycznym rozwiązaniu kwantyzację realizuje się poprzez zliczanie liczby okresów zegara referencyjnego w kwantyzowanym impulsie Δt (TDC) [1].

Błąd takiego sposobu kwantyzacji wynosi $|\Delta q| \leq \text{LSB}$, co wynika z złożenia dwóch niezależnych składowych błędów kwantyzacji (o rozkładach prostokątnych), odpowiednio dla początkowego i końcowego zbocza kwantyzowanego impulsu. Wypadkowy błąd kwantyzacji Δq ma rozkład trójkątny (rys. 1b) [8].

4. Środowisko symulacyjne

Jako kryterium porównania przetworników S-A/C oraz A-A/C przyjęto poziom parametru SNR, definiowanego jako stosunek wariancji sygnału wejściowego (σ_x^2) przetwornika do wariancji błędu kwantyzacji (σ_e^2) [9, 12]:

$$\text{SNR}[dB] = 10 \log_{10} \left(\frac{\sigma_x^2}{\sigma_e^2} \right) \quad (4)$$

Biorąc pod uwagę rozkłady gęstości prawdopodobieństwa oraz wyjściowy zakres dynamiczny przetworników ($c = \max|x(t)|$) wybrano trzy sygnały testowe [12]: o rozkładzie Gaussa ($\sigma = x_{\max} / 3$), rozkładzie równomiernym oraz sygnał sinusoidalny. Rozkład Gaussa cechuje duże prawdopodobieństwo wystąpienia małych poziomów sygnału wejściowego. Rozkład równomierny odnosi się do przypadku, gdy wystąpienie każdego poziomu amplitudy jest jednakowo prawdopodobne. Sygnał sinusoidalny o amplitudzie zbliżonej do $c = \max|x(t)|$ cechuje duże prawdopodobieństwo wystąpienia dużych poziomów sygnału.

Przyjęto następujące kryteria porównania:

- pasmo sygnału wejściowego $x(t)$, zgodnie z teorią Shannona [11], powinno co najwyżej być równe połowie częstotliwości próbkowania,
- porównywane układy powinny wykazywać podobne zapotrzebowanie na przepustowość wyjściowego kanału cyfrowego. Dla ADC częstotliwość generowania kolejnych słów cyfrowych odpowiada częstotliwości próbkowania. Dla ASD-ADC bierze się pod uwagę średnią częstotliwość pojawiania się słów cyfrowych na wyjściu, odpowiadającą odwrotności średniej szerokości impulsów sygnału $z(t)$, która w przybliżeniu wynosi T_0 .

Założenie częstotliwościowe dla ASD-ADC ze względu na zjawisko *wymiany pasma sygnału wejściowego (f) na wyjściowy zakres dynamiczny* przetwornika wyrażony przez η [13]

$$f \leq (1 - \eta) / (2T_0) \quad (5)$$

prowadzi do wyboru wartości $\eta=0,5$. Wówczas zależność (5) odpowiada powszechnie znanej zależności przedstawionej przez Shannona [11].

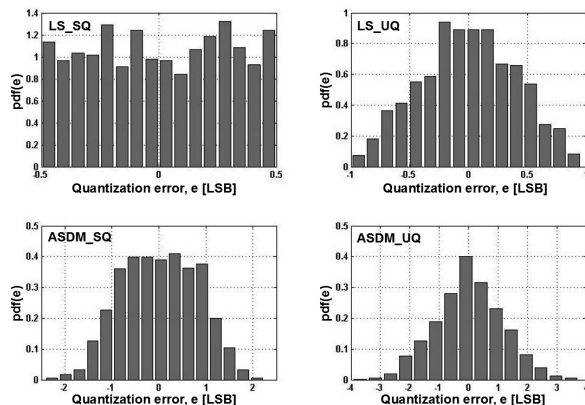
By poznać wpływ różnych architektur przetworników analogowo-cyfrowych na wielkość parametru SNR, wybrano cztery konfiguracje bloków próbkujących i kwantyzujących:

- klasyczny przetwornik analogowo-cyfrowy składający się z liniowego bloku próbkującego i zsynchronizowanego z nim kwantyzatora oznaczony w dalszej części artykułu jako „LS_SQ” (*Linear Sampling Synchronized Quantizer*),
- asynchroniczny przetwornik Sigma-Delta ze zsynchronizowanym z nim blokiem kwantyzatora („ASDM SQ” - *ASDM and Synchronized Quantizer*). To zestawienie pozwala zbadać wpływ nieliniowości ASDM na wielkość SNR w ASD-ADC.
- przetwornik analogowo-cyfrowy z ditherem („dithered ADC” [7]), składający się z liniowego bloku próbkującego oraz bloku kwantyzatora charakteryzującego się trójkątnym rozkładem prawdopodobieństwa dla błędów kwantyzacji. Rozwiązanie to oznaczono jako „LS_UQ” (*Linear Sampling Unsynchronized Quantizer*). Układ ten umożliwia zaobserwowanie wpływu niejednoznaczności przypisywania poziomu sygnału wejściowego do słowa cyfrowego na poziom SNR.
- asynchroniczny przetwornik Sigma-Delta (ASD-ADC), oznaczony jako „ASDM_UQ” (*ASDM and Unsynchronized Quantizer*).

By spełnić założenia związane z częstotliwością i rozkładem gęstości prawdopodobieństwa dla sygnału wejściowego $x(t)$, jest on generowany jako ciąg próbek z maksymalną częstotliwością wynikającą z prawa Shannona i z zależności (5) (przy $\eta=0,5$). Następnie tak uzyskane próbki są interpolowane sygnałem $\text{sinc}(\sin(\Omega t)/\Omega t)$ [5]. Dopiero tak przygotowany sygnał $x(t)$ jest wykorzystywany do numerycznego wyznaczenia wartości Δt z równania (3). Znalezienie wartości błędu kwantyzacji wymaga rekonstrukcji sygnału. Dla przetworników synchronicznych metoda rekonstrukcji jest znana [12], natomiast metoda rekonstrukcji dla przetworników wykorzystujących ASDM jako blok próbkujący została przedstawiona w pracy [5].

5. Wyniki symulacji

Wyniki symulacji błędu kwantyzacji dla wymienionych typów przetworników obrazuje rys. 2, zaś tabele 1 i 2 przedstawiają wartość SNR dla założonych sygnałów testowych przy rozdzielczości przetworników: 8 bitów (tab. 1) oraz 9 bitów (tab. 2).



Rys. 3. Rozkłady gęstości prawdopodobieństwa dla błędu kwantyzacji
Fig. 3. Probability density functions for the quantization error

Dla klasycznego przetwornika synchronicznego LS_SQ (rys. 3) uzyskano rozkład równomierny błędu kwantyzacji z maksymalną wartością na poziomie $\frac{1}{2}$ LSB. Dla LS_UQ otrzymuje się trójkątny rozkład gęstości prawdopodobieństwa (rys. 3) z maksymalną wartością błędu kwantyzacji na poziomie LSB. Zgodnie z teorią statystyki, wspomniane wyżej rozkłady posiadają następujące wartości wariancji: dla rozkładu równomiernego (LS_SQ) $\sigma_{\Pi}^2 = 1/12$, zaś dla trójkątnego (LS_UQ) $\sigma_{\lambda}^2 = 1/6$ [7]. Różnica w wartości SNR dla tych dwóch wypadków powinna zatem wynosić około 3dB, co potwierdzają wyniki zawarte w tabelach 1 i 2.

Tab. 1. SNR dla 8 bitowych rozwiązań ADC przy różnych sygnałach wejściowych
Tab. 1. SNR for various configurations of 8-bit ADCs and for various input signals

SNR	LS SQ	LS UQ	ASDM SQ	ASDM UQ
Gauss	48,23dB	45,29dB	38,95dB	35,97dB
Uniform	51,62dB	49,07dB	41,83dB	39,33dB
Sinus	55,99dB	52,95dB	45,17dB	41,86dB

Tab. 2. SNR dla 9 bitowych rozwiązań ADC przy różnych sygnałach wejściowych
Tab. 2. SNR for various configurations of 9-bit ADCs and for various input signals

SNR	LS SQ	LS UQ	ASDM SQ	ASDM UQ
Gauss	54,08dB	50,96dB	44,64dB	41,73dB
Uniform	58,60dB	55,50dB	48,13dB	45,57dB
Sinus	62,03dB	59,28dB	51,10dB	47,83dB

Pozostałe dwie konfiguracje (ASDM_UQ, ASDM_SQ) zawierają ASDM jako blok próbkujący. Nieliniowość modulatora ASDM wpływa na kształt rozkładu gęstości prawdopodobieństwa i sprawia, że zależności matematyczne opisujące te rozkłady są złożone. Maksymalny błąd kwantyzacji jest około 5 razy (ASDM_SQ) a nawet 8 razy (ASDM_UQ) większy niż dla klasycznego przetwornika (LS_SQ). Różnicę tę widać jeszcze wy-

rażniej w danych umieszczonych w tabeli 1 i tabeli 2. Zawiera się ona w przedziale od 10dB (pomiędzy LS_SQ a ASDM_SQ) aż do 13dB (pomiędzy LS_SQ a ASDM_UQ).

6. Podsumowanie

W artykule porównano parametr SNR synchronicznych i asynchronicznych przetworników analogowo-cyfrowych. Różnica w wielkości SNR wynika z liniowości/nieliniowości bloku próbkującego, a także jednoznaczności/niejednoznaczności procesu kwantyzacji. Wskazano także różnice występujące przy różnych rozkładach prawdopodobieństwa dla sygnałów wejściowych. Porównując wyniki zamieszczone w tabelach 1 i 2 można zauważyć, że niezależnie od rozważanego modelu przetwornika analogowo-cyfrowego, zmianie rozdzielczości kwantyzatora o 1 bit towarzyszy zmiana SNR o 6dB.

Jednym z najważniejszych wyników jest wykazanie różnicy między przetwornikami klasycznymi S-A/C i ASD-ADC która wynosi około 13 dB. Główną przyczyną tak dużej różnicy jest nieliniowość bloku ASDM (10 dB). Dodatkowe 3 dB pochodzą od niejednoznaczności procesu kwantyzacji. Na tę wartość nie wpływa zastosowany model stochastyczny sygnału wejściowego.

Powyższe obserwacje pozwalają wywnioskować, że przetwornik asynchroniczny ASD-ADC (modelowany jako ASDM_UQ) ma o 2 bity gorszą jakość przetwarzania (wartość parametru SNR) niż przetwornik synchroniczny (LS_SQ) o tej samej rozdzielczości.

7. Literatura

- [1] Kirianaki N.V., Yurish S.Y., Shpak N.O. and Deynega V.P.: Data Acquisition and Signal Processing for Smart Sensors. John Wiley & Sons, 2002.
- [2] Allier E., Sicard G., Fesquet L. and Renaudin M.: A new class of asynchronous A/D converters based on time quantization. Proceedings of IEEE International Symposium on Asynchronous Circuits and Systems ASYNC 2003, 2003, pp. 196-205.
- [3] Manohar R., Apsel A.B. and Akopyan F.: A level-crossing flash asynchronous analog-to-digital converter. Proceedings of IEEE International Symposium on Asynchronous Circuits and Systems ASYNC 2006, 2006, pp. 12-22.
- [4] Lazar A.A., Simonyi E.K. and Toth L.T.: Time encoding of bandlimited signals, an overview. Proceedings of Conference on Telecommunication Systems, Modeling and Analysis, November, 2005.
- [5] Lazar A.A. and Tóth L.T.: Perfect recovery and sensitivity analysis of time encoded bandlimited signals. IEEE Transactions on Circuits and Systems-I, no. 10, 2005, pp. 2060-73.
- [6] Kościelnik D. and Miśkiewicz M.: Asynchronous sigma-delta analog-to-digital converter based on the charge pump integrator. Analog Integrated Circuits & Signal Processing, vol. 55, 2008, pp.223-238.
- [7] Callahan A.: Random rounding: some principles and applications. Proceedings of IEEE International Conference on Acoustics, Speech, and Signal Processing ICASSP 1976, vol. 1, 1976, pp. 501-504.
- [8] Jabłeka M., Miśkiewicz M., Kościelnik D.: Uncertainty of Asynchronous Analog-to-Digital Converter Output State. Proceedings of IEEE International Symposium on Industrial Electronics ISIE 2010, July, 2010.
- [9] Gersho A., Gray R. M.: Vector quantization and signal compression, Kluwer, 1992.
- [10] Papoulis A.: Probability, random variables, and stochastic processes, McGraw-Hill, 1991.
- [11] Shannon C. E.: Communications in the presence of noise. Proceedings of IRE, January, 1949.
- [12] Rabiner L.R. and Schafer R.W.: Digital Processing of Speech Signals, Prentice-Hall, Englewood Cliffs, 1978.
- [13] Miśkiewicz M., Kościelnik D.: The dynamic range of timing measurements of the asynchronous sigma-delta modulator. Proceedings of IFAC Workshop on Programmable Devices and Embedded Systems PDeS, February 2006, pp. 395-400.