

**Piotr OTFINOWSKI, Adam ZAZIĄBŁ**  
 AKADEMIA GÓRNICZO-HUTNICZA, KATEDRA METROLOGII,  
 al. Mickiewicza 30, 30-059 Kraków

## Projekt kompensacyjnego przetwornika analogowo–cyfrowego dla potrzeb wielokanałowych układów w technologii submikronowej

Mgr inż. Piotr OTFINOWSKI

Autor w 2009 roku ukończył studia magisterskie na kierunku Elektronika i Telekomunikacja Wydziału Elektrotechniki, Automatyki, Informatyki i Elektroniki na Akademii Górniczo-Hutniczej w Krakowie. Aktualnie jest doktorantem na Katedrze Metrologii na Akademii Górniczo-Hutniczej w Krakowie. W pracy badawczej zajmuje się projektowaniem specjalizowanych układów scalonych.



e-mail: potfin@agh.edu.pl

Mgr inż. Adam ZAZIĄBŁ

Absolwent kierunku Elektronika i Telekomunikacja Wydziału Elektrotechniki, Automatyki, Informatyki i Elektroniki Akademii Górniczo-Hutniczej. Obecnie doktorant tego samego wydziału. W pracy badawczej zajmuje się projektowaniem specjalizowanych układów scalonych.



e-mail: zaziabl@agh.edu.pl

### Streszczenie

W pracy zaprezentowano projekt scalonego przetwornika analogowo–cyfrowego wykonany w technologii UMC CMOS 180nm. Przedstawiono rozwiązanie pozwalające na znaczące zmniejszenie powierzchni zajmowanej przez układ poprzez dodanie pomocniczego przetwornika C/A. Zostało przybliżone także zagadnienie odpowiedniego doboru kluczy w układach z przełączanymi pojemnościami. Ostatecznie zaprezentowany układ cechuje się szybkością konwersji wynoszącą 3 MS/s przy poborze mocy 225  $\mu$ W oraz bardzo niską nieliniowością.

**Słowa kluczowe:** przetwornik analogowo–cyfrowy z równoważeniem ładunku, klucze CMOS.

### Project of successive approximation analog-to-digital converter for multichannel circuits in submicron technology

#### Abstract

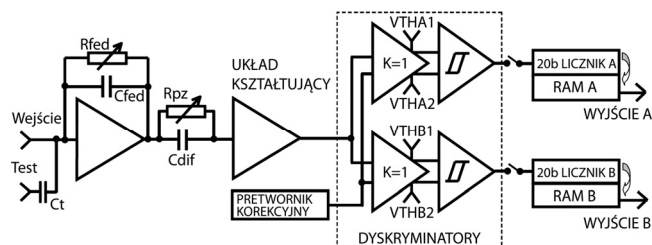
The dynamic progress in the domain of applications involving X rays demands more sophisticated circuits for acquisition and processing of signals from the silicon detectors. This paper presents a design of an integrated analog-to-digital converter dedicated to multichannel silicon detector readout circuits. The successive approximation with charge redistribution architecture was proposed. In order to reduce the total chip area, the DAC was split into two blocks. The capacitor array used as a primary DAC and also as a sampling circuit. As a secondary DAC, the resistive voltage divider was introduced. This solution allowed reducing the total DAC area by the factor of 6, maintaining the same output voltage accuracy. The CMOS switches are described in detail, as they play important role in the switch capacitor circuits, affecting both the speed and accuracy of the primary capacitive DAC. A synchronous regenerative latch is used as a comparator. The ADC is implemented in UMC CMOS 180nm technology. The designed ADC is able to achieve conversion rates of 3 MS/s at 225  $\mu$ W. The final simulation results show also low nonlinearity of the presented circuit.

**Keywords:** analog-to-digital converter, charge redistribution, successive approximation, CMOS switch.

## 1. Wprowadzenie

Dynamiczny rozwój dziedzin związanych z zastosowaniem promieniowania X, takich jak obrazowanie medyczne oraz spektrometria mas, powoduje zapotrzebowanie na coraz bardziej specjalizowane układy odczytu i przetwarzania sygnałów pochodzących z detektorów krzemowych.

W pracy [1] został zaprezentowany 64-kanalowy układ scalony do odczytu danych z paskowych detektorów krzemowych. Architektura pojedynczego toru pomiarowego ilustruje rysunek 1. Ostatnim elementem toru był dyskryminator okienkowy ze zmiennym progiem dyskryminacji, pozwalający na zliczanie impulsów o zadanej amplitudzie.



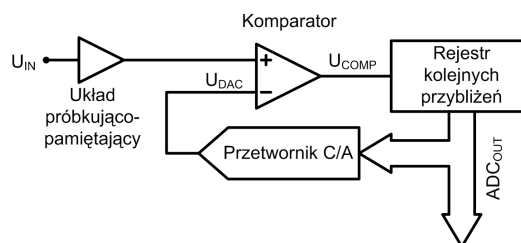
Rys. 1. Tor odczytu z detektora paskowego [1]

Fig. 1. Silicon detector readout circuit [1]

Projektowany przetwornik musi być zdolny do mierzenia impulsów o amplitudzie do 800 mV z rozdzielczością 8 bitów oraz szybkością konwersji nie niższą niż 2 MS/s. Układ musi charakteryzować się także jak najmniejszą powierzchnią oraz niskim poborem mocy

## 2. Kompensacyjny przetwornik analogowo–cyfrowy

W wielokanałowych układach odczytu z detektorów krzemowych stosuje się głównie przetworniki Wilkinsona, przetworniki flash o ograniczonej rozdzielczości oraz przetworniki kompensacyjne. Spośród wymienionych architektur, przetworniki kompensacyjne charakteryzują się najwyższą rozdzielczością, zapewniając jednocześnie wystarczająco krótkie czasy konwersji. Ich małe skomplikowanie układowe, a także niewielki obszar oraz pobór mocy czynią je odpowiednimi do zastosowań wielokanałowych.



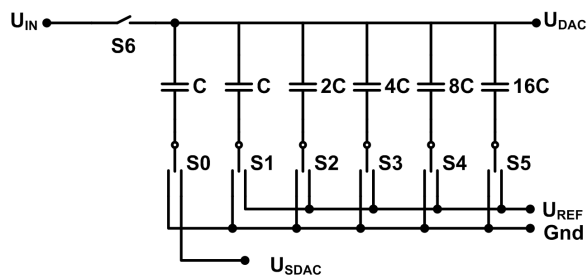
Rys. 2. Schemat blokowy przetwornika kompensacyjnego A/C

Fig. 2. Block diagram of the successive approximation A/D converter

Cechą wszystkich przetworników kompensacyjnych, do których omawiany układ się zalicza, jest generowanie za pomocą przetwornika cyfrowo-analogowego napięcia, którego zadaniem jest skompensowanie sygnału wejściowego.

Za generowanie odpowiedniego napięcia kompensacyjnego odpowiedzialny jest rejestr kolejnych przybliżeń (successive approximation register). W kolejnych krokach napięcie wejściowe jest porównywane z napięciem kompensacyjnym. W zależności od wyniku porównań, dana wejściowa przetwornika C/A jest powiększana lub zmniejszana z coraz większą dokładnością tak, by różnica pomiędzy napięciem wejściowym a kompensacyjnym była jak najmniejsza. Wówczas dana wejściowa przetwornika C/A stanowi cyfrową reprezentację napięcia wejściowego.

Jeżeli jako przetwornik cyfrowo-analogowy zostanie zastosowany przetwornik z podziałem ładunku z binarnie ważonymi pojemnościami, może on również pełnić rolę układu próbkująco-pamiętającego. Przetwornik analogowo – cyfrowy powstały w ten sposób nazywany jest przetwornikiem z równoważeniem ładunku.

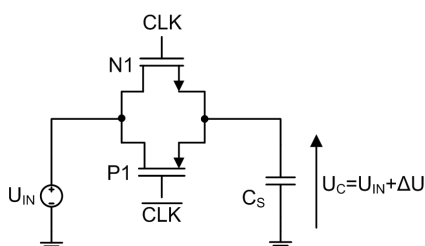


Rys. 3. Przetwornik cyfrowo-analogowy z podziałem ładunku  
Fig. 3. Charge sharing digital-to-analog converter

Jako że dodanie każdego kolejnego bitu wymaga podwojenia liczby kondensatorów, co pociąga za sobą zwiększenie rozmiarów oraz pojemności przetwornika C/A, zdecydowano się na zastosowanie pomocniczego przetwornika C/A. Jego wyjście  $U_{SDAC}$  jest podłączane do najmniejszego kondensatora. Zostanie on omówiony w dalszej części pracy.

Duże znaczenie dla dokładności napięcia wyjściowego przetwornika odgrywa niedopasowanie elementów w obrębie pojedynczego układu (mismatch). By ograniczyć jego wpływ, wprowadzono matrycę złożoną z 32 jednostkowych kondensatorów. Większe kondensatory są utworzone poprzez równoległe połączenie odpowiedniej liczby kondensatorów jednostkowych. Dla uzyskania wymaganej dokładności pojemność jednostkowego kondensatora została wybrana na  $C = 44$  fF.

Kondensatory zostały rozmieszczone w topologii wspólnego środka (common centroid). Na obrzeżach matrycy znajdują się dodatkowe, nieużywane kondensatory (dummy) po to, by zapewnić jednakowe otoczenie kondensatorom matrycy.



Rys. 4. Schemat komplementarnego klucza CMOS  
Fig. 4. Complementary CMOS switch schematic

W układach z przełączanymi pojemnościami klucze odgrywają ważną rolę. Od nich w dużej mierze zależy dokładność i szybkość działania układu. Czas próbkowania zależy od rezystancji załączonego klucza. Natomiast na dokładność zapamiętanego napięcia

wpływ mają dwa efekty: przesłuch sygnałów sterujących oraz wstrzykiwanie ładunku kanału tranzystora [2].

Rysunek 4 schematycznie przedstawia ładowanie pojemności  $C_S$  przez komplementarną parę tranzystorów N1 oraz P1 – bramkę transmisyjną. W stosunku do klucza składającego się z pojedynczego tranzystora dowolnego typu ma ona szereg zalet.

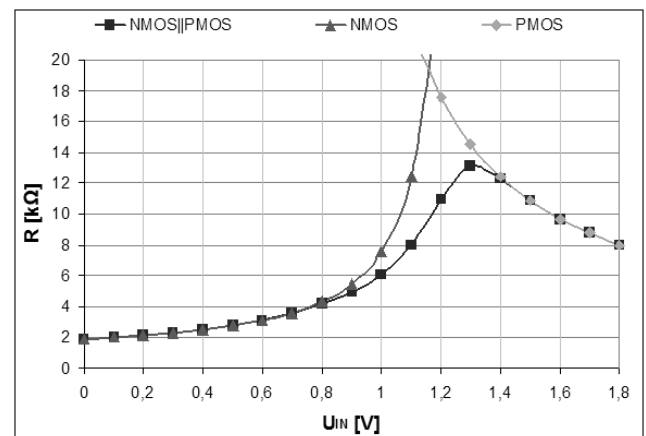
Małosygnałowa rezystancja załączonego tranzystora jest nieliniowa i zależy od napięcia wejściowego. Jej wartość dana jest wzorem:

$$r_{ON} = \frac{1}{\mu C_{OX} \cdot \frac{W}{L} (U_{GS} - U_T - U_{DS})}, \quad (1)$$

gdzie:

$\mu$  – ruchliwość nośników,  
 $C_{OX}$  – pojemność tlenku krzemu na jednostkę powierzchni,  
 $W, L$  – wymiary tranzystora,  
 $U_T$  – napięcie progowe tranzystora,  
 $U_{GS}$  – napięcie bramka-źródło,  
 $U_{DS}$  – napięcie dren-źródło.

Rysunek 5 przedstawia rezystancje załączonej bramki transmisyjnej w zależności od napięcia wejściowego. Dla niskich napięć wejściowych przewodzi tranzystor NMOS, dla wysokich – PMOS. Jako że te tranzystory mają różne parametry, rezystancja zastępcza bramki transmisyjnej zależy od napięcia wejściowego. Wyrównanie rezystancji klucza w całym zakresie napięć wejściowych jest możliwe poprzez odpowiednie zwiększenie szerokości kanału tranzystora PMOS w stosunku do kanału NMOS, jednak zróżnicowanie rozmiarów tranzystorów wpływa negatywnie na wartość błędu napięcia zapamiętanego na kondensatorze po wyłączeniu klucza. W prezentowanym układzie zastosowano tranzystory NMOS i PMOS o takich samych wymiarach.



Rys. 5. Rezystancja załączonej bramki transmisyjnej  
Fig. 5. On – resistance of transmission gate

Na dokładność zapamiętanego napięcia decydujący wpływ mają dwa czynniki: przesłuch sygnałów sterujących oraz zjawisko wstrzykiwania ładunku kanału tranzystorów.

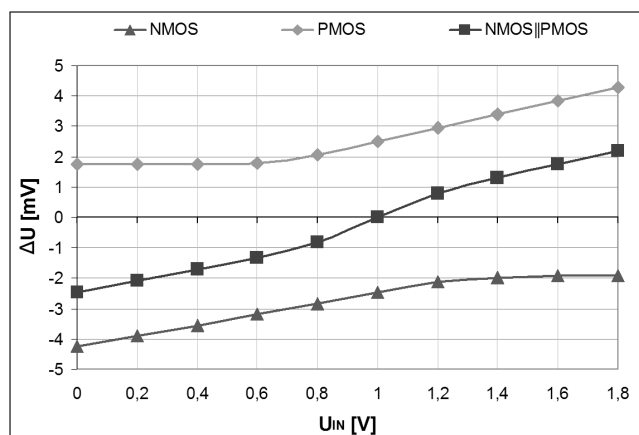
Efekt przesłuchu sygnałów sterujących objawia się stałym błędem zapamiętanego napięcia powstałym podczas wyłączania klucza. Jego wartość zależy od stosunku pojemności bramka – źródło tranzystora do pojemności próbkującej.

Efekt wstrzykiwania ładunku jest zjawiskiem bardziej złożonym. Wartość ładunku zgromadzonego w kanale tranzystora dana jest wzorem[2]:

$$r_{ON} = \frac{1}{\mu C_{OX} \cdot \frac{W}{L} (U_{GS} - U_T - U_{DS})}, \quad (2)$$

W przypadku tranzystorów NMOS ładunek ten jest ujemny, dla tranzystorów PMOS – dodatni. Jednak jego wartość bezwzględna zależy tylko od rozmiaru tranzystorów oraz ich napięć ( $U_{GS} - U_T$ ).

Zależność błędu próbkowania od napięcia wejściowego, powstałego w wyniku przesłuchu sygnałów sterujących oraz wstrzykiwania ładunku, dla tranzystorów o identycznych wymiarach przedstawia rysunek 6.



Rys. 6. Błąd próbkowania w zależności od napięcia wejściowego  
Fig. 6. Sampling error vs input voltage

Jeżeli w roli klucza występuje pojedynczy tranzystor, na zapamiętane napięcie wpływ ma zarówno efekt wstrzykiwania ładunku kanału tranzystora jak i przesłuch sygnałów sterujących.

W przypadku bramki transmisyjnej, jako że tranzystory typu P i typu N są sterowane komplementarnymi sygnałami oraz mają identyczne wymiary, czyli także pojemności bramka – źródło, zjawisko przesłuchu zostało znacząco ograniczone.

Wartość wstrzykniętego ładunku dla tranzystora pracującego w zakresie silnej inwersji zależy liniowo od napięcia ( $U_{GS} - U_T$ ), które jest różne dla obu tranzystorów. Dlatego efekt ten wciąż występuje, choć jego wpływ na dokładność próbkowania został ograniczony.

Dobór odpowiednich kluczy odbywa się więc na drodze kompromisu pomiędzy czasem ustalania się napięcia wyjściowego, a jego dokładnością. Ze wzoru (1) wynika, że tranzystory o szerokich kanałach zapewniają mniejszą rezystancję klucza. Jednak zgodnie z równaniem (2) zwiększanie szerokości kanałów skutkuje wzrostem ładunku kanału, zwiększając błąd  $\Delta U$  napięcia zapamiętanego na kondensatorze. Długość kanału tranzystora w przypadku kluczy powinna być minimalna.

Ostateczne długości kanałów tranzystorów bramki transmisyjnej wynoszą  $L_N = L_P = 180$  nm, a ich szerokości są równe  $W_N = W_P = 350$  nm.

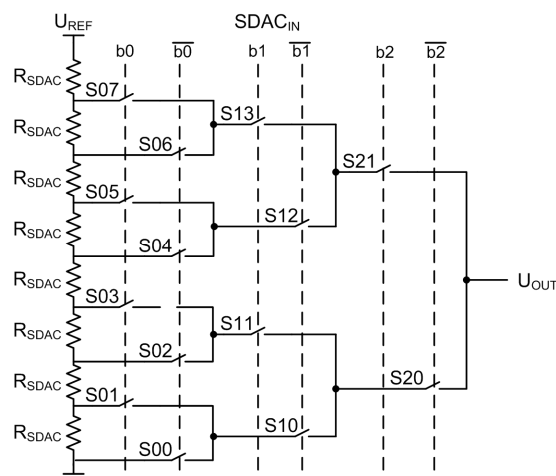
Rozdzielczość przetwornika C/A z podziałem ładunku jest uzależniona od rozmiarów matrycy kondensatorów. Na każdy dodatkowy bit musi być ona powiększona dwukrotnie. Jest to niekorzystne ze względu na wydłużone czasy próbkowania oraz większy prąd potrzebny do przeładowania matrycy. Jednym z możliwych rozwiązań jest zastosowanie pomocniczego przetwornika C/A [3] (Sub-DAC). W prezentowanym przykładzie 5 najstarszych bitów jest wyznaczanych na matrycy kondensatorów głównego przetwornika, najmłodsze 3 bity natomiast przy użyciu przetwornika pomocniczego.

Jako pomocniczy przetwornik został wykorzystany 3-bitowy dzielnik rezystancyjny. Jego napięcie wyjściowe jest dodawane do napięcia przetwornika głównego ze stałą wagą, równą stosunkowi pojemności najmniejszego kondensatora do pojemności całej matrycy.

Przez przetwornik płynie stały prąd, stąd ze względu na pobór mocy wartość pojedynczego rezystora powinna być jak największa. Z drugiej strony, aby układ pracował z zadaną częstotliwością

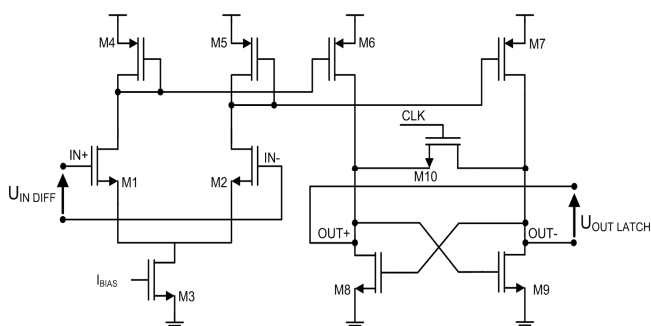
zegara równą  $f_{CLK} = 30$  MHz, jego stała czasowa musi być dostatecznie mała. Mając jednocześnie na uwadze typy rezystorów dostępnych w wybranej technologii, wartość pojedynczego rezystora wynosi  $R_{SDAC} = 12,5$  k $\Omega$ .

Zastosowanie przetwornika pomocniczego pozwoliło zmniejszyć całkowity rozmiar przetwornika około 6-cio krotnie, przy zachowaniu tej samej dokładności. Kosztem tego rozwiązania jest nieznacznie zwiększony statyczny pobór mocy układu.



Rys. 7. Schemat pomocniczego przetwornika C/A  
Fig. 7. Schematic of the sub-DAC

W omawianej architekturze przetwornika komparator musi charakteryzować się krótkim czasem odpowiedzi. Do poprawnego działania układu nie może on przekraczać połowy cyklu zegarowego  $\frac{1}{2}T_{CLK} = 16$  ns. W tym celu został zastosowany synchroniczny zatrask z dodatnim sprzężeniem zwrotnym, wraz z przedwzmacniaczem [4, 5].



Rys. 8. Schemat elektryczny komparatora  
Fig. 8. Electrical schematic of the comparator

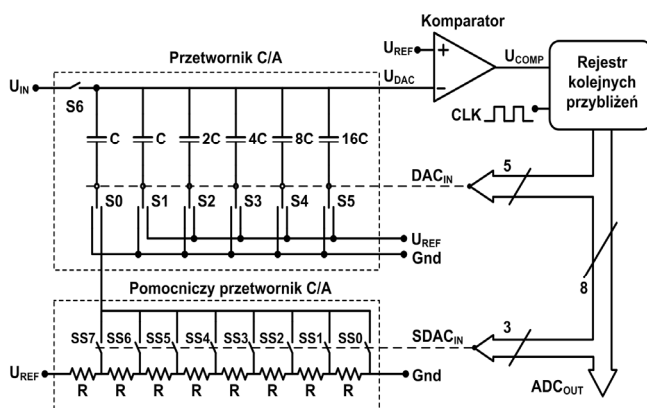
Rolą przedwzmacniacza jest nie tylko wzmocnienie sygnału, ale także odseparowanie wyjścia przetwornika C/A od zatrasku. W przeciwnym wypadku duże skoki napięcia wyjściowego zatrasku byłyby przenoszone na wyjście przetwornika C/A, wprowadzając błąd do zapamiętanego na matrycy kondensatorów napięcia. Dlatego zaprezentowany przedwzmacniacz charakteryzuje małą rezystancją wyjściową. Dzięki temu skok napięcia powstały po przełączeniu się zatrasku zostaje szybko rozładowany.

### 3. Wyniki symulacji

Projekt został zaimplementowany w technologii UMC CMOS 180nm. Kompletny schemat przetwornika analogowo-cyfrowego prezentuje rysunek 9. Parametry układu zawarto w tabeli 1.

Tab. 1. Parametry przetwornika  
Tab. 1. ADC parameters

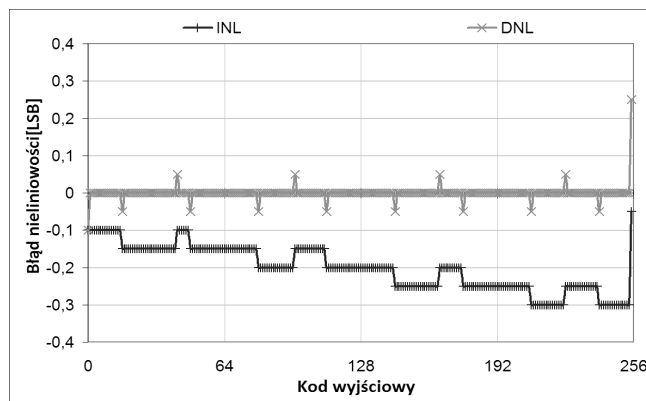
Technologia	180nm CMOS
Liczba bitów	8
Szybkość konwersji	3 MS/s
Częstotliwość zegara	30 MHz
Zasilanie	1.8 V
Pobór mocy	225 $\mu$ W
Zakres napięć wejściowych	0-800 mV
Nieliniowość INL/DNL	0,3/025 LSB
Obszar aktywny	0,016 mm <sup>2</sup>



Rys. 9. Schemat przetwornika A/C z równoważeniem ładunku  
Fig. 9. Schematic of the charge-redistribution ADC

Na rysunku 10 przedstawiono wynik symulacji nielineowości całkowitej oraz różniczkowej przetwornika. Napięcie referencyjne wynosiło  $V_{REF} = 800$  mV, napięcie wejściowe zmieniało się w granicach  $V_{IN} = 0$  mV – 800 mV. Szybkość konwersji wynosiła 3 MS/s. Symulacje przeprowadzono używając narzędzia Spectre.

Maksymalna nielineowość nie przekracza wartości 0,3 LSB. Oznacza to, że pojemność kondensatora jednostkowego w głównym przetworniku C/A została dobrana poprawnie.



Rys. 10. Całkowa i różniczkowa nielineowość przetwornika  
Fig. 10. Integral and differential ADC nonlinearity

## 4. Podsumowanie

W pracy zaprezentowano projekt kompensacyjnego przetwornika A/C, zdolnego do pracy przy szybkości próbkowania wynoszącej 3 MS/s, pobierający przy tym 225  $\mu$ W mocy. Poprzez odpowiedni dobór kluczy oraz kondensatorów głównego przetwornika C/A otrzymano niską nielineowość charakterystyki układu. Natomiast dzięki zastosowaniu pomocniczego przetwornika C/A powierzchnia układu została ograniczona, co czyni ten przetwornik atrakcyjnym do zastosowań w układach wielokanałowych, gdzie dostępny obszar jest ograniczony.

## 5. Literatura

- [1] Szczygieł R., Gryboś P., Maj P., Tsukiyama A., Matsushita K., Taguchi T.: RG64 – High Count Rate Low Noise Multichannel ASIC With Energy Window Selection and Continuous Readout Mode, IEEE TNS., 56 (2009), n. 2, 487-495.
- [2] Razavi B.: Design of Analog CMOS Integrated Circuits, McGraw-Hill Companies, New York 2001, 410-423.
- [3] Rivetti A., Anelli G., Anghinolfi F., Mazza G., Rotondo F.: A Low-Power 10-bit ADC in a 0.25- $\mu$ m CMOS: Design Considerations and Test Results, IEEE TNS., 48 (2001), n. 4, 1225-1228.
- [4] Hong H., Lee G.: A 65-fJ/Conversion-Step 0.9-V 200-kS/s Rail-to-Rail 8-bit Successive Approximation ADC, IEEE Journal of Solid-State Circuits, 42 (2007), n. 10, 2161-2167.
- [5] Razavi B., Wooley B.: Design Techniques for High-Speed, High-Resolution Comparators, IEEE Journal of Solid-State Circuits, 27 (1992), n. 12, 1916-1923.

otrzymano / received: 02.07.2010  
przyjęto do druku / accepted: 01.09.2010

artykuł recenzowany

## INFORMACJE

# Zapraszamy do publikacji artykułów naukowych w czasopiśmie PAK

WYDAWNICTWO POMIARY AUTOMATYKA KONTROLA  
ul. Świętokrzyska 14A, pok. 530, 00-050 Warszawa,  
tel./fax: 22 827 25 40

Redakcja czasopisma POMIARY AUTOMATYKA KONTROLA  
44-100 Gliwice, ul. Akademicka 10, pok. 30b,  
tel./fax: 32 237 19 45, e-mail: wydawnictwo@pak.info.pl