

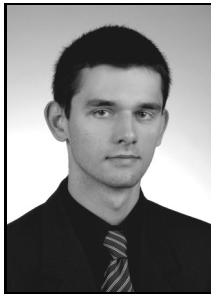
Jarosław CZOKÓW

UNIwersytet Mikołaja Kopernika,
ul. Grudziądzka 5, 87-100 Toruń

Metoda autonomicznej korekcji błędu nieliniowości przetwornika czas-cyfra opartego na różnicowej linii opóźniającej

Mgr inż. Jarosław CZOKÓW

Ukończył studia na wydziale Fizyki, Astronomii i Informatyki Stosowanej na kierunku Fizyka Techniczna o specjalnościach Miernictwo Komputerowe oraz Komputerowe Systemy Sterujące w roku 2006. Aktualnie uczestnik studiów doktoranckich w dyscyplinie elektroniki. Jego zainteresowania naukowe dotyczą tematyki specjalizowanych układów scalonych do zastosowań w metrologii odcinka czasu.



e-mail: jarczok@fizyka.umk.pl

Streszczenie

W artykule zaprezentowano nową metodę autonomicznej układowej korekcji błędu nieliniowości przetwornika czas-cyfra opartego na noniuszowej linii opóźniającej. Wyniki symulacji pokazały, że możliwe jest zmniejszenie błędów nieliniowości o rząd wielkości. W symulacji Monte Carlo dla szesnastokomórkowej linii noniuszowej zaprojektowanej w technologii CMOS 0.35 μm i średnim opóźnieniu komórki wynoszącym 10 ps, otrzymano błędy nieliniowości sumacyjnej INL mniejsze niż 1 ps.

Słowa kluczowe: noniuszowa linia opóźniająca, różnicowa linia opóźniająca, kalibracja, błąd nieliniowości, przetwornik czas-cyfra.

An autonomous nonlinearity error correction method for a vernier delay line based time-to-digital converter

Abstract

The paper presents a new autonomous nonlinearity error correction method for vernier delay line (VDL, Fig. 1) based time-to-digital converter (TDC). The described VDL consists of flip-flops and two delay chains. The first chain is composed of voltage controlled delay buffers (Fig. 3a) and the second one utilizes digitally controlled shunt capacitor scheme (Fig. 3b). In order to accomplish nonlinearity correction both delay chains in VDL are first set to the same delay using voltage controlled buffers, then the delays of buffers in both chains are compared with use of flip-flops and adjusted with shunt capacitor controlled buffers. Finally, once more the voltage controlled buffers are used to increase VDL delay and achieve the needed LSB. The simulations show that nonlinearity error reduction by an order of magnitude is possible with this method. Monte Carlo simulations performed with 16 stages VDL (CMOS 0.35 μm) indicate that integral nonlinearity (INL) error can be less than 1 ps (Fig. 4b). Some predictions about max INL error based on time model are also presented. Moreover, nonmonotonic VDL can also be corrected, which improves attainable resolution. In opposition to the previously proposed VDL calibration methods [1, 3, 4, 5, 6], there is no need for either implementing accurate signal sources or generating a large number of uncorrelated time events like in the code density method.

Keywords: vernier delay line, calibration, nonlinearity error, time-to-digital converter.

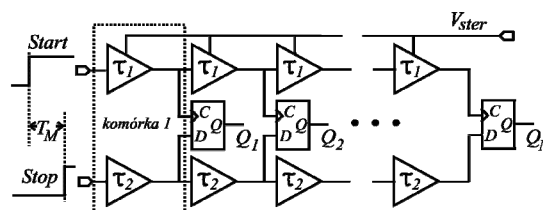
1. Wstęp

Wysokorozdzielcze przetworniki czas-cyfra wytwarzane w technologii CMOS znajdują szerokie zastosowanie w technice oraz w eksperymencie naukowym. Przykładowe zastosowania to dalmierze laserowe, pomiar czasu przelotu w fizyce, pomiar rozmycia czasowego i określanie zależności czasowych w scalonych układach półprzewodnikowych. Z uwagi na rozrzut technologiczny parametrów układów półprzewodnikowych ich charakterystyki odbiegają jednak znacząco od założonych na etapie projektowania. W szczególności powstają błędy nieliniowości przetwarzania będące dominującym źródłem niepewności w precyzyjnej metro-

logii czasu [1]. W referacie zostanie przedstawiona nowa metoda układowej korekcji błędów nieliniowości przetworników czas-cyfra opartych na noniuszowej linii opóźniającej. Prezentowane rozwiązanie nie opiera się na znanej metodzie statystycznej identyfikacji błędu nieliniowości i nie wymaga generacji przebiegów kalibracyjnych o zadanych parametrach. Metoda może ponadto zostać łatwo zaimplementowana jako całkowicie autonomiczna w jednej strukturze półprzewodnikowej wraz z przetwornikiem.

2. Noniuszowa linia opóźniająca

W scalonych przetwornikach czas-cyfra, w celu dyskretyzacji czasu, wykorzystuje się opóźnienia sygnałów powstałe podczas ich propagacji przez elementy struktury, pełniące rolę komórek opóźniających. Linia opóźniająca, zbudowana z połączonych w szereg buforów nieodwracających, umożliwia otrzymanie przetwornika o rozdzielczości pomiaru równej opóźnieniu wprowadzanemu przez pojedynczy bufor.



Rys. 1. Noniuszowa linia opóźniająca
Fig. 1. Vernier delay line

W celu dalszego polepszenia rozdzielczości wykorzystuje się różnicę czasów propagacji poszczególnych buforów. Typową konfiguracją jest różnicowa (zwana także noniuszową) linia opóźniająca [2] przedstawiona na rysunku 1. Pojedynczą komórkę o opóźnieniu q stanowią tu dwa bufory o czasie propagacji τ_1 i τ_2 , przy czym $\tau_1 > \tau_2$, stąd rozdzielczość przetwornika wykorzystującego taką linię wynosi $\tau_1 - \tau_2$. Zbocza narastające sygnałów *Start* oraz *Stop* określają mierzony odcinek czasu T_M . Ponieważ sygnał *Start* doznaje większego opóźnienia w danej komórce niż sygnał *Stop*, różnice czasu pojawienia się sygnałów na wejściach przerzutników w kolejnych komórkach zmniejszają się o wartość $\tau_1 - \tau_2$. Wynik pomiaru określa pierwszy przerzutnik, na którego wyjściu ustalił się poziom wysoki H. Często w jednym z torów znajdują się bufory o opóźnieniu sterowanym napięciowo, co zostało zaznaczone na rysunku 1 w postaci napięcia V_{ster} . Dzięki temu możliwa jest stabilizacja opóźnienia $\tau_1 - \tau_2$ względem zmian temperatury oraz napięcia zasilającego układ. W praktyce wartość napięcia V_{ster} ustalana jest często za pomocą stabilizującej pętli DLL (*Delay-Locked Loop*). Aby możliwe były jednocześnie stabilizacja oraz pomiar, napięcie sterujące dla linii noniuszowej może być generowane w układzie referencyjnym.

Przedmiotem zainteresowania niniejszej pracy jest linia noniuszowa zawierająca komórki o opóźnieniu sterowanym napięciowo.

3. Błędy nieliniowości konwersji czasowo-cyfrowej oraz metody ich identyfikacji

Rozrzut technologiczny parametrów układów produkowanych w technologii CMOS skutkuje tym, że opóźnienia poszczególnych buforów linii noniuszowej różnią się losowo od założonych warto-

ści idealnych a także przerzutniki mają losowe offseety wejściowe. W skrajnym przypadku, dla wysokich rozdzielczości, linia noniuszowa może łatwo stać się niemonotoniczna [2], co będzie spowodowane występowaniem komórek o ujemnym opóźnieniu.

Błąd nieliniowości różnicowej DNL_n (*differential nonlinearity*) dla danej komórki n ($1 \leq n \leq N$) linii noniuszowej można wyrazić jako:

$$DNL_n = q_n - \bar{q}, \quad (1)$$

gdzie: q_n – opóźnienie komórki n , \bar{q} – średnie opóźnienie komórki w danej linii.

Natomiast błąd nieliniowości sumacyjnej (*integral nonlinearity*) INL_n :

$$INL_n = \sum_{i=1}^n DNL_i. \quad (2)$$

Często podaje się względne błędy nieliniowości. Niezależnie od technik projektowania błędy nieliniowości nie mogą zostać całkowicie wyeliminowane. W przypadku przetwornika czas-cyfra, opartego na monotonicznej linii noniuszowej, błędy nieliniowości obliczone na podstawie wartości opóźnień komórek będą odpowiadały błędem samego przetwornika.

W bardziej zaawansowanych procedurach kalibracji przetworników czas-cyfra stosuje się identyfikację błędów nieliniowości, dzięki czemu można dokonać układowej korekcji charakterystyki przetwarzania bądź, jeśli jest to niemożliwe, programowej korekcji surowych wyników pomiaru [1]. W wielu aplikacjach pożądana jest implementacja funkcjonalności korekcji nieliniowości w jednej strukturze scalonej wraz z przetwornikiem. Przegląd metod kalibracji przetworników czas-cyfra wykorzystujących noniuszową linię opóźniającą można znaleźć w [3]. I tak wyróżniamy metodę bezpośrednią (dobrze opisaną w [4]), bezpośrednią z dodanym szumem [4], pośrednią [5] oraz statystyczną [1, 3, 6]. W metodach tych konieczna jest implementacja dokładnych i stabilnych generatorów, źródeł szumu o relatywnie dużym odchyleniu standardowym bądź generacji dużej liczby zdarzeń czasowych o jednorodnym rozkładzie w obrębie danego przedziału czasu. Podsumowując, podstawową wspólną wadą aktualnie stosowanych metod, w przypadku próby ich implementacji w strukturze scalonej, jest konieczność generacji sygnałów kalibracyjnych o zadanych parametrach lub konieczność operowania dużą liczbą danych otrzymanych podczas kalibracji (np. w metodzie statystycznej). Możliwość otrzymania dokładnych sygnałów kalibracyjnych jest często ograniczona z tych samych przyczyn, które powodują występowanie błędów nieliniowości w liniach noniuszowych.

Prezentowana w referacie metoda nie posiada przytoczonych wad.

4. Nowa metoda korekcji błędu nieliniowości noniuszowej linii opóźniającej

Za cenę niewielkiego wzrostu powierzchni układu prezentowana metoda zapewnia sprzętową korekcję błędu nieliniowości (także niemonotonicznych) linii noniuszowych.

Proponowana metoda korekcji nieliniowości może zostać zastosowana w liniach noniuszowych zawierających bufor o sterowanym napięciowo opóźnieniu w jednym z torów (tutaj *Start*). Ponadto, w celu umożliwienia korekcji nieliniowości zaproponowaną metodą, konieczne jest wyposażenie buforów w drugim torze (*Stop*) w możliwość indywidualnej regulacji opóźnienia, najlepiej realizowanego w dyskretnych krokach.

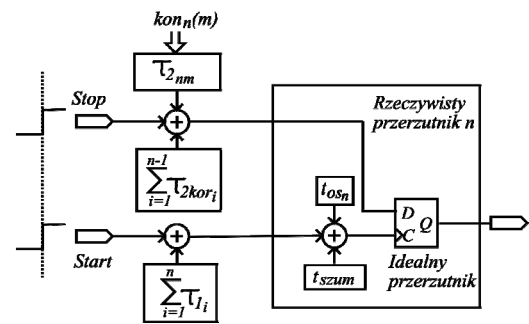
Metoda opiera się na założeniu, że dany przyrost napięcia sterującego V_{ster} linii o regulowanym czasie propagacji powoduje jednakowe przyrosty opóźnienia we wszystkich komórkach. Badania symulacyjne wykazały, że biorąc za kryterium utrzymanie efektu znacznego zmniejszenia bezwzględnych błędów nieliniowości, warunek można uznać za spełniony dla przyrostów opó-

nienia równych $\tau_1 - \tau_2 \ll \tau_1$, a to z kolei jest typowe w liniach noniuszowych.

Przy tych założeniach, procedurę korekcji nieliniowości należy przeprowadzić w następujących krokach:

1. Wymusić za pomocą napięcia V_{ster} jednakowe czasy propagacji sygnałów w torze *Start* oraz *Stop*.
2. Kolejno, w każdej komórce poczynając od pierwszej, zrównać opóźnienie bufora τ_2 (tor *Stop*) z opóźnieniem odpowiedniego bufora τ_1 (tor *Start*).
3. Wymusić za pomocą napięcia V_{ster} różnicę opóźnień buforów $\tau_1 - \tau_2 = \text{LSB}$.

Do wykonania kroku 1 można wykorzystać pętlę DLL. Krok 2 należy wykonać dokonując wielokrotnie pomiaru odcinka $T_M = 0$, co łatwo zrealizować podając na wejścia obu torów linii noniuszowej ten sam sygnał prostokątny. Można wtedy, korelując stany zapamiętane przez przerzutniki z kodami sterującymi odpowiednich buforów w torze *Stop*, korygować opóźnienia kolejnych komórek.



Rys. 2. Model czasowy linii noniuszowej dla korekcji błędu nieliniowości komórki n

Fig. 2. Time model of vernier delay line for nonlinearity error correction of n -th cell

Z uwagi na rozrzut technologiczny parametrów procesu opóźnienia τ_1 i τ_2 można traktować jako zmienne losowe o rozkładzie normalnym. Na rysunku 2 przedstawiono graficznie model czasowy noniuszowej linii opóźniającej, odpowiadający krokowi 2, dla procedury korekcji opóźnienia komórki n . Niech $\tau_{11}, \tau_{12}, \dots, \tau_{1n}, \dots, \tau_{1N}$ oznaczają czasy propagacji buforów sterowanych napięciowo podczas procedury korekcji (ustalone w kroku 1), gdzie indeks n oznacza kolejną komórkę opóźniającą. Niech $\tau_{21m}, \tau_{22m}, \dots, \tau_{2nm}, \dots, \tau_{2Nm}$ oznaczają czasy propagacji buforów w torze *Stop*, gdzie indeks m odpowiada M dyskretnym wartościom jakie może przyjąć opóźnienie każdego z N buforów w torze *Stop*, w zależności od kodu sterującego $kon_n(m)$. Dodatkowo zakłada się, że jednostkowy przyrost opóźnienia bufora $\tau_{2n(m+1)} - \tau_{2nm} = \Delta\tau_2$ ma stałą wartość niezależną od rozrzutu technologicznego. Niech $\tau_{2kor1}, \tau_{2kor2}, \dots, \tau_{2korn}, \dots, \tau_{2korN}$ oznaczają wartości opóźnień tych samych buforów znalezione w wyniku procedury korekcji. $t_{os1}, t_{os2}, \dots, t_{osn}, \dots, t_{osN}$ oznaczają offseety wejściowe kolejnych przerzutników (wliczające się do opóźnienia komórki). Wartość średnia t_{os} dla populacji przerzutników może być równa zero, lecz (w zależności od konstrukcji przerzutnika lub projektu masek fizycznych) nie musi tak być. W celu uwzględnienia pewnej przypadkowości w ustalaniu się stanu na wyjściu rzeczywistego przerzutnika, spowodowanej efektem metastabilności oraz szumami występującymi w układzie rzeczywistym, w modelu została wprowadzona zmienna t_{szum} . Można przyjąć, analogicznie jak w [4] dla modelu przerzutnika, że t_{szum} jest zmienną losową o rozkładzie normalnym, wartości średniej równej zero i wartości odchylenia standardowego σ_{FF} .

Niech ϵ_n oznacza błąd korekcji komórki n ($1 \leq n \leq N$), określony równaniem:

$$t_{osn} + \sum_{i=1}^n \tau_{1i} - \tau_{2nm} - \sum_{i=1}^{n-1} \tau_{2kor_i} = \epsilon_n. \quad (3)$$

Celem procedury korekcji jest znalezienie dla każdej komórki n takiego opóźnienia $\tau_{2nm} = \tau_{2korn}$, dla którego ε_n przyjmuje wartość najbliższą zeru. Obie sumy we wzorze 3 oraz wartości offsetów przerzutników są ustalone dla danej realizacji linii noniuszowej (i dla danego V_{ster}). Po przeprowadzeniu korekcji opóźnienia τ_{1n} zwiększane są o wartość $\Delta\tau_1$ (krok 3) w celu uzyskania pożądanej rozdzielczości linii.

Załóżmy, że po procedurze korekcji, ale jeszcze przed wykonaniem kroku 3, $\varepsilon_N = 0$. Oznacza to, że $\bar{q} = 0$. Wtedy poszczególne wartości ε_n odpowiadają błędowi nieliniowości sumacyjnej INL_n . W przypadku gdy $\varepsilon_N \neq 0$, to $\bar{q} = \varepsilon_N / N$, i można wykazać, że

$$INL_n = \varepsilon_n - n \frac{\varepsilon_N}{N}. \quad (4)$$

Z uwagi na metastabilne zachowania przerzutników oraz na obecność szumów w układzie rzeczywistym, podczas realizacji kroku 2, dla każdej z M wartości opóźnienia τ_{2n} danej komórki n należy powtórzyć K razy test polegający na pomiarze odcinka czasu $T_M = 0$. Po każdym teście należy zapamiętać stan ustalony w przerzutniku n a następnie go wyzerować. Poszukiwana wartość τ_{2korn} odpowiada opóźnieniu τ_{2nm} , dla którego liczba zliczeń poziomów H ustalonych na wyjściu przerzutnika jest najbliższa $0,5K$. Podobnie odbywa się procedura bezpośredniej kalibracji przerzutnika [4]. Z tej procedury wynika ograniczenie na błąd korekcji: $-0,5\Delta\tau_2 < \varepsilon_n < 0,5\Delta\tau_2$, przy czym spostrzeżenie jest słuszne tylko gdy stosunek σ_{FF} do $\Delta\tau_2$ będzie dostatecznie duży i w rezultacie dla każdego opóźnienia τ_{2korn} liczba zapamiętanych przez odpowiedni przerzutnik stanów H będzie zawierać się w przedziale $(0, K)$. W przeciwnym przypadku możliwa będzie sytuacja, w której dla pewnej wartości τ_{2nm} przerzutnik n zapamięta tylko poziomy L a dla kolejnej $\tau_{2n(m+1)}$ tylko H. Można wtedy przyjąć zasadę, że poszukiwanym wartościom τ_{2korn} odpowiadają τ_{2nm} , dla których odpowiednie przerzutniki zapamiętały najmniej stanów H, lecz więcej niż $0,5K$. Dla układów arbitrażu wykonanych w procesie $0,35 \mu\text{m}$, zastosowanych w [5] zamiast przerzutników, σ_{FF} wynosiła $0,35 \text{ ps}$.

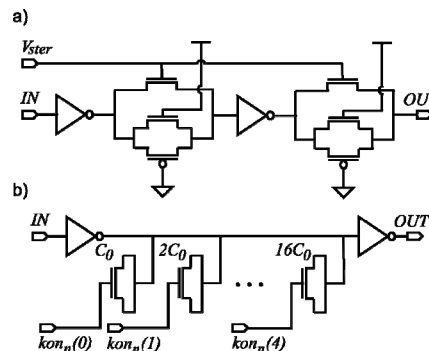
W przypadku gdyby opóźnienie wszystkich komórek w torze *Start*, dla danej zmiany napięcia V_{ster} , zmieniało się o wartość identyczną $\Delta\tau_1$, to błędy INL_n określone wzorem 4 pozostałyby bez zmian także dla innych wartości \bar{q} . Niestety w rzeczywistości rozrzut technologiczny parametrów układów CMOS wpływa na charakterystyki napięciowo-opóźnieniowe komórek w torze *Start* oraz na wartości przyrostów $\Delta\tau_2$ komórek w torze *Stop*.

5. Wyniki badań symulacyjnych, dyskusja

Przeprowadzono symulacje działania proponowanej metody na modelu szesnastokomórkowej noniuszowej linii opóźniającej zaprojektowanej w technologii AMS CMOS $0,35 \mu\text{m}$ w środowisku CADENCE.

Opóźnienie bufora zastosowanego w torze *Start* (rys. 3a), w zakresie zmian napięcia sterującego V_{ster} wynoszącym $0,9 \div 3,3 \text{ V}$, przyrasta (wystarczająco) liniowo o wartość 300 ps (w typowych warunkach). W torze *Stop* zastosowano bufory o regulowanym w 32 krokach opóźnieniu (rys. 3b) [7] dzięki pięciu odpowiednio zwymiarowanym tranzystorom pełniącym rolę obciążających pojemności załączanych w naturalnym kodzie binarnym. Średni jednostkowy przyrost opóźnienia wynosi $\Delta\tau_2 = 0,7 \text{ ps}$, co przy 32 krokach daje zakres regulacji 22 ps , który pokrywa otrzymany w symulacjach Monte Carlo rozrzut opóźnienia komórki dla $\bar{q} = 0$. Symulacje MC wykazały, że zależność przyrostu opóźnienia bufora w torze *Stop*, od numeru kodu sterującego pozostaje monotoniczna, jednakże mniejsze wartości $\Delta\tau_2$, z uwagi na rozrzut technologiczny tej wartości, nie mają sensu

(np. dla $22 \text{ ps} / 64$). Na wejściach linii noniuszowej a także przerzutników D, zostały umieszczone dodatkowe bufory wejściowe.

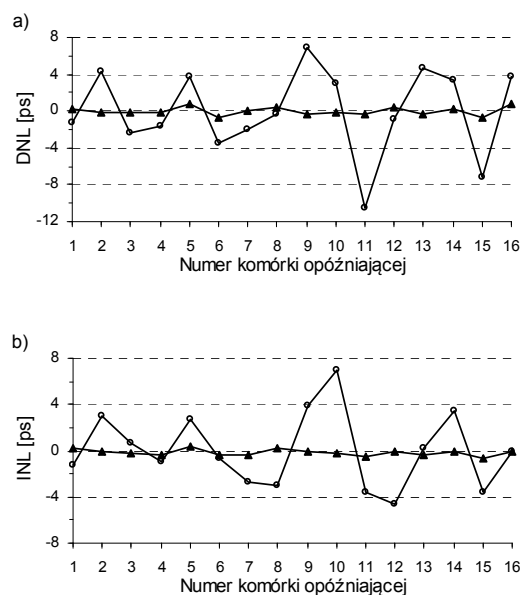


Rys. 3. Bufory opóźniające zastosowane w linii noniuszowej: a) w torze *Start*,

b) w torze *Stop*
Fig. 3. Delay buffers used in vernier delay line: a) in slow chain (*Start*), b) in fast chain (*Stop*)

Do weryfikacji metody posłużył model linii wygenerowany w pojedynczej iteracji symulacji Monte Carlo. Symulacje procedury korekcji zostały przeprowadzone w obecności szumu białego (*transient noise simulation*) o paśmie ograniczonym do 10 GHz (w celu skrócenia czasu symulacji). Najpierw ostatni przerzutnik w linii został potraktowany jako detektor fazy w celu ustalenia odpowiedniego napięcia sterującego w kroku 1. Następnie, kolejno dla każdej komórki n , przeprowadzono korekcję błędów nieliniowości. W celu realizacji kroku 2, dla każdego opóźnienia τ_{2nm} i $\tau_{2n(m+1)}$ podejrzewanych na podstawie wstępnych symulacji o to, że mogą być poszukiwanymi τ_{2korn} , przeprowadzono po 50 symulacji *transient noise*.

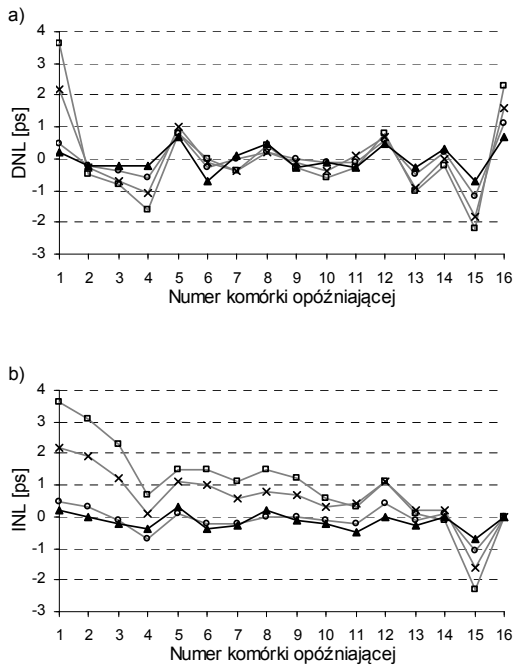
Na rysunku 4 przedstawiono otrzymane w wyniku symulacji błędy nieliniowości linii noniuszowej przed oraz po korekcji dla $\bar{q} = 10 \text{ ps}$. Jeśli dla pewnej wartości T_M na wyjściu przerzutnika n będzie ustalał się poziom H, a na wyjściu przerzutnika $n + 1$ poziom L, to przyrost opóźnienia komórki $n + 1$ jest ujemny, a sama linia będzie niemonotoniczna.



Rys. 4. Błąd nieliniowości różnicowej (a) oraz sumacyjnej (b) przed korekcją (okręgi) oraz po korekcji (trójkąty), symulacja MC

Fig. 4. Differential (a) and integral (b) nonlinearity error before (circles) and after correction (triangles), MC simulation

Taka sytuacja zaistniała dla badanej linii ($DNL_{11} = -10,5$ ps) i przykładowo dla pomiaru odcinka czasu $T_M = 106,5$ ps w przetwornikach zostałyby kolejno zapamiętane poziomy „LLLLLLLLLHLHHHHH”. W rzeczywistości dla takiej linii powinien zostać użyty dekoder priorytetowy [6], wskutek czego byłyby tolerowane stany typu „LHLH”. Prowadzi to do mniej efektywnego wykorzystania powierzchni krzemu także przez to, że przetwornik będzie miał mniej kodów niż komórek w linii. Z rysunku 4 wynika, że po korekcji linia stała się monotoniczna a błąd nieliniowości DNL znacznie zmalał.



Rys. 5. Błąd nieliniowości różnicowej (a) oraz sumacyjnej (b) po korekcji dla: $\bar{q} = 10$ ps (trójkąty), $\bar{q} = 50$ ps (okręgi), $\bar{q} = 100$ ps (krzyże), $\bar{q} = 150$ ps (kwadraty), symulacja MC

Fig. 5. Differential (a) and integral (b) nonlinearity error after correction for: $\bar{q} = 10$ ps (triangles), $\bar{q} = 50$ ps (circles), $\bar{q} = 100$ ps (crosses), $\bar{q} = 150$ ps (squares), MC simulation

Na rysunku 5 zostały przedstawione błędy nieliniowości po korekcji dla różnych wartości \bar{q} odpowiadających różnym napięciom sterującym V_{ster} . Możemy zaobserwować wzrastanie błędów nieliniowości wraz ze wzrostem opóźnienia komórki, dzieje się tak na skutek wpływu rozrzutu parametrów procesu na wartości $\Delta\tau_1$. Należy jednak zaznaczyć, że względne wartości błędów nieliniowości mogą być nadal na zadawalającym poziomie. Szczególnie duży wzrost błędu DNL jest obserwowany dla komórki 1 przy wartościach \bar{q} wynoszących 100 ps oraz 150 ps. Dodatkowy offset pojawia się, dlatego że opóźnienie komórki w torze *Start* zależy między innymi od nachylenia zbocza sygnału wejściowego, które dla komórki 1 pozostawało stałe, podczas gdy dla pozostałych komórek zmieniało się wraz z napięciem V_{ster} . W praktyce opóźnienie 150 ps można otrzymać stosując pojedynczy bufor i stosowanie linii noniuszowej traci zasadność.

Należy pamiętać o pewnych uproszczeniach poczynionych w badaniach symulacyjnych. Po pierwsze nie uwzględniono wpływu zakłóceń zewnętrznych i założono, że przez cały czas potrzebny dla wykonania korekcji warunki są stałe (temperatura i napięcie zasilania). Ponadto została przebadana linia noniuszowa o jedynie 16 komórkach. Dla dłuższych linii może dojść do znacznego wzrostu błędu INL_{max} na skutek wpływu rozrzutu technologicznego na zależność przyrostu opóźnienia komórki $\Delta\tau_1$ od napięcia sterującego V_{ster} i kumulowania się powstałego w ten

sposób błędu. Przyjmijmy, że $\Delta\tau_1$ jest zmienną losową o rozkładzie normalnym, wtedy, zaniedbując błędy ε , dla populacji N -komórkowych linii noniuszowych stabilizowanych w pętli DLL możemy zapisać wyrażenie przybliżające wariancję błędu INL_n [8]:

$$\sigma_{INL_n}^2 \approx \frac{(N-n)n}{N} \sigma_{\Delta\tau_1}^2, \quad (5)$$

gdzie: $\sigma_{\Delta\tau_1}^2$ to wariancja przyrostu opóźnienia komórki $\Delta\tau_1$ oraz $1 \leq n \leq N$.

Wzór analogiczny do 5 został wyprowadzony w [8] dla błędów nieliniowości określonych przy użyciu idealnej (założonej) wartości opóźnienia komórki, nie jak w tej pracy jego średniej wartości w danej linii. Oba podejścia stają się jednak równoważne jeśli zastosujemy pętlę DLL.

Odchylenie standardowe $\sigma_{\Delta\tau_1}$ dla danego przyrostu napięcia V_{ster} można oszacować na drodze symulacji MC. Dla komórki użytej w badaniach symulacyjnych (rys. 3a) wynosiło ono 0,1 ps przy $\bar{\Delta\tau_1} = 10$ ps, podczas gdy dla $\bar{\Delta\tau_1} = 150$ ps już 0,95 ps. Wyrażenie 5 osiąga wartość maksymalną dla $n = N/2$. Zatem w ogólności mniejsze wartości błędu INL (bezwzględnego) będą otrzymywane dla krótkich linii noniuszowych o wysokiej rozdzielczości.

6. Wnioski

W referacie przedstawiono metodę, która pozwala zmniejszyć błędy nieliniowości o rząd wielkości w przetworniku czas-cyfra opartym na noniuszowej linii opóźniającej. Prezentowana metoda pozwala na korekcję niemonotonicznych linii noniuszowych, nie wymaga generacji sygnałów o zadanych parametrach i może być łatwo zaimplementowana w strukturze scalonej. Dla prawidłowo zaprojektowanej linii, po zastosowaniu proponowanej metody korekcji, maksymalny błąd nieliniowości INL_{max} powinien być porównywalny z jednostkowym przyrostem opóźnienia bufora wyposażonego w dodatkową funkcjonalność regulacji umożliwiającą korekcję tego błędu. Najlepsze rezultaty zastosowania metody spodziewane są dla krótkich wysokorozdzielczych linii noniuszowych. W szczególności w technologii CMOS 0.35 μm dla szesnastokomórkowej linii noniuszowej otrzymano $INL_{max} < 1$ ps.

7. Literatura

- [1] Kalisz J.: Review of methods for time interval measurements with picosecond resolution, *Metrologia*, vol. 41, pp. 17-32, 2004.
- [2] Dudek P., Szczepański S., Hatfield J.V.: A High-Resolution CMOS Time-to-Digital Converter Utilizing a Vernier Delay Line, *IEEE Trans. Solid-State Circuits*, vol. 35, no. 2, pp. 240-247, Feb. 2000.
- [3] Rashidzadeh R., Ahmadi M., Miller W. C.: An All-Digital Self-Calibration Method for a Vernier-Based Time-to-Digital Converter, *IEEE Trans. Instr. Meas.*, vol. 59, no. 2, pp. 463-469, Feb. 2010.
- [4] Levine P.M., Roberts G.W.: A High-Resolution Flash Time-to-Digital Converter and Calibration Scheme, in *Proc. IEEE Int. Test Conf.*, pp. 1148-1157, 2004.
- [5] Gutnik V., Chandrakasan A.: On-chip picosecond time measurement, *IEEE VLSI Circuits Dig. of Tech. Papers*, pp. 52-53, 2000.
- [6] Rivoir J.: Fully-Digital Time-To-Digital Converter for ATE with Autonomous Calibration, *IEEE Int. Test Conf.*, pp. 1-10, 2006.
- [7] Andreani P., Bigongiari F., et al.: A Digitally Controlled Shunt Capacitor CMOS Delay Line, *Analog Integrated Circuits and Signal Process.*, vol. 18, no.1, pp. 89-96, 1999.
- [8] Li G., Tousei Y.M., Hassibi A., Afshari E.: Delay-Line-Based Analog-to-Digital Converters, *IEEE Trans. Circuits Syst. II, Express Briefs*, vol. 56, no. 6, pp. 464-468, Jun. 2009.