

Adam ZAZIĄBL

AKADEMIA GÓRNICZO-HUTNICZA, KATEDRA METROLOGII, Al. Mickiewicza 30, 30-059 Kraków

Niskomocowy generator przestrajany napięciem na częstotliwość 1 GHz jako kluczowa część systemu kontroli fazy w technologii 0,18 μm CMOS

Mgr inż. Adam ZAZIĄBL

Absolwent kierunku Elektronika i Telekomunikacja Wydziału Elektrotechniki, Automatyki, Informatyki i Elektroniki Akademii Górniczo-Hutniczej. Obecnie doktorant tego samego wydziału. W pracy badawczej zajmuje się projektowaniem specjalizowanych układów scalonych.



e-mail: zaziabl@agh.edu.pl

Streszczenie

Wymagania współczesnych systemów pomiarowych kierują nowe wyzwania w projektowaniu niskomocowych układów zegarowych wysokich częstotliwości. Możliwości techniczne wytworzenia sygnału przy użyciu klasycznego generatora opartego o filtr kwarcowy są ograniczone do kilkudziesięciu megaherców. Zatem taktowanie układów w zakresie gigahercowym nie jest możliwe bez systemu multiplikacji częstotliwości. Proponowanym rozwiązaniem jest pętla fazowa, której głównym blokiem jest niskoszumny generator przestrajany napięciem. Pobór mocy generatora jest poniżej 300 μW , przy zachowaniu dobrych właściwości szumowych, gdzie drżenie fazy jest na poziomie 1,25 ps. Proponowany generator został zaprojektowany w technologii 0,18 μm CMOS.

Słowa kluczowe: Generator przestrajany napięciem, Generator przestrajany prądem, Konwerter napięcie prąd, Pętla fazowa, Multiplikacja częstotliwości.

Low power 1 GHz voltage controlled oscillator as a key part of phase locked loop system in 0.18 μm CMOS process

Abstract

Demand of modern measurement systems in nuclear science is guided the new challenges in design of low power high frequency clock generation systems. A technical possibility for clock generation using the classical generator based on a quartz filter is limited to tens of megahertz. Thus, the 1 GHz clock generation is not possible without a frequency multiplier system. The task is so difficult to realise, because made in submicron process, where the integration of analog and digital blocks poses serious challenges. The proposed solution is a low power voltage controlled oscillator with the center frequency of 1 GHz and pseudo-differential architecture, resistant to process variations and cooperating with charge pump phase locked loop. Power consumption of VCO is below 300 μW , while maintaining good noise properties, where the jitter is 1.25 ps. The proposed generator is designed in 0.18 μm CMOS technology. In this paper the first section describes the architecture of the phase locked loop for which the presented VCO is suited. Then all the functional blocks of the generator are described in detail including a current controlled oscillator, V-I converter and differential to single ended converter. In the last section the simulation results and the method of process variation minimisation are given.

Keywords: Voltage controlled oscillator, VCO, Current controlled oscillator, CCO, V-I converter, Phase Locked Loop, PLL, Frequency multiplication.

1. Wprowadzenie

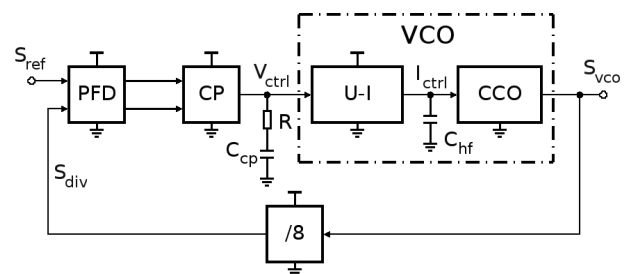
Pomysł śledzenia fazy sięga lat trzydziestych, kiedy zaproponowano sposób demodulacji amplitudy używając uproszczonej struktury odbiornika superheterodynowego i właśnie istoty pętli

fazowej, czyli śledzenia fazy. Pomimo że podstawy działania pętli fazowej pozostają praktycznie niezmiennie od początków jej powstania, to jej implementacja w różnorodnych technologiach i dla różnych celów nie przestaje stanowić wyzwania dla jej projektantów. Pętla fazowa jest systemem zamkniętej pętli ze sprzężeniem zwrotnym, która ma na celu ustalenie stałego stosunku pomiędzy fazą wyjściową, a fazą wejściową sygnału referencyjnego. W dzisiejszej elektronice obszar zastosowań pętli fazowych jest bardzo szeroki. Pracują one we wszystkich urządzeniach, w których niezbędny jest układ taktujący, jednakże cel pracy w takich urządzeniach zależy od jego przeznaczenia.

Dla niniejszej pracy najważniejszym punktem jest multiplikacja częstotliwości. W aplikacjach wymagających sygnału zegarowego o wysokiej częstotliwości, możliwości techniczne wytworzenia takiego sygnału przy użyciu klasycznego generatora opartego o filtr kwarcowy są ograniczone do kilkudziesięciu megaherców. Ograniczenia te zwiększa technologia produkcji układów drukowanych, której parametry są niewystarczające do wytworzenia i przeniesienia do wnętrza układu scalonego sygnału o większej częstotliwości. Problem ten może zostać w pełni rozwiązany przy pomocy pętli fazowej.

1.1. Architektura pętli fazowej

Wybrana architektura to pętla fazowa z pompą ładunkową CPPLL (Charge Pump Phase Locked Loop) używającą podzielnika częstotliwości o stałej, nieprogramowalnej wartości, przedstawiona w [1]. Charakteryzuje się ona dobrymi właściwościami szumowymi, zwłaszcza tłumiąc szum wysokoczęstotliwościowy, a szum niskoczęstotliwościowy zostanie zredukowany przy zastosowaniu źródła referencyjnego zbudowanego w oparciu o filtr kwarcowy na częstotliwość 125 MHz. Przeznaczeniem modułu jest sterowanie blokami cyfrowymi, wymagającymi dużej stabilności częstotliwości, pracującymi w mieszanych układach scalonych.



Rys. 1. Schemat blokowy pętli fazowej z pompą ładunkową
Fig. 1. Block diagram of charge pump phase locked loop

Schemat blokowy pętli fazowej został pokazany na rysunku 1. Składa się on z bloku detektora fazy i częstotliwości PFD (Phase Frequency Detector), pompy ładunkowej CP (Charge Pump), generatora przestrajanego napięciem VCO (Voltage Controlled Oscillator) oraz podzielnika częstotliwości przez 8. Schemat blokowy uzupełnia pasywny filtr drugiego rzędu z zerem złożony z kondensatorów C_{cp} , C_{hf} oraz rezystora R . Filtr ten ma za zadanie ustalenie odpowiedniej charakterystyki szumowej jak i zachowanie stabilności systemu.

1.2. Generator przestrajany napięciem

VCO jest głównym i najważniejszym blokiem całej pętli. To od niego będzie zależało w dużej mierze, jakiej jakości będzie uzyskany sygnał wyjściowy i czy sprosta on wymaganiom stawianym w docelowym systemie. Optymalizacja jego właściwości jest narzucona, przez wymagania dotyczące całej pętli, w której główny nacisk kładziony jest na minimalizację poboru mocy.

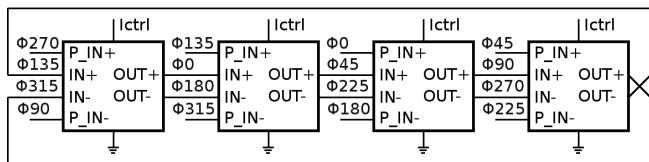
Celem pracy było zaprojektowanie generatora przestrajanego napięciem na częstotliwość 1 GHz o możliwie najmniejszym poborze mocy, niewielkich rozmiarach oraz małych szumach wykorzystując do tego technologie UMC 0,18 μm CMOS.

2. Projekt generatora przestrajanego napięciem

Na schemacie blokowym (rys. 1) pokazano, że VCO składa się z dwóch członów. Z konwertera napięcie prąd oraz generatora przestrajanego prądem CCO (Current Controlled Oscillator), rozdzielonych drugim biegunem filtru w postaci kondensatora C_{hf}.

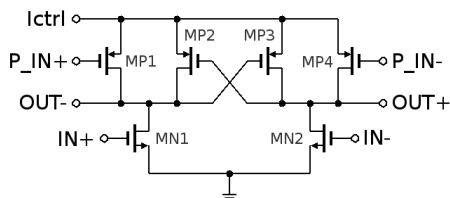
2.1. Pseudo-różnicowy generator przestrajany prądem

Zastosowano kwadraturowy pseudo-różnicowy generator [2], którego schemat pokazany jest na rysunku 2. Jego różnicowa konstrukcja oraz prądowe sterowanie sprawia, że jest on mniej podatny na szумы pochodzące z napięć zasilania, co jest kluczowe przy zastosowaniu go w mieszanych układach scalonych.



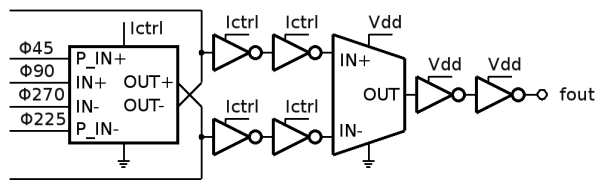
Rys. 2. Pseudo-różnicowy generator przestrajany prądem
Fig. 2. Pseudo-differential current controlled oscillator

Elementem opóźniającym pokazanym na rysunku 3 jest różnicowy inwerter w logice CVSL (Cascode Voltage Switch Logic) wzbogacony parą tranzystorów podciągających (MP1, MP4), które mają na celu skrócenie czasów opadania i narastania. Opóźnienie stopnia jest odwrotnie proporcjonalne do napięcia powstałego na skutek prądu sterowania I_{ctrl}, a że generowana częstotliwość jest proporcjonalna do odwrotności opóźnienia, to wzmacnienie K_{vco} powinno być stałe w szerokim zakresie przestrajania częstotliwości. Rozmiary użytych tranzystorów dopasowane zostały do ustalenia częstotliwości środkowej VCO na 1 GHz.



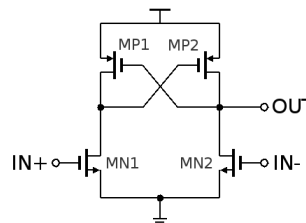
Rys. 3. Inwerter w logice CVSL, stopień opóźniający CCO
Fig. 3. CVSL inverter as a CCO delay stage

Konwersja z sygnału różnicowego pokazana na rysunku 4 opiera się o prosty konwerter różnicowy (rys. 5) zbudowany z pary różnicowej (tranzystory MN1 i MN2) obciążonej naprzemiennie sprzężonymi tranzystorami MP1 i MP2. Zabieg ten wprowadza dodatnie sprzężenie zwrotne, co zwiększa wzmacnienie stopnia.



Rys. 4. Konwersja sygnału różnicowego CCO
Fig. 4. CCO differential to single ended conversion

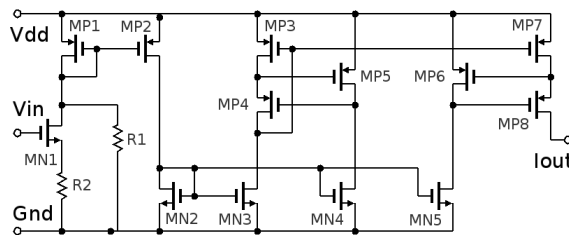
Dodatkowo zostały wprowadzone bufony przed konwerter, które mają na celu poprawienie szybkości narastania i opadania sygnałów z CCO przy jednoczesnym nie pogorszeniu współczynnika wypełnienia. Cel uzyskany jest dzięki zasilaniu buforów prądem sterującym I_{ctrl}, zamiast napięciem zasilania.



Rys. 5. Konwerter różnicowy
Fig. 5. Differential to single ended converter

2.2. Konwerter napięcie prąd

Koniecznym blokiem zapewniającym dostarczenie prądu sterującego dla prezentowanego CCO jest konwerter U-I pokazany na rysunku 6. Jego zadaniem jest buforowanie pojemności filtru przed jej rozładowywaniem, poprawienie liniowości charakterystyki przestrajania CCO i uniezależnienie wzmacnienia od generowanej częstotliwości. Zmniejsza także wpływ napięcia zasilania na zmiany napięcia sterującego V_{ctrl} odkładającego się na filtrze pętli.



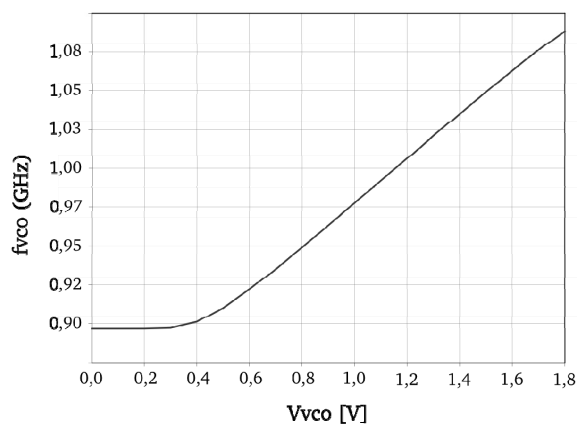
Rys. 6. Konwerter napięcie prąd
Fig. 6. Voltage to current converter

Konwersja napięcia na prąd zachodzi w tranzystorze MN1. Ze względu na kwadratową zależność prądu drenu I_D od napięcia na bramce V_{GS}, uzyskanie pożądanej liniowości przestrajania jest niemożliwe w klasycznej konfiguracji CS (Common Source). Dlatego tranzystor MN1 pracuje w konfiguracji CS z degeneracją źródła, którą zapewnia rezystor R2. Sprawia on, że część zmian napięcia wejściowego odkłada się raczej na nim niż w postaci napięcia przesterowania tranzystora MN1 [3]. Następnie prąd poprzez lustra prądowe na tranzystorach PMOS (MP1, MP2) oraz NMOS (MN2, MN3) wpływa do lustra kaskody o regulowanym potencjale drenu [4]. Rzeczywiste lustro prądowe posiada skończoną rezystancję wyjściową, którą można znacząco zwiększyć stosując właśnie układ kaskody ze wzmacniaczem regulującym, który utrzymuje dren tranzystora MP8 na ustalonym potencjale.

Kaskodę tworzą tranzystory *MP3*, *MP4*, *MP7* i *MP8*, natomiast wzmacniacz regulujący potencjał drenu tranzystora *MP7* składa się z pary różnicowej *MP5*, *MP6* oraz obciążenia w postaci tranzystorów *MN4* i *MN5* spolaryzowanych z lustra *MN2*, *MN3*.

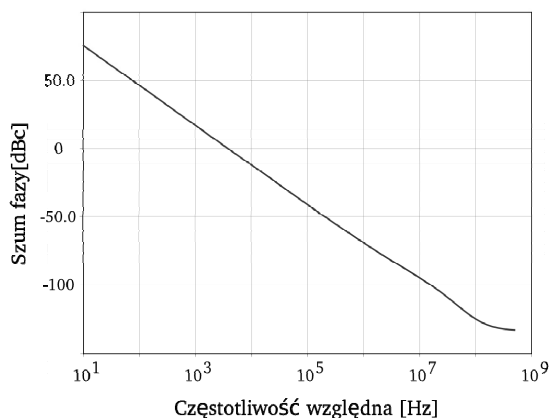
3. Uzyskane wyniki

Charakterystyka przestrajania *VCO* została pokazana na rysunku 7. Oprócz uzyskanej liniowości zaobserwować można również ograniczenie wzmocnienia K_{vco} , dzięki rezystorowi *R1* (rys. 6), co znacząco zmniejsza szumy, ponieważ generowanie częstotliwości wyjściowej nie jest już tak wrażliwe na niewielkie wahania napięcia na filtrze V_{ctrl} .



Rys. 7. Charakterystyka przestrajania VCO
Fig. 7. VCO tuning curve

Przeprowadzono symulację szumową *VCO*, szum fazy pokazany jest na rysunku 8, natomiast drżenie fazy – okres J_c oraz drżenie fazy – okres do okresu J_{cc} znajdują się w tabeli 1 zarówno dla wartości rms, jak i wartości międzyszczytowej (p-p).



Rys. 8. Szum fazy VCO
Fig. 8. VCO phase noise

Charakterystyka szumu fazy została przeprowadzona od 10 Hz do 500 MHz względem częstotliwości nośnej, czyli 1 GHz. Szum oscylatorów pierścieniowych zdominowany jest przez szum wolnozmienny $1/f$, co można zaobserwować na charakterystyce jako obszar opadania 30dB/dekadę, który dopiero w końcowej części wykresu przestaje być dominujący na rzecz szumu białego, obszar 20dB/dekadę. Drżenie fazy zostało obliczone z szumu fazy na podstawie zależności podanych w publikacji [5] w przedziale częstotliwości od 10 Hz do 500 MHz względem częstotliwości wyjściowej *VCO* – 1 GHz.

Tab. 1. Drżenie fazy VCO
Tab. 1. VCO jitter

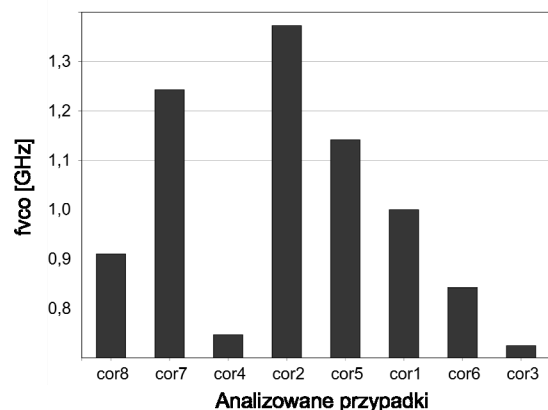
Rodzaj	rms [ps]	p-p [ps]
J_c	1.254	7.749
J_{cc}	1.509	9.327

Tabela 2 przedstawia pobór mocy *VCO* z podziałem na bloki funkcjonalne, uwzględni ona zarówno rozpraszaną moc statyczną jak i dynamiczną. Moc statyczna spowodowana jest prądami podprogowymi i prądami upływu, natomiast dynamiczna prądami zwarciovymi, przy jednoczesnym włączeniu kluczy *PMOS* i *NMOS*, oraz prądami wynikającymi z przeładowywania pojemności istniejących w układzie.

Tab. 2. Pobór mocy VCO
Tab. 2. VCO power consumption

U-I [μ W]	CCO [μ W]	Razem [μ W]
235	62	297

Na rysunku 9 pokazano wynik analizy najgorszych przypadków (symulacja parametrów brzegowych), gdzie sposób konfiguracji parametrów brzegowych (*cor1-cor8*) został ustawiony według zaleceń technologii tak, aby uwzględnić rozrzut wszystkich parametrów procesu, temperatury oraz napięć zasilania. Pokazany został rozrzut częstotliwości środkowej przy ustalonym napięciu sterującym *VCO* V_{ctrl} , równym napięciu ustawionym na częstotliwość środkową przypadku typowego *cor1*. Na rysunku widać znaczny rozrzut generowanej częstotliwości od 650 MHz do 1.5 GHz, jednakże nie powinno to być zaskoczeniem. Generowana częstotliwość zależy od opóźnienia pojedynczego stopnia, a skoro jego opóźnienie ulega zmianie za sprawą szybciej, bądź wolniej działających tranzystorów, to także musi ulec zmianie generowana częstotliwość.

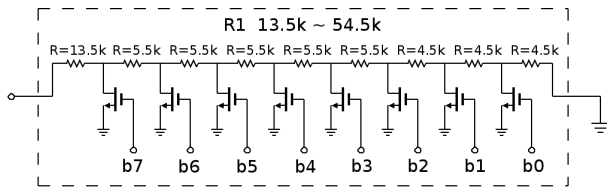


Rys. 9. Analiza najgorszych przypadków VCO
Fig. 9. VCO corner analysis

3.1. Korekcja rozrzutów częstotliwości środkowej VCO przy parametrach brzegowych

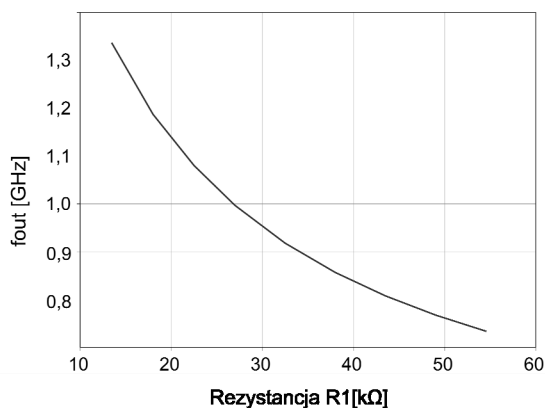
Wiele rozwiązań stosujących oscylatory pierścieniowe boryka się z podobnym problemem przy analizie najgorszych przypadków, często stosowanym rozwiązaniem jest użycie szerokiego

zakresu przestrajania częstotliwości, czyli zwiększa się wzmocnienie K_{vco} . Jednak jego wzrost powoduje mocne uwrażliwienie częstotliwości wyjściowej od napięcia sterującego, co przy szerokopasmowych pętach fazowych zwiększa znacząco szumy.



Rys. 10. Układ korekcji rozrzutów częstotliwości środkowej VCO
Fig. 10. VCO center frequency variations correction circuit

Proponowane rozwiązanie w niniejszej pracy polega na kluczowaniu rezystora $R1$ w konwerterze $U-I$ (rys. 6). Rezystor ten odpowiedzialny jest za ograniczenie wzmocnienia i poprzez jego zmianę w łatwy sposób możliwe jest dobranie odpowiedniego zakresu zmian częstotliwości. Schemat i dobór rezystancji poszczególnych stopni pokazany jest na rysunku 10. Zastosowano szeregowe kluczowanie rezystorów, w znacznym stopniu zmniejszające rozmiar powierzchni w stosunku do kluczowania równoległego. Rezystancje poszczególnych stopni dopasowane zostały do najgorszych przypadków w analizie z rysunku 9.



Rys. 11. Korekcja rozrzutów częstotliwości środkowej VCO
Fig. 11. Correction of VCO frequency variations

Charakterystyka przestrajania częstotliwości poprzez zmiany rezystancji od 13.5 kΩ, do 54.5 kΩ dla przypadku typowego $cor1$ pokazano na rysunku 11. Krzywa ta gwarantuje dostrojenie częstotliwości środkowej generatora VCO do wymaganej częstotliwości, czyli 1 GHz.

3.2. Podsumowanie wyników

W tabeli 3 przedstawiono porównanie parametrów uzyskanych w niniejszej pracy z innymi publikacjami. Przy czym niniejsze VCO projektowane było jako integralna część pętli fazowej, więc porównanie parametrów samego generatora nie byłoby w pełni miarodajne. Porównanie dotyczy całej pętli fazowej przedstawionej w [1]. Ponieważ prezentowane prace różnią się między sobą użytą technologią, zasilaniem i częstotliwością wyjściową, które docelowo wpływają na drżenie fazy oraz pobór mocy, w celach porównawczych parametry zostały unormowane według równań skalujących między technologiami [1] do parametrów tej pracy, czyli technologia 0,18 μm , zasilanie 1,8 V oraz częstotliwość wyjściowa 1 GHz. Wartości unormowane oznaczone są w tabeli 3 jako „(n)”. Prezentowane rozwiązanie prezentuje najniższy pobór mocy, co było założeniem niniejszej pracy. Odbywa się to kosz-

tem zakresu częstotliwości oraz drżenia fazy, które i tak są na zadowalającym poziomie.

Tab. 3. Porównanie z istniejącymi rozwiązaniami
Tab. 3. Comparison with existing solutions

Publikacja	[6]	[7]	[8]	[9]	[10]	[2]	[*]
Tech. [nm]	90	180	130	180	350	250	180
Vdd [V]	1,0	1,8	1,2	1,8	3,3	2,5	1,8
Od [GHz]	0,5	0,8	1,0	0,5	0,0	0,1	0,9
Do [GHz]	2,0	3,0	3,0	2,5	1,9	1,6	1,1
J_c [ps]	5,8	3,7	0,4	2,4	5,7	3,3	8,9
$J_c(n)$ [ps]	5,8	5,6	1,0	5,7	4,6	3,3	8,9
Moc [mW]	0,7	3,3	23	25	20	10	0,8
Moc(n) [mW]	4,5	2,2	29	10	3,8	3,7	0,8

4. Wnioski końcowe

W artykule zaprezentowano zagadnienie multiplikacji częstotliwości i opisano sposób wykonania niskomocowego generatora przestrajanego napięciem na częstotliwość 1 GHz dedykowanego do współdziałania w układzie pętli fazowej. Przedstawiono układowe rozwiązania wraz symulacjami parametrów niezbędnych do prawidłowego działania systemu. Osiągnięto przy tym pobór mocy poniżej 300 μW , przy zachowaniu dobrych właściwości szumowych, gdzie drżenie fazy jest na poziomie 1,25 ps.

5. Literatura

- [1] Zaziąbł A.: Projekt scalonego modułu pętli fazowej w technologii submikronowej, Praca magisterska, Akademia Górniczo-Hutnicza, Kraków 2009.
- [2] Mansuri M., Yang C.: A low-power adaptive bandwidth PLL and clock buffer with supply-noise compensation, IEEE Journal of Solid-State Circuits, 2003, vol. 38, s. 1804 – 1812.
- [3] Baker J.: CMOS circuit design, layout and simulation, IEEE Press, New Jersey 2005.
- [4] Cadence, Jitter measurements using SpecreRF, Cadence, nota aplikacyjna.
- [5] Jung W. et al: A 1.2mW 0.02mm² 2GHz current-controlled PLL based on a self-biased voltage-to-current converter, IEEE International Solid-State Circuits Conference ISSCC, 2007, s. 310 – 605.
- [6] Arakali A. et al: Supply-noise mitigation techniques in phase-locked loops, 34th European Solid-State Circuits Conference ESSCIRC, 2008, s. 374 – 377.
- [7] Cao Z. et al: A 0.4 ps-rms-jitter 1–3 GHz ring-oscillator PLL using phase-noise preamplification, IEEE Journal of Solid-State Circuits, 2008, vol. 43, s. 2079 – 2089.
- [8] Brownlee M. et al: A 0.5-GHz to 2.5-GHz PLL with fully differential supply regulated tuning, IEEE Journal of Solid-State Circuits, 2006, vol. 41, s. 2720 – 2728.
- [9] Yan G. et al: A self-biased PLL with current-mode filter for clock generation, IEEE International Solid-State Circuits Conference ISSCC, 2005, s. 420 – 421.