

Piotr ZAGNIŃSKI<sup>1</sup>, Paweł KERNTOPF<sup>1,2</sup><sup>1</sup>POLITECHNIKA WARSZAWSKA, WYDZIAŁ ELEKTRONIKI, INSTYTUT INFORMATYKI, ul. Nowowiejska 15/19, 00-665 Warszawa<sup>2</sup>UNIwersytet Łódzki, Wydział Fizyki i Informatyki Stosowanej, ul. Pomorska 149/153, 90-236 Łódź

## Sekwencyjne odwracalne układy logiczne

Mgr inż. Piotr ZAGNIŃSKI

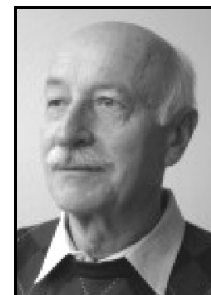
Ukończył studia na Wydziale Elektroniki i Techniki Informatycznych na Warszawskiej Politechnice. Obecnie jest doktorantem w Instytucie Informatyki na tym Wydziale. Jego zainteresowania naukowe oscylują wokół zagadnień teorii programowania, zarówno od strony programowej jak i sprzętowej, obejmując takie zagadnienia jak modele obliczeń, teorię złożoności, teorię kompilacji oraz budowę systemów operacyjnych.



e-mail: P.Zagninski@elka.pw.edu.pl

Dr hab. inż. Paweł KERNTOPF

Ukończył studia na Wydziale Elektroniki i Techniki Informatycznych Politechniki Warszawskiej. Obecnie pracuje na stanowisku profesora nadzwyczajnego w Instytucie Informatyki na tym Wydziale oraz w Katedrze Fizyki Teoretycznej II na Wydziale Fizyki i Informatyki Teoretycznej Uniwersytetu Łódzkiego. Zainteresowania naukowe: synteza układów logicznych, układy odwracalne, układy kwantowe, binarne i wielowartościowe diagramy decyzyjne.



e-mail: P.Kerntopf@ii.pw.edu.pl

### Streszczenie

Układy odwracalne realizują wzajemnie jednoznaczne odwzorowania sygnałów wejściowych na sygnały wyjściowe, tj. nie prowadzące do straty informacji. Badania nad tymi układami prowadzone są bardzo intensywnie. Początkowo zajmowano się głównie syntezą kombinacyjnych układów, dopiero w ostatnich latach liczba publikacji na temat sekwencyjnych układów wzrosła. W pracy przedstawiono układy odwracalnych zatrzaśków, które zaproponowano w literaturze, i sformułowano otwarte problemy w tej dziedzinie.

**Słowa kluczowe:** sekwencyjne układy odwracalne, zatrzaśki odwracalne.

### Sequential reversible logic circuits

#### Abstract

Reversible computations stretch the limits of the classical computations, bounded otherwise by energy loss. They are also the basis for the emerging quantum technologies. Though such designs have succeeded since they are logically equivalent with classical designs, there is still much room for improvement. Reversible logic circuit synthesis received much attention in the past decade from the computer science community due to its, as yet unrivaled, potential to satisfy the requirements for power efficient computations. The initial focus has been given to the combinational logic circuits, as the foundation of a general theory for the reversible circuit synthesis. Recently, more attention is given to sequential circuits as they form the basis of the well known state-based processing of the traditional computers. The research in this field started in 1980 with the pioneering work of Toffoli [3], followed only in 1996 by Picton [7]. Next publications by Chuang and Wang [8], and Rice [9] appeared in the last decade, followed by some very recent publications, e.g. Banerjee and Pathak [10]. This paper gives an overview of the current advances in the field of the sequential reversible logic presenting latches, the most common sequential circuits, and open problems.

**Keywords:** sequential reversible circuits, reversible latches.

### 1. Wstęp

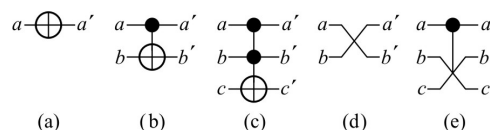
Początek badaniom nad układami odwracalnymi dała w 1961 r. praca Rolf Landauera [1]. Jego głównym osiągnięciem było wykrycie zależności pomiędzy informacją a równowagą termodynamiczną zamkniętego układu. Mianowicie, trwałe wykasowanie bitu informacji z zamkniętego systemu w wyniku nieodwracalnej operacji wiąże się z rozproszeniem energii (termodynamicznej) do otoczenia. W 1973 r. Charles Bennett [2] pokazał, że każdy układ cyfrowy może być zbudowany wyłącznie z bramek odwracalnych, co daje potencjalne możliwości zmniejszania energii wydzielanej w układach do zera. Duże znaczenie dla rozwoju tej dziedziny miały kolejne pionierskie prace Edwarda Fredkina i Tomasso Toffoli [3, 4] opublikowane w latach 1980-1982.

Znaczenie zmniejszania strat energii ma dwojaki charakter. Z jednej strony, pozwala na bardziej oszczędne wykorzystanie źródeł zasilania, z drugiej, zmniejsza ilość generowanego w układzie ciepła. Obecnie, biorąc pod uwagę stopień rozwoju technologii,

straty związane z rozproszeniem energii spowodowane traceniem informacji w tradycyjnych komputerach są znikome, jednak ich wpływ nieustannie rośnie. Prace prowadzone w tym kierunku mają duże znaczenie przy opracowywaniu przyszłych technologii, w tym technologii kwantowych, gdyż układy kwantowe mają z natury własność odwracalności. Jest to bardzo atrakcyjna perspektywa, bowiem komputery kwantowe stanowią obietnicę przełomu nie tylko pod względem zmniejszenia poboru energii i dalszej miniaturyzacji, ale także pozwoliłyby na znaczne przyspieszenie rozwiązywania przynajmniej niektórych problemów NP-trudnych, którym dziś komputery nie są w stanie podołać [5, 6].

Artykuł stanowi przegląd najważniejszych propozycji konstruowania binarnych sekwencyjnych układów odwracalnych. Pierwsze konkretne rozwiązania zamieszczone były w pracy [4], która ukazała się w 1982 r. Po długiej przerwie problemem tym zajął się Picton [7] dopiero w 1996 r., a następne publikacje, na które trzeba było czekać około 10 lat, napisali Chuang i Wang [8] oraz Rice [9]. Ostatnich kilka lat przyniosło kolejne prace, w których znalazły się nowe koncepcje (np. w [10]). W artykule przedstawiamy wybrane propozycje układów, a na końcu zamieszczamy ocenę stanu rozwoju tej dziedziny i formułujemy otwarte problemy.

W niniejszej pracy, wykorzystywane są stosowane szeroko odwracalne bramki, w tym uniwersalne (zupelne) bramki Toffoli i Fredkina, a więc spełniające podobną rolę, jak bramki NAND i NOR w tradycyjnych układach logicznych. Z braku miejsca podajemy tylko ich krótkie definicje i symbole graficzne (rys. 1). Niech  $\oplus$  oznacza operację XOR, zaś  $n*n$  oznacza, że liczba wejść i wyjść jest równa  $n$ . Definicje bramek odwracalnych: 1\*1 **bramka NOT** wykonuje operację  $(a) \rightarrow (a \oplus 1)$ , 2\*2 **bramka Feynmana** wykonuje operację  $(a, b) \rightarrow (a, a \oplus b)$ , 3\*3 **bramka Toffoli** wykonuje operację  $(a, b, c) \rightarrow (a, b, c \oplus ab)$ , 2\*2 **bramka SWAP** wykonuje operację  $(a, b) \rightarrow (b, a)$ , 3\*3 **bramka Fredkina** wykonuje operację  $(a, b, c) \rightarrow (a, b \oplus ab \oplus ac, c \oplus ab \oplus ac)$ . Bramki Feynmana, Toffoli i Fredkina nazywane są bramkami sterowanymi (pierwsza i trzecia przez wejście  $a$ , druga przez  $a$  i  $b$ ).



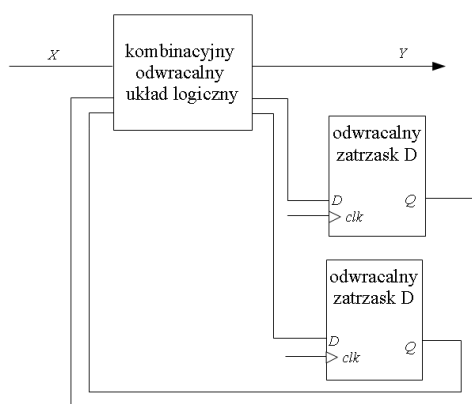
Rys. 1. Graficzne oznaczenia: (a) bramka NOT, (b) bramka Feynmana, (c) bramka Toffoli, (d) bramka SWAP, (e) bramka Fredkina  
Fig. 1. Pictorial representations: (a) NOT gate, (b) Feynman gate, (c) Toffoli gate, (d) SWAP gate, (e) Fredkin gate

Bramka NOT jest inwerterem. Bramki Feynmana i Toffoli zmieniają wartość tylko jednego wejścia wtedy i tylko wtedy, gdy wartości na wszystkich wejściach sterujących są równe 1. Bramka SWAP zamienia sygnały na wejściach, zaś bramka Fredkina jest

bramką SWAP sterowaną wejściem  $a$ . Wprowadzono także uogólnioną  $n*n$  bramkę Toffoliego, w której jest  $n-1$  wejść sterujących. Więcej na temat właściwości bramek i podstawowe pojęcia z dziedziny syntezy odwracalnych układów logicznych czytelnik znajdzie w publikacjach [11, 12].

## 2. Sekwencyjne układy odwracalne

Podstawa działania układów sekwencyjnych opiera się na wykorzystaniu elementów pamięci, dzięki którym możliwe jest przetwarzanie informacji wykorzystując zmiany stanu. W teorii układów cyfrowych rozróżnia się dwa podstawowe typy układów sekwencyjnych: synchroniczne i asynchroniczne. Istnieją przy tym różnice w rozumieniu pojęć: zatrask i przerzutnik. W niniejszym artykule przyjmuje się następujące rozróżnienie: pojęcie *zatrasku* zostanie zarezerwowane dla określenia bistabilnego układu sekwencyjnego asynchronicznego (tj. bez sygnału zegarowego) lub synchronicznego, ale sterowanego *poziomem* sygnału zegarowego, natomiast termin *przerzutnik* będzie określał układ synchroniczny wyzwalany *zbczem* sygnału zegarowego.



Rys. 2. Schemat odwracalnego układu sekwencyjnego  
Fig. 2. The structure of a sequential reversible circuit

Na rys. 2 przedstawiony jest ogólny schemat odwracalnego układu sekwencyjnego. Toffoli [3] sformułował warunek konieczny, aby taki układ mógł być zrealizowany w postaci układu odwracalnego: funkcja przejścia części kombinacyjnej musi być wzajemnie jednoznaczna (na rys. 2 podany jest zatrask D, ale analogicznie wyglądałyby układy z innymi zatraskami).

W dalszej części artykułu przedstawione zostaną odwracalne zatraski SR, D, T oraz JK. Podczas projektowania odwracalne układy optymalizuje się ze względu na miary jakości sformułowane w pracy [4], a mianowicie, należy minimalizować: 1) liczbę dodatkowych wejść i wyjść, 2) koszt układu. Zatraski są małymi układami, więc pierwsze z tych kryteriów jest mniej ważne. Natomiast wiele uwagi poświęca się spełnieniu drugiego kryterium. W pracach, które opublikowano do tej pory, rozpatrywane są dwa rodzaje kosztu układu (w obydwu przypadkach koszt całego układu jest równy sumie kosztów wszystkich bramek, z których zbudowany jest układ):

- liczba bramek (ang. *gate count*), zakładając, że koszty wszystkich bramek są równe 1;
- koszt kwantowy (ang. *quantum cost*), który jest minimalną liczbą elementarnych operacji kwantowych potrzebnych do zbudowania danej bramki.

Omawiając poszczególne rozwiązania zatrasków podajemy dla nich obydwa te koszty. Koszt kwantowy zdefiniowanych wyżej bramek przyjmuje się jako 1 dla bramek NOT i Feynmana, 3 dla bramki SWAP, 5 dla bramki Toffoliego i 7 dla bramki Fredkina [13]. Ostatnio przyjmuje się (np. w [14]), że koszt uogólnionej bramki Toffoliego o 4 wejściach/wyjściach wynosi 13.

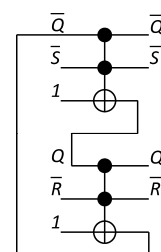
### 2.1. Zatrask SR

Pierwszym układem sekwencyjnym, którego odwracalna realizacja pojawiła się w literaturze (w pracy [7]), był zatrask SR. Jest on prostym asynchronicznym układem sekwencyjnym o dwóch wejściach i dwóch wyjściach. Układ w sposób stabilny podtrzymuje wymuszony stan na wyjściu. W klasycznym podejściu powszechne są dwie realizacje zatrasku – z wykorzystaniem bramek NOR (z wejściami niezanegowanymi), oraz z wykorzystaniem bramek NAND (wejścia zanegowane).

Odwracalną realizację układu można otrzymać poprzez bezpośrednią transformację postaci klasycznej, uwzględniając dodatkowo ograniczenia związane z powielaniem sygnałów, które musi zostać zrealizowane poprzez odpowiednią bramkę odwracalną. Obszerną i interesującą analizę układu z rys. 3 można znaleźć w pracy [9], w której przedstawiona jest również realizacja oparta na bramkach Fredkina.

S	R	$Q_n$	$S'$	$R'$	$Q_{n+1}$
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	1	0	1
1	1	0	1	1	1
1	1	1	1	1	1

(a)



(b)

Rys. 3. Zatrask SR: (a) tablica prawdy, (b) realizacja odwracalna zaproponowana w pracy Rice [9] (koszt bramkowy 2, koszt kwantowy 10)

Fig. 3. SR latch: (a) truth table, (b) reversible implementation proposed by Rice [9] (gate count 2, quantum cost 10)

W pracy [3] zaproponowano alternatywną realizację układu z wykorzystaniem jednej linii sprzężenia zwrotnego.

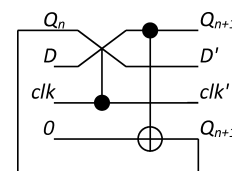
### 2.2. Zatrask D

Zatrask D jest układem sekwencyjnym, który przy aktywnym wejściu zegarowym powiela na wyjściu sygnał wejściowy  $D$ , lub, w przypadku przeciwnym, utrzymuje ostatnio zatrzaśniętą wartość. W klasycznej teorii układów cyfrowych jego zastosowanie jest dość powszechne, typowo wykorzystywany jako komórka pamięci, może jednak służyć również jako element opóźniający.

W pracy [8] zaproponowano układ składający się z dwóch bramek odwracalnych – Fredkina i Toffoliego – o koszcie kwantowym 8 (rys. 4,  $clk$  oznacza sygnał zegarowy).

$clk$	$D$	$Q_n$	$clk'$	$D'$	$Q_{n+1}$
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	0	0
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	1	1

(a)



(b)

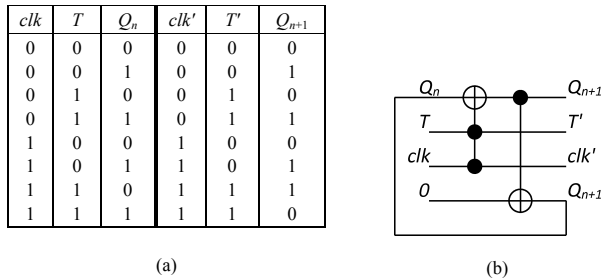
Rys. 4. Zatrask D: (a) tablica prawdy, (b) realizacja odwracalna zaproponowana w pracy Chuanga i Wang [8] (koszt bramkowy 2, koszt kwantowy 8)

Fig. 4. D latch: (a) truth table, (b) reversible implementation proposed by Chuang and Wang [8] (gate count 2, quantum cost 8)

W pracy [5] przedstawiono implementację, w której bramkę Fredkina zastąpiono bramkami Feynmana i Toffoliego, zmniejszając koszt kwantowy za cenę dodatkowej bramki.

### 2.3. Zatrask T

Zatrask T jest układem bistabilnym, który zmienia stan sygnału wyjściowego na przeciwny dla wartości sygnału wejściowego  $T=1$ . Odwracalną implementację układu, złożoną z bramki Toffoliego i bramki Feynmana (rys. 5), zaproponowano w [8].



(a)

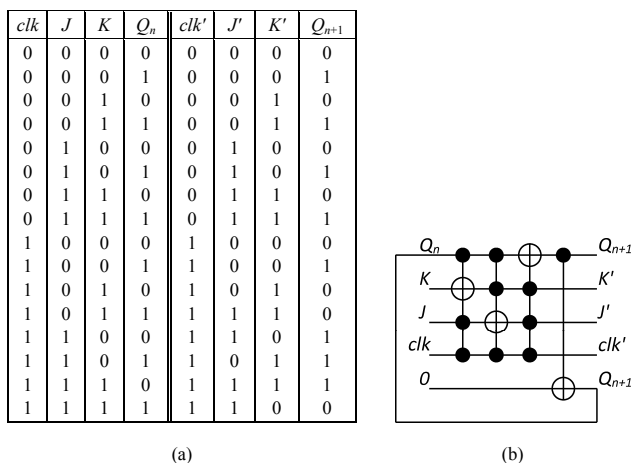
(b)

Rys. 5. Zatrask T: (a) tablica prawdy, (b) realizacja odwracalna zaproponowana w pracy Chuanga i Wang [8] (koszt bramkowy 2, koszt kwantowy 6)

Fig. 5. T latch: (a) truth table, (b) reversible implementation proposed by Chuang and Wang [8] (gate count 2, quantum cost 6)

### 2.4. Zatrask JK

Zatrask JK posiada najbardziej złożoną strukturę. Jego konstrukcja wewnętrzna ma wyeliminować problemy związane z niejednoznacznością odpowiedzi układu dla kombinacji zabronionych w przypadku pozostałych zatrasków, jak również zwiększyć jego uniwersalność. Zoptymalizowana postać układu, którą zaproponowali Chuang i Wang [8] podana jest na rys. 6. W pracy [10] zaproponowano zmodyfikowaną wersję zatrasku JK, w której usunięto zależność sygnałów wejściowych J i K od sygnału zegarowego, co pozwoliło zmniejszyć koszt kwantowy.



(a)

(b)

Rys. 6. Zatrask JK: (a) tablica prawdy, (b) realizacja odwracalna (koszt bramkowy 4, koszt kwantowy 40)

Fig. 6. JK latch: (a) truth table, (b) reversible implementation (gate count 4, quantum cost 40)

### 2.5. Konstrukcje przerzutników

Implementacje odwracalnych przerzutników pomijamy, gdyż ich rozwiązania otrzymuje się podobnie jak w przypadku syntezy tradycyjnych przerzutników w układzie MS (*ang. Master-Slave*).

### 3. Wnioski

Porównywanie odwracalnych układów nie jest prostym zadaniem. Otrzymywane wyniki zależą od wyboru biblioteki podstawowych bramek i kryteriów jakości. Jedno i drugie zmienia się wraz z upływem czasu. Nie powstały jeszcze technologie kwantowe o praktycznym znaczeniu, dlatego stosowaną obecnie szero-

ko miarę kosztu kwantowego oparto na najbardziej obiecujących z opracowywanych ostatnio technologii, ale już powstała nowa koncepcja miary kosztu dla układów kwantowych, tzw. *Nearest Neighbor Cost* [15]. Z kolei w pracy [5] wprowadzono sumaryczną miarę nazwaną *kosztem całkowitym*. Sytuacja może się jednak zmienić radykalnie, jeśli powstaną zupełnie nowe technologie. Trzeba brać pod uwagę, że prowadzi się prace nad implementacjami układów odwracalnych realizowanych na innych zasadach niż układy kwantowe (np. [16, 17]), w tym w technologii CMOS (niedawno wprowadzono *koszt tranzystorowy* [15] stanowiący sumę wejść sterujących do wszystkich bramek układu). W ostatnich miesiącach opublikowano informacje o projekcie opracowania do roku 2012 odwracalnego mikroprocesora w technologii CMOS z pełnym oprogramowaniem w ramach współpracy uniwersytetów w Kopenhadze i Gandawie [18].

Jednym z wielu problemów, którymi warto zajmować się, jest pytanie, czy warto projektować zatraski z wyjściami zanegowanymi. Poza tym, układy zatrasków mają inne działanie, jeśli zamienić miejscami wejścia i wyjścia. Daje to możliwość projektowania układów, które miałyby dwa zastosowania. Ważnym problemem, którym należy się zająć, gdyż prawie nie ma prac na ten temat, jest testowanie sekwencyjnych układów odwracalnych.

Praca była wykonana w ramach realizacji grantu MNiSzW nr 4180/B/T02/2010/38.

### 4. Literatura

- [1] Landauer R.: Irreversibility and heat generation in the computing process, IBM J. Res. & Dev., vol. 5, 1961, pp. 183-191.
- [2] Bennett C. H.: Logical reversibility of computation, IBM J. Res. & Dev., vol. 17, 1973, pp. 525-532.
- [3] Toffoli T.: Reversible computing, Tech. Memo MIT/LCS/TM-151, MIT Laboratory for Computer Science, 1980.
- [4] Fredkin E. F., Toffoli T.: Conservative logic. International Journal of Theoretical Physics, vol. 21, 1982, pp. 219-253.
- [5] Grover L. K.: A fast quantum mechanical algorithm for database search, Proc. of the 28th Annual ACM Symposium on the Theory of Computing, May 1996, pp. 212-219.
- [6] Shor P.: Polynomial-time algorithms for prime factorization and discrete logarithms on a quantum computer, SIAM J. on Computing, vol. 26, 1997, pp. 1484-1509.
- [7] Picton P.: Multi-valued sequential logic design using Fredkin gates, Multiple-Valued Logic J., vol. 1, 1996, pp. 241-251.
- [8] Chuang M., Wang C.: Synthesis of Reversible Sequential Elements, Proc. of the ASPDAC, Yokohama, Japan, January 2007, pp. 420-425.
- [9] Rice J. E.: An introduction to reversible latches, Computer Journal, vol. 51, 2008, pp.700-709.
- [10] Banerjee A., Pathak A.: New designs of reversible sequential devices, arXiv:0908.1620v1 [quant-ph], 12 August 2009.
- [11] Kerntopf P.: Synteza odwracalnych układów logicznych, Pomiar-Automatyka-Kontrola, vol. 53, nr 7, 2007, pp.78-80.
- [12] Szyprowski M., Kerntopf P.: Porównanie efektywności heurystycznych miar złożoności odwracalnych funkcji boolowskich, Pomiar-Automatyka-Kontrola, vol. 55, nr 8, 2009, pp. 581-583.
- [13] Barenco A., Bennett C. H., Cleve R., DiVincenzo D. P., Margolus N., Shor P., Sleator T., Smolin J. A., Weinfurter H.: Elementary Gates for Quantum Computation, Phys. Rev. A, vol. 52, 1995, pp. 3457-3467.
- [14] Grosse D., Wille R., Dueck G. W. and Drechsler R.: Exact Multiple Control Toffoli Network Synthesis with SAT Techniques, IEEE Trans. on CAD, vol. 28, 2009, pp. 703-715.
- [15] Wille R., Saedi M., Drechsler R.: Synthesis of Reversible Functions Beyond Gate Count and Quantum Cost, International Workshop on Logic Synthesis (IWLS), Berkeley, USA, July-Aug. 2009, pp. 43-49.
- [16] Forsberg E.: Reversible logic based on electron waveguide Y-branch switches, Nanotechnology, vol. 15, 2004, pp. 298-302.
- [17] Thapliyal H., Ranganathan N.: Testable Reversible Latches for Molecular QCA, Proc. 8th IEEE Int. Conf. on Nanotechnology (NANO), Arlington, TX, USA, Aug. 2008, pp. 699-702.
- [18] Axelsen H. B., Glück R., De Vos A., Thomsen M. K.: MicroPower: Towards low-power microprocessors with reversible computing, <http://ercim-news.ercim.eu/en79/special-theme/micropower-towards-low-power-microprocessors-with-reversible-computing>