

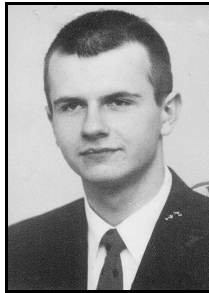
Miroslaw PUCZKO

POLITECHNIKA BIAŁOSTOCKA, WYDZIAŁ INFORMATYKI

Metody obniżania poboru mocy podczas testowania wewnątrzukładowego

Mgr inż. Miroslaw PUCZKO

Pracuje na Wydziale Informatyki Politechniki Białostockiej. Zajmuje się metodami i algorytmami związanymi z obniżaniem mocy w układach wbudowanego samotestowania.



e-mail: mpuzko@ii.pb.bialystok.pl

Streszczenie

W referacie przedstawiono wyniki badań nad obniżeniem rozpraszanej mocy generatora pseudolosowych wektorów testowych i analizatora sygnatur, które są wykorzystywane podczas wbudowanego samotestowania urządzeń cyfrowych BIST (ang. Built-In Self-Testing). Zaproponowano nową strukturę układu, która pozwala obniżyć moc wydzielaną w trakcie przeprowadzania samotestowania. Główna idea opiera się na takiej modyfikacji elementów BIST, w której zamiast przerzutników $-D$ wykorzystuje się przerzutniki $-T$.

Słowa kluczowe: niski pobór mocy, test-per-clock, wbudowane samotestowanie, BIST, przerzutnik $-T$, przerzutnik $-D$.

Low power in BIST

Abstract

Nowadays during organizing built-in self testing the most spread and best known are scan design techniques based on the full or partly scanning path. The first testing vector is put into testing system by SP (Scanning Path) data. Shifting information takes place during clock pulses, and the number of shifts is equal to the number of flip-flops in SP. Then, one synchronization pulse is used to write system changes in adequate SP positions. Next, SP values are applied to the output of the circuits, and at the same time on the data input SP follow next testing vector. So, if the SP is built of k -elements, there are needed $k+1$ clock pulses to put one testing vector. This realization is non effective because of high power consumption. Firstly, in modern BIST systems there are used many D-flip flops (memory elements). Even when there are used many SPs, the number of positions in each SP can reach a few thousands. In this case to put a new testing vector it is necessary to use a few thousand of synchronization pulses. Simultaneously the high amount of energy is needed, because each new testing vector needs one synchronization pulse. Secondly, during shifting data in SP in a testing circuit there are empty switchings, which requires energy. So, to minimize the power consumption test-per-clock technique is used. In this paper the new idea of minimizing power dissipation in BIST with test-per-clock technique is presented. The main idea of the new solution is to stop putting synchronization pulses to flip-flops in which their state has not changed in the current synchronization pulses. It will allow eliminating not necessary switching activity in BIST and, what is more, it will allow to decrease power consumption and Weighted Switching Activity.

Keywords: low power BIST, test-per-clock, flip-flop $-T$, BIST, flip-flop $-D$.

1. Wstęp

Jednym z ważniejszych parametrów, określających efektywność projektowania urządzeń cyfrowych, jest zużycie energii. Po pierwsze, ilość potrzebnej energii określa czas pracy urządzeń cyfrowych, których zasilanie uzależnione jest od autonomicznych źródeł zasilania (akumulatorów, baterii itp.). Po drugie, maksymalna wydajność współczesnych układów cyfrowych jest często ograniczona nie czynnikami technologicznymi, a wydzielaniem ciepła [1]. Podczas testowania układu cyfrowego rozpraszana jest większa moc, niż podczas normalnej pracy układu. Testowanie na

maksymalnej częstotliwości prowadzi do znacznego wzrostu aktywności przełączeniowej urządzenia cyfrowego. Jak zostało przedstawione w [2], energia potrzebna w trakcie testowania wzrasta 2-3 krotnie.

W chwili obecnej przy wbudowanym samotestowaniu największe zastosowanie mają metody oparte na skanowaniu układu cyfrowego [3]. W uproszczonej formie proces testowania BIST można przedstawić w następujący sposób. Pierwszy wektor testowy jest wprowadzany do systemu przez ścieżkę skanującą SC (ang. Scanning Path). Przesunięcie informacji następuje pod wpływem taktów zegara. Po zakończeniu wprowadzenia wektora testowego, w celu zapisania zmian w odpowiednich pozycjach ścieżki skanującej, następuje takt synchronizacji. Następnie na wyjścia CUT podawana jest odpowiedź testowanego układu. Jednocześnie na wejście ścieżki skanującej podawany jest nowy wektor testowy. Tak więc, jeżeli ścieżka skanująca CS zbudowana jest z k -elementów, potrzebne jest $k+1$ taktów zegarowych. Taka realizacja skanowania jest nieefektywna, z punktu widzenia zużycia energii. We współczesnych BIST wykorzystuje się dużo przerzutników $-D$ (elementów pamięci) a w celu zmniejszenia zużycia energii wykorzystuje się technikę „test-per-clock” [4].

W danej pracy przedstawiony jest nowy sposób rozwiązania problemu minimalizacji rozpraszanej mocy w układach BIST przy użyciu techniki „test-per-clock”. Sedno sposobu zawiera się w zaprzestaniu podawania impulsów synchronizacji na przerzutniki, których stan nie zmienił się w bieżącym takcie synchronizacji. Pozwala to wyeliminować niepotrzebne przełączenia w układzie BIST, dzięki czemu zmniejsza się zarówno zużycie energii, jak i średnia moc rozpraszana.

2. Analiza mocy rozpraszanej

Zużywana moc w schematach CMOS może być podzielona na dwa rodzaje: statyczną i dynamiczną. Jak przedstawiono w [2], dominującą jest moc dynamiczna, ponieważ w stanie statycznym przez elementy schematu CMOS prąd praktycznie nie przepływa, a napięcie jest równe prawie zero.

W pracy przyjęto poniższe oznaczenia: C_0 - wejściowa pojemność elementu logicznego, V_{dd} - napięcie zasilające, E_0 - energia potrzebna na jedno przełączenie w węzle $E_0 = \frac{1}{2} C_0 V_{dd}^2$. Pojemność węzła C_j jest wprost proporcjonalna do liczby wejść logicznych elementów z_j , podłączonych do jednego węzła, tzn. $C_j = z_j C_0$. Biorąc pod uwagę powyższe założenia energia zużywana przez układ w trakcie jednego taktu synchronizacji, będzie zapisana następująco:

$$E_{CLK} = E_0 \sum_j z_j \alpha_j \quad (1)$$

gdzie α_j - przełączeniowa aktywność j -węzła. Wyrażenie $z_j \alpha_j$ określimy jako średnią aktywność przełączeniową WSA_j (ang. Weighted Switching Activity) węzła j i będziemy wykorzystywać jako ocenę rozpraszanej w tym węzle energii. Średnią aktywność przełączeniową całego schematu w ciągu jednego taktu synchronizacji zapiszemy jako:

$$WSA_{CLK} = \sum_j WSA_j, \text{ gdzie } WSA_j = z_j \alpha_j \quad (2)$$

podstawiając (2) za (1), otrzymamy:

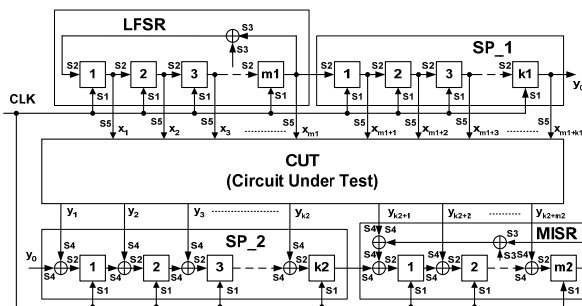
$$E_{CLK} = E_0 WSA_{CLK} \quad (3)$$

Dzieląc dane wyrażenie na długość impulsu synchronizacji, otrzymamy moc rozpraszoną. W ten sposób, do oceny mocy

rozproszonej konieczna jest znajomość średniej aktywności przełączeniowej każdego węzła.

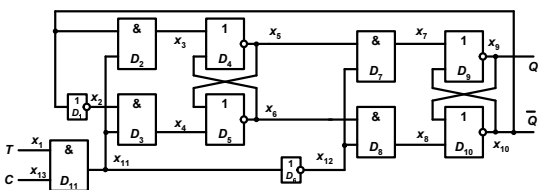
3. Architektura wbudowanego samotestowania

Na rys. 1 przedstawiono typową architekturę BIST, która realizuje technikę samotestowania „test-per-clock”. Jako źródło testu wykorzystuje się $m1$ -bitowy liniowy rejestr przesuwający ze sprzężeniem zwrotnym LFSR (ang. Linear Feedback Shift Register) i $k1$ -bitową ścieżkę skanującą SP_1 (ang. Scanning Path), a jako urządzenie kompaktacji odpowiedzi wykorzystuje się $k2$ -bitową ścieżkę skanującą SP_2 i $m2$ -bitowy wielowjęsiowy rejestr sygnatur MISR (ang. Multi Input Signature Register). Generator wektorów testowych TPG (ang. Test Pattern Generator) powinien gwarantować wysoką jakość (niezależność) wektorów testowych, które są opisane okresem generowanego ciągu oraz rodzajem wielomianu pierwotnego. Kompaktor odpowiedzi powinien gwarantować duże prawdopodobieństwo wykrycia niesprawności.



Rys. 1. Schemat funkcjonalny układu BIST z techniką „test-per-clock”
Fig. 1. „Test-per-clock” BIST technique

Użycie jako bazowego elementu BIST przerzutników $-D$ nie zawsze pozwala osiągnąć wysoką jakość znaczących wskaźników. W [5] pokazano, że zastosowanie przerzutników $-T$ w LFSR pozwala wystarczająco znacznie zwiększyć przesunięcie fazowe. W [6] zaprezentowano przesunięcie ścieżki skanującej, które jest wykorzystywane jako źródło testów. W [7] pokazano, że zastosowanie przerzutników $-T$ pozwala zwiększyć wiarygodność analizy, ponieważ minimalna ilość n -bitowych nieujawnionych błędów jest równa trzy (przy wykorzystaniu przerzutników $-D$ n -bitowa ilość jest równa dwa). W danej pracy badana jest efektywność wykorzystania przerzutników $-T$ z punktu widzenia zużycia energii. Jak przedstawiono w [8], przerzutnik $-T$ może być zrealizowany w różny sposób. W pracy wykorzystuje się realizację przerzutnika $-T$ na podstawie przerzutnika $-D$, która zachowuje wykorzystane elementy biblioteczne z przerzutnika $-D$.

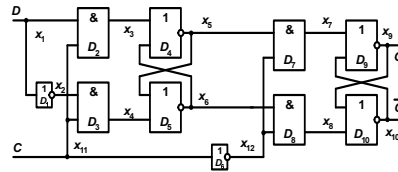


Rys. 2. Podstawowy schemat przerzutnika $-T$
Fig. 2. Flip-flop of T -type

4. Analiza przełączeniowej aktywności przerzutnika $-D$ i $-T$

Przeprowadzimy analizę porównania przerzutników $-D$ i $-T$, stosowanych w samotestowaniu BIST. Na rys. 2 przedstawiono

schemat synchronicznego dwustopniowego przerzutnika $-D$. Wszystkie węzły przerzutnika (x_1 - x_{12}) podzielimy na dwie części: obwód synchronizacji (element D_6 , węzły x_{11} , x_{12}) i obwód danych (elementy D_1 - D_5 , D_7 - D_{10} , węzły x_1 - x_{10}). W pracy przyjęto, że opóźnienie sygnału w elementach logicznych jest równe zero. Zapis informacji na pierwszym stopniu przerzutnika (elementy D_1 - D_5) następuje po narastającym taktie synchronizacji, a zapis informacji w drugim stopniu przerzutnika następuje po opadającym taktie. Przy obliczaniu przełączeniowej aktywności przerzutnika będziemy brać pod uwagę, iż zmiany logicznego stanu na wejściu D mogą nastąpić tylko po opadającym taktie synchronizacji, gdy zmienia się stan w elemencie kompaktującym.



Rys. 3. Podstawowy schemat przerzutnika $-D$
Fig. 3. Flip-flop of D -type

Po podaniu jednego impulsu synchronizacji (0-1-0) na wejścia układu synchronizacji (x_{11} , x_{12}) nastąpi dziesięć przełączeń (sześć w węzle x_{11} i cztery w węzle x_{12}). Liczba przełączeń w obwodzie danych (węzły x_1 - x_{10}) zależy od stanu wyjścia przerzutnika w danym taktie. Oznaczmy przez a_i – logiczny poziom na wejściu D w i -tym taktie pracy, a_{i-1} – logiczny poziom w $(i-1)$ -tym taktie pracy. Wtedy przy $a_{i-1} = a_i$ w przerzutniku nastąpią cztery przełączenia – dwa w węzle x_3 (albo x_4) i dwa w węzle x_7 (albo x_8). W przypadku gdy $a_{i-1} \neq a_i$ nastąpi 13 przełączeń (dwa w węzle x_1 , jedno w x_2 , dwa w x_3 (albo x_4), dwa w x_5 , dwa w x_6 , dwa w x_7 (albo w x_8), jedno w x_9 i jedno w x_{10}). Analogicznie obliczymy aktywność przełączeniową przerzutnika $-T$ (rys. 3). Przy $T=1$, w bieżącym taktie przerzutnik zmienia swój stan, i wystąpieniu na wejściu synchronizacji jednego impulsu synchronizacji (0-1-0) w obwodzie synchronizacji (x_{11} , x_{12} , x_{13}) nastąpi 12 przełączeń (6 w węzle x_{11} , 4 w węzle x_{12} , i 2 w węzle x_{13}). Przy $T=0$, w bieżącym taktie przerzutnik nie zmienia swego stanu, w obwodzie synchronizacji nastąpią tylko dwa przełączenia w węzle x_{13} . W obwodzie danych przy $T=0$ nie będzie przełączeń za wyjątkiem przełączeń w węzle x_1 . Biorąc pod uwagę, że przerzutniki są wykorzystywane do projektowania LFSR, MISR, prawdopodobieństwo zmiany logicznego stanu na informacyjnym wejściu przerzutnika jest równe 0.5. W ten sposób, przy $T=0$ w obwodzie danych średnio będzie następowało 0.5 przełączeń w ciągu jednego taktu. Przy $T=1$ w obwodzie danych średnio będzie następowało 13.5 przełączeń (1 w x_2 , dwa w x_3 (albo x_4), dwa w x_5 , dwa w x_6 , dwa w x_7 (albo w x_8), jedno w x_9 , trzy w x_{10} i 0.5 w węzle x_1). Średnia przełączeniowa aktywność obwodu synchronizacji α_c i obwodu danych α_D w ciągu jednego taktu synchronizacji dla przerzutnika $-T$ i $-D$ przedstawiono w tab. 1.

Tab. 1. WSA dla przerzutników $-T$ i $-D$
Tab. 1. WSA for flip-flop of T and D type

| α_c | | α_D | | Opis |
|------------|----|------------|----|---------------------------------------|
| -D | -T | -D | -T | |
| 10 | 2 | 4 | 0 | przerzutnik nie zmienia swojego stanu |
| 10 | 12 | 13 | 13 | przerzutnik zmienia swój stan |
| 10 | 7 | 8.5 | 7 | średnio |

5. Obliczanie przełączeniowej aktywności BIST

W poniższym rozdziale obliczymy tylko przełączeniową aktywność samego układu BIST, zbudowanego z przerzutników $-D$.

Przełączenia powstałe w testowanym układzie nie będą brane pod uwagę. W pracy założono, że każde wejście do CUT (ang. Circuit Under Test) jest wejściem do logicznego elementu, a każde wyjście podłączone jest do odpowiedniej pozycji w ścieżce skanującej SP_2 albo układu MISR.

Dlatego podzielimy wszystkie węzły układu na 5 podzbiorów. Pierwszy podzbiór S1 zawiera wejścia synchronizacji przerzutników ($/S1/=m1+k1+m2+k2$, gdzie $/S1/-$ moc zbioru S1). Drugi podzbiór S2 zawiera wejścia informacyjne przerzutników ($/S2/=m1+k1+m2+k2$). Trzeci podzbiór S3 zawiera wejścia sprzężenia zwrotnego LFSR i MISR. Układ sprzężenia zwrotnego LFSR składa się z wielowejściowego sumatora modulo dwa, który z reguły jest realizowany na dwuwejściowych bramkach XOR. Minimalna liczba wejść jest równa dwa ($\min/S3/=2$). Maksymalna liczba wejść odpowiada przypadkowi, gdy wielomian pierwotny posiada wszystkie niezerowe współczynniki i jest równe $2m1-2$ ($\max/S3/=2m1-2$). Średnia ilość węzłów sprzężenia zwrotnego wynosi $m1$. Analogicznie, dla MISR średnia liczba wejść sumatora modulo dwa w układzie sprzężenia zwrotnego jest równa $m2$. W ten sposób $/S3/=m1=m2$. Podzbiór S4 zawiera wejścia sumatorów modulo dwa, rozmieszczonych w SP_2 i MISR, które wykonują kompaktację danych testowanego schematu z wyjść $y1...y_{k2+m2}$, a także sumator rozmieszczony na wejściu MISR, w ten sposób $/S4/=2(k2=m2=1)$. Podzbiór S5 zawiera wejścia testowanego schematu $x1...x_{k1+m1}$, dlatego $/S5/=k1+m1$.

Przełączeniową aktywność wejść synchronizacji oznaczmy, jako WSA_{S1} . Biorąc pod uwagę, iż liczba wejść synchronizacji jest równa $m1+k1+m2+k2$, przełączeniową aktywność wejść $\alpha_c=10$ (tab. 1), otrzymamy $WSA_{S1}=10(m1+k1+m2+k2)$. Analogicznie dla podzbioru S2 ($\alpha_d=8.5$), $SA_{S2}=8.5(m1+k1+m2+k2)$. Przełączeniową aktywność wejść, wchodzących do podzbioru S3 i S5, jest równa 0.5 (na tych wejściach jest podawana pseudolosowa sekwencja i prawdopodobieństwo zmiany logicznego stanu w każdym taktie jest równa 0.5) [9]. Dlatego $WSA_{S3}=0.5(m1+m2)$ i $WSA_{S5}=0.5(m1+k1)$. Jak zostało pokazane w [10] przełączeniową aktywność wyjść, wchodzących do podzbioru S4, zależy od aktywności logicznych bramek AND albo OR, które jest zawsze mniejsze od 0.5 jeśli przełączeniową aktywność na wejściach S4 jest równa 0 (założono model układu bez opóźnień) a dla bramek XOR wynosi 0.5. W niniejszych rozważaniach zakładamy, że aktywność przełączeniową na wyjściach testowanego układu wynosi 0.5. W pracy przy obliczeniach założono, iż przełączeniową aktywność na wyjściach testowanego układu wynosi 0.5, z czego wynika $WSA_{S4}=0.5(2k2+2m2+1)$. Zapiszmy średnią aktywność przełączeniową układu BIST, zbudowanego z przerzutników -D:

$$WSA_{DFF}=10(m1+k1+m2+k2)+8.5(m1+k1+m2+k2)+0.5(m1+m2)+0.5(2k2+2m2+1)+0.5(m1+k1)=19.5m1+19k1+20m2+19.5k2+0.5 \quad (4)$$

Przy wykorzystaniu przerzutników -T zmieni się jedynie WSA_{S1} i WSA_{S2} . Dlatego analogicznie zapiszemy średnią aktywność przełączeniową układu BIST, zbudowanego z przerzutników -T:

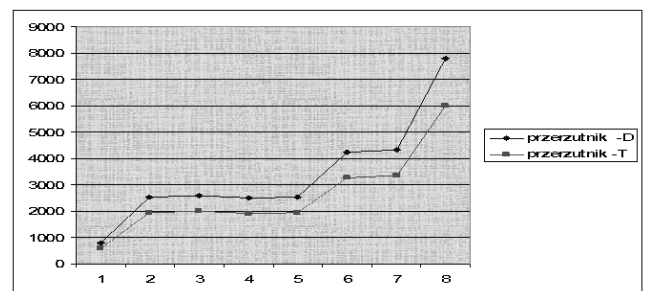
$$WSA_{TFF}=7(m1+k1+m2+k2)+7(m1+k1+m2+k2)+0.5(m1+m2)+0.5(2k2+2m2+1)+0.5(m1+k1)=15m1+14.5k1+15.5m2+15k2+0.5 \quad (5)$$

Do porównania efektywności zamiany przerzutników -D na -T obliczymy średnią aktywność przełączeniową BIST dla różnych wielkości LFSR, SP_1, SP_2 i MISR. Rezultaty obliczeń przedstawiono w tab. 2.

Analizując wyniki z tabeli (Tab.2) oraz rys. 4 można stwierdzić, iż zamiana przerzutników -D na przerzutniki -T pozwala średnio o 23% obniżyć średnią aktywność przełączeniową podczas samotestowania BIST.

Tab. 2. Średnia aktywność przełączeniowa dla układu BIST
Tab. 2. WSA for BIST

| Nr | BIST | | | | WSA | | redukcja WSA % |
|----|------|-----|-----|-----|--------|--------|----------------|
| | m1 | k1 | m2 | k2 | -D | -T | |
| 1 | 10 | 10 | 10 | 10 | 780.5 | 600.5 | 23.06 |
| 2 | 10 | 10 | 10 | 100 | 2535.5 | 1950.5 | 23.07 |
| 3 | 10 | 10 | 100 | 10 | 2580.5 | 1995.5 | 22.67 |
| 4 | 10 | 100 | 10 | 10 | 2490.5 | 1905.5 | 23.49 |
| 5 | 100 | 10 | 10 | 10 | 2535.5 | 1950.5 | 23.07 |
| 6 | 10 | 100 | 10 | 100 | 4245.5 | 3255.5 | 23.32 |
| 7 | 100 | 10 | 100 | 10 | 4335.5 | 3345.5 | 22.84 |
| 8 | 100 | 100 | 100 | 100 | 7800.5 | 6000.5 | 23.08 |



Rys. 4. Średnia aktywność przełączeniowa dla układu BIST
Fig. 4. WSA for BIST

6. Wnioski

Jak wynika z przeprowadzonych obliczeń, układ BIST zbudowany z przerzutników -T pozwala średnio o 23% obniżyć średnią aktywność przełączeniową WSA. Rozwiązanie takie zmniejsza zużycie energii i średnią moc rozpraszaną podczas samotestowania. Wykorzystanie proponowanego rozwiązania nie wymaga modyfikacji testowanego układu i elementów bibliotecznych. Dodatkowe nakłady stanowi jedynie jedna dwuwejściowa bramka AND na każdy przerzutnik.

Artykuł powstał przy pomocy pracy własnej W/WI/9/07.

7. Literatura

- [1] Yeap G.P.: Practical Low Power Digital VLSI Design, Kluwer Academic Publisher, 1998.
- [2] Zorian Y.: A Distributed BIST Control Scheme for Complex VLSI Dissipation, Proceedings of IEEE VLSI Symposium, 1993, pp.4-9.
- [3] Stroud C.E.: A Designer's Guide to Built-In Self Test, Boston/Dordrecht/ London, Kluwer Academic Publisher, 2002.
- [4] Ravikumar C.P., Prasad N.S.: Evaluating BIST architectures for low power // Proceedings of 7th Asian Test Symposium, 1998, 430-434.
- [5] Murashko I., Puczko M.: The switching activity minimization for Low Power BIST, In book "Computer Information Systems and Industrial Management Applications", Editors K. Saeed, R.Mosdorf, Z. Sosnowski, O.P. Hilmola, Białystok, Poland, pp.218-225.
- [6] Yarmolik V.N., Murashko I.: A new idea for testing vector generation in BIST // Avtomatika i Vychislitel'naja Technika, 1995, N6, pp.25-35.
- [7] Yarmolik V.N., Murashko I., Schmigman A.M.: Analyzing and designing scanning path for BIST, Microelectronika, 1997, T.26, No 5, pp.350-353.
- [8] Murashko I.A., Yarmolik V.N., Schmigman A.M.: A new idea for designing scanning paths in BIST, Automatic and Telemachanics, 1998, N7, pp.157-167.
- [9] Puchalski G.I., Nowoselcewa T.Y.: Designing digital devices based on integrated circuit, Moscow, Radio i Svjas', 1990.
- [10] Golomb S.W.: Shift Registers sequences – Holden Day, San Francisco, 1967.