

**Ryszard SZPLET, Sławomir JARZYŃSKI**  
WOJSKOWA AKADEMIA TECHNICZNA, INSTYTUT TELEKOMUNIKACJI

## Wysokorozdzielczy konwerter czasowo-cyfrowy z próbkowaniem impulsu

Dr inż. Ryszard SZPLET

Ukończył studia na Wydziale Elektroniki Wojskowej Akademii Technicznej. W 1997 r. obronił pracę doktorską. Odbił staż naukowy na Uniwersytecie w Oulu (Finlandia). Jest adiunktem w Instytucie Telekomunikacji WAT. Jego zainteresowania naukowe dotyczą precyzyjnej metrologii czasu i projektowania układów cyfrowych z użyciem układów programowalnych i specjalizowanych.



e-mail: rszplet@wel.wat.edu.pl

Mgr inż. Sławomir JARZYŃSKI

Jest absolwentem Wydziału Elektroniki Wojskowej Akademii Technicznej. Studia o specjalności Systemy Telekomunikacyjne ukończył w 2009 r. Jego zainteresowania dotyczą m. in. zastosowania układów FPGA do realizacji cyfrowego przetwarzania sygnałów na potrzeby telekomunikacji. Obecnie zajmuje się opracowywaniem inteligentnych systemów sterowania dedykowanych odbiorcom indywidualnym.



e-mail: slavojar@poczta.onet.pl

### Streszczenie

W artykule opisane są projekt i wyniki badań konwertera czasowo-cyfrowego o rozdzielczości 9 ps i niepewności pomiarowej nie przekraczającej 31 ps. Konwerter został zrealizowany w układzie programowalnym Cyclone firmy Altera. Do konwersji czasowo-cyfrowej użyto nowatorskiej metody, w której informacja o mierzonym odcinku czasu zawarta jest w szerokości impulsu, propagującego się wielokrotnie w zamkniętej pętli opóźniającej i próbkowanego z użyciem wielofazowego zegara o wysokiej częstotliwości. Sterowanie procesem pomiarowym oraz obliczanie i przetwarzanie wyników pomiarów odbywa się z wykorzystaniem dedykowanego interfejsu użytkownika opracowanego w języku C++.

**Słowa kluczowe:** precyzyjna metrologia czasu, konwerter czas-liczba, metoda próbkowania, zegar wielofazowy, układy FPGA.

### A high resolution time-to-digital converter based on pulse sampling

#### Abstract

The paper describes the design and test results of a time-to-digital converter with 9 ps resolution and measurement uncertainty below 31 ps. The converter has been implemented in a programmable device Cyclone manufactured by Altera. The time-to-digital conversion is based on sampling of a periodic square signal. Information about the measured time interval is contained in the width of a pulse that circulates in a closed delay loop and is sampled with the use of a high frequency clock. This method is innovative in the kind of application and it has not been implemented in an integrated circuit so far. In order to achieve both high resolution and high measurement uncertainty the four-phase sampling clock has been used. Such solution allows for fourfold reduction in a number of cycles in the loop and consequently to diminish the measurement error significantly. The four-phase clock has been generated with an embedded PLL functional block. An issue of fundamental importance for the successful implementation of the converter was the use of two short pulses as a representation of the begin and the end of a measured time interval instead of a single long-width pulse. In this way an unpredictable shrinking or stretching of a measured time interval by elements of the delay loop that have different propagation times for rising and falling edges has been avoided. The measurement as well as calculation and processing of obtained results are controlled with the use of dedicated user interface worked out in C++.

**Keywords:** precise time metrology, time-to-digital converter, sampling method, multiphase clock, FPGA devices.

### 1. Wstęp

Do precyzyjnej konwersji czasowo-cyfrowej wykorzystywane są zarówno metody analogowe jak i cyfrowe [1]. Ze względu na postępującą miniaturyzację urządzeń pomiarowych, metody cyfrowe stają się dominujące, gdyż umożliwiają realizację kompletnego układu konwersji w pojedynczym układzie scalonym. Najbardziej popularną metodą cyfrową jest metoda konwersji bezpośredniej z użyciem dyskretnej linii kodującej. Metoda implementowana w układach specjalizowanych ASIC (*Application Specific Integrated Circuit*) umożliwia uzyskiwanie wysokich rozdzielczości,

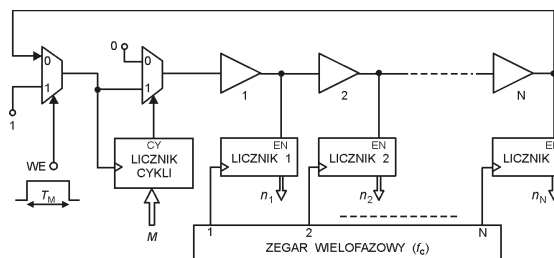
na poziomie około 10 ps [2], i krótkich czasów konwersji rzędu dziesiątek ns. Konwertery wykonane w układach programowalnych FPGA (*Field Programmable Gate Array*) charakteryzują się najwyższą rozdzielczością około 45 ps [3]. Zasadniczą wadą konwersji z użyciem linii kodującej jest zależność parametrów przetwornika od technologii w jakiej układ został wykonany.

Innymi, cyfrowymi metodami konwersji stosowanymi w przetwornikach scalonych są: metoda skracania impulsu [4 – 6], metoda licznikowa z zegarem wielofazowym [7 – 9] i metoda noniusza z dwoma oscylatorami [10]. Jednak w praktyce metody te stosowane są sporadycznie, gdyż osiągnięcie z ich użyciem wysokiej dokładności konwersji oraz powtarzalności parametrów w kolejnych realizacjach układowych jest trudne.

Metodą, która według wiedzy autorów nie została dotychczas zastosowana w scalonym konwerterze czas-liczba jest metoda próbkowania impulsu. W metodzie tej informacja o mierzonym odcinku czasu zawarta jest w szerokości impulsu, który propagując się wielokrotnie w zamkniętej pętli opóźniającej jest próbkowany z użyciem zegara o wysokiej częstotliwości. Główną zaletą metody jest potencjalna możliwość osiągania dowolnie wysokich rozdzielczości i dużej dokładności. Wartości obydwu parametrów zależą przede wszystkim od czasu trwania pomiaru i mogą być łatwo regulowane. Ponieważ rozdzielczość metody jest proporcjonalna także do częstotliwości sygnału próbkującego, korzystnie jest stosować zegar wielofazowy. W najnowszych programowalnych matrycach bramkowych znajdują się m.in. wbudowane bloki funkcjonalne do kontroli i przetwarzania sygnału zegarowego. Niektóre z nich wytwarzają także sygnały kwadraturowe, umożliwiając łatwą generację zegara czterofazowego. Celem badań było opracowanie konwertera wykorzystującego metodę próbkowania z użyciem zegara wielofazowego, zrealizowanego w układzie FPGA i charakteryzującego się możliwie wysoką rozdzielczością.

### 2. Konwersja czasowo-cyfrowa z próbkowaniem impulsu

Uproszczony schemat blokowy układu konwertera wykorzystującego metodę próbkowania impulsu jest pokazany na rys. 1.



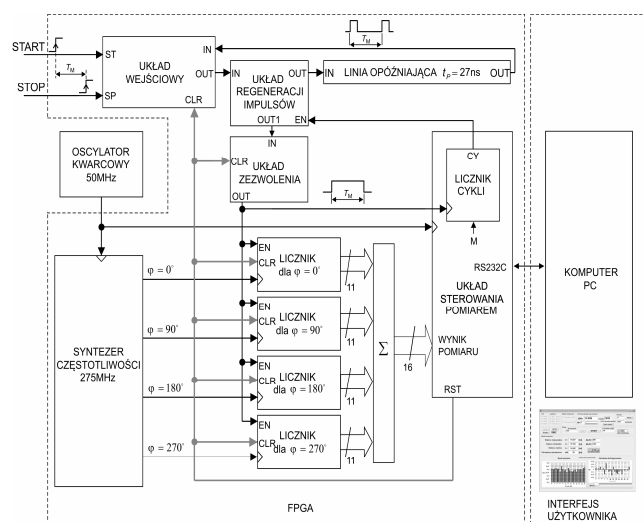
Rys. 1. Schemat blokowy konwertera wykorzystującego metodę próbkowania impulsu

Fig. 1. Time-to-digital converter based on the pulse sampling method

Impuls o mierzonym czasie trwania  $T_M$  podawany jest na wejście pętli, zawierającej dwa multipleksery oraz  $N$  buforów nieodwracających. Wszystkie elementy pętli powinny charakteryzować się jednakowymi czasami propagacji dla zboczy narastającego i opadającego. Dzięki temu, czas trwania impulsu transmitowanego w pętli nie ulega zmianie i teoretycznie może on krążyć w pętli dowolnie długo. Liczba cykli  $M$  w pętli określona jest początkową zawartością licznika cykli. Zawartość ta jest dekrementowana po każdym cyklu, aż do wyzerowania licznika. Wtedy proces propagacji impulsu w pętli jest wstrzymywany. Do tego momentu, propagujący się w pętli impuls jest próbkowany przez  $N$  faz zegara wielofazowego o częstotliwości  $f_C$ , a liczby trafień  $n_1 \dots n_N$  kolejnych faz w impuls (pozytywnych próbkowań) są zliczane przez liczniki  $1 \dots N$ . Sumaryczna liczba pozytywnych próbkowań  $\sum n$  jest proporcjonalna do mierzzonego czasu trwania impulsu. Wartość tego czasu jest obliczana według zależności  $T_M = \sum n / (M \times N \times f_C)$ . Poprawność działania konwertera zależy od spełnienia fundamentalnego dla metody założenia o asynchroniczności przebiegu w pętli i zegara próbkującego. Na ogół założenie to jest łatwe do spełnienia.

### 3. Projekt konwertera

Schemat blokowy opracowanego konwertera jest pokazany na rys. 2. Początek i koniec mierzzonego odcinka czasu reprezentowane są na wejściu konwertera przez narastające zbocza sygnałów START i STOP. Wykorzystując te sygnały układ wejściowy wytwarza parę krótkich impulsów ( $t_w \approx 1.6$  ns) w odstępie proporcjonalnym do mierzzonego odcinka czasu. Impulsy te krążą następnie w pętli opóźniającej. Ponieważ w rzeczywistym układzie elementy pętli niejednakowo opóźniają zbocza narastające i opadające impulsów, czasy ich trwania zmieniają się po każdym cyklu w pętli. Aby uniknąć niepożądanego skracania lub rozszerzania krążących impulsów, co prowadziłoby do ich zanikania lub ustalania się trwałego poziomu wysokiego w pętli, pierwotne parametry impulsów są odtwarzane w układzie regeneracji po każdym cyklu. Zastosowany sposób reprezentacji mierzzonego odcinka czasu z użyciem dwóch krótkich impulsów, zamiast np. pojedynczego impulsu o czasie trwania równym mierzonemu odcinkowi czasu (rys. 1), pozwala uniezależnić wartość przetwarzanego odcinka czasu od negatywnego wpływu niejednakowych czasów propagacji elementów pętli dla przeciwnych zboczy impulsu.



Rys. 2. Uproszczony schemat blokowy opracowanego konwertera czas-liczba  
Fig. 2. Simplified block diagram of the designed time-to-digital converter

Zakres pomiarowy konwertera jest proporcjonalny do czasu propagacji linii opóźniającej. Zatem dłuższa linia zapewnia większy zakres pomiarowy, ale zajmuje więcej zasobów logicznych układu. W zaprojektowanym konwerterze do wytworzenia linii wykorzystane zostały elementy łańcucha szybkich przemieszczeń

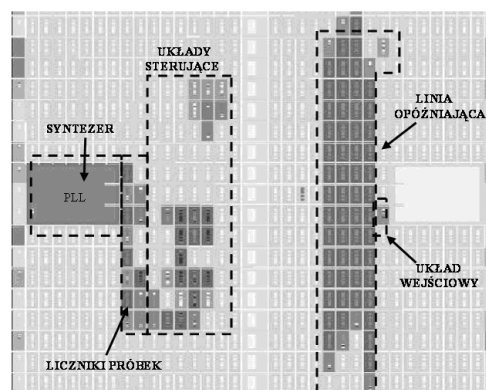
arytmetycznych (*carry chain*). Charakteryzują się one najkrótszymi opóźnieniami spośród wszystkich elementów logicznych dostępnych w użytym układzie programowalnym. Jednakże zastosowanie elementów łańcucha przemieszczeń było konieczne, gdyż ze względu na istniejące w układzie FPGA bezpośrednie połączenia pomiędzy tymi elementami, tj. bez pośrednictwa łączników programowalnych, wpływ utworzonej z nich linii na czas trwania propagującego się w niej impulsu jest nieznaczący. Możliwa jest, więc transmisja stosunkowo krótkich impulsów we względnie długich liniach opóźniających bez niebezpieczeństwa zanikania tych impulsów. Zastosowana w konwerterze linia utworzona została z elementów łańcucha znajdujących się w 308 komórkach logicznych LE (*Logic Element*), a jej czas propagacji wynosi około 27 ns.

Odcinek czasu pomiędzy krążącymi w pętli impulsami jest zamieniany w układzie zezwolenia na czas trwania pojedynczego impulsu, który stanowi sygnał zezwolenia na zliczanie dla czterech liczników próbek. Liczniki zliczają te aktywne zbocza czterofazowego sygnału próbkującego, które pojawiły się na wejściach liczników podczas trwania sygnału zezwolenia, czyli „trafiły” w próbkowany impuls. W konwerterze zastosowano 11-bitowe liczniki szeregowo z synchronizatorami podwójnymi. Użycie synchronizatorów praktycznie wyeliminowało występowanie stanów metastabilnych podczas asynchronicznego wyzwalań liczników próbek. Całkowita liczba pozytywnych próbkowań jest wyznaczana z użyciem sumatora  $\Sigma$ , będącego bibliotecznym blokiem funkcjonalnym systemu Quartus II. Ponieważ wartość wyniku pomiaru, wyznaczanego jako ilorz sumarycznej liczby pozytywnych próbkowań i częstotliwości zegara pomnożonej przez liczbę cykli, nie zależy od kolejności faz wielofazowego zegara próbkującego, więc w konwerterze nie zachodzi konieczności ustalania i kontrolowania tej kolejności. Jest to istotna zaleta użytej metody konwersji.

Czterofazowy zegar próbkujący o częstotliwości 275 MHz został wytworzony z użyciem wbudowanego bloku funkcjonalnego PLL. W opracowanym konwerterze blok ten, działając jako syntezer częstotliwości, wytwarza dwa sygnały zegarowe przesunięte w fazie o  $90^\circ$ . Dwie pozostałe fazy zegara czterofazowego uzyskano dokonując inwersji dwóch pierwszych faz. Jako źródło sygnału odniesienia wykorzystano oscylator kwarcowy o częstotliwości 50 MHz.

Liczba cykli w pętli opóźniającej jest kontrolowana przez użytkownika. Jest ona wpisywana do 8-bitowego licznika cykli, dekrementowanego po każdym cyklu. Po wyzerowaniu licznika wytwarza on sygnał wstrzymujący propagację sygnałów w pętli i kończący w ten sposób proces konwersji.

Konwerter został wykonany w układzie Cyclone (EP1C6Q240) firmy *Altera*. Realizacja konwertera wymagała użycia 16% zasobów logicznych układu programowalnego. Projekt topograficzny konwertera jest pokazany na rys. 3.

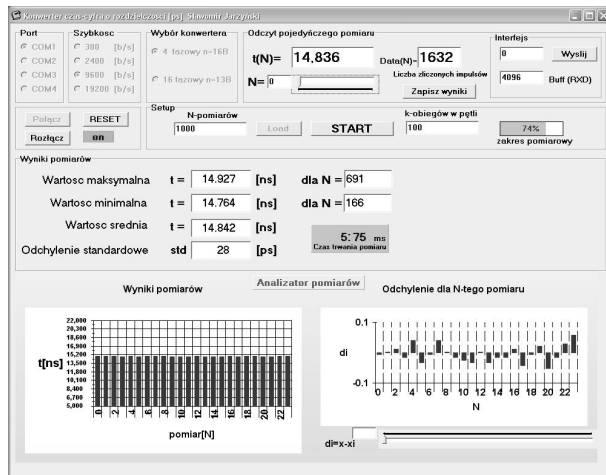


Rys. 3. Projekt topograficzny konwertera wykonanego w układzie EP1C6Q240 (*Altera*)

Fig. 3. Layout of the converter implemented in programmable device EP1C6Q240 (*Altera*)

## 4. Program sterująco-diagnostyczny

W celu sterowania procesem pomiarowym i podstawowego przetwarzania wyników pomiarów opracowany został program, którego interfejs użytkownika pokazany jest na rys. 4.



Rys. 4. Interfejs użytkownika programu sterującego pomiarem  
Fig. 4. User interface for controlling measurements and data processing

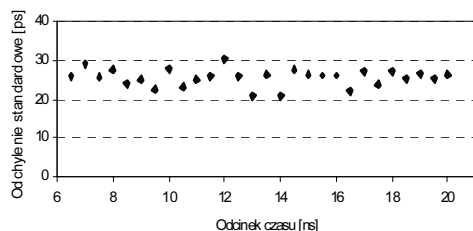
Program ten umożliwia: deklarowanie wielkości próbki pomiarowej oraz liczby cykli w pętli, uruchamianie pomiarów pojedynczych i seryjnych, obliczanie wyniku pomiaru oraz podstawowych charakterystyk statystycznych dla pomiarów seryjnych, takich jak wartości: średnia, minimalna i maksymalna oraz odchylenie standardowe. Ponadto, program oblicza i obrazuje histogram pomiarów i charakterystykę nieliniowości różnicowej.

## 5. Badania eksperymentalne

Testy konwertera przeprowadzone zostały w temperaturze otoczenia około 20°C i z użyciem nominalnych napięć zasilających. Celem pierwszego badania było określenie średniej rozdzielczości konwertera. Najpierw obliczono średnie liczby pozytywne próbkowań  $n_{1sr}$  i  $n_{2sr}$  z serii pomiarów dwóch precyzyjnie wytworzonych odcinków czasu  $T_1$  i  $T_2$ , znajdujących się na krańcach zakresu pomiarowego konwertera. Następnie, wykorzystując interpolację liniową określono średnią rozdzielczość jako

$$q = \frac{T_2 - T_1}{n_{2sr} - n_{1sr}}$$

Ponieważ średnie liczby pozytywne próbkowań  $n_{1sr}$  i  $n_{2sr}$  otrzymane dla czasów  $T_1 = 7$  ns i  $T_2 = 20$  ns wyniosły odpowiednio 920 i 2409, więc średnia rozdzielczość konwertera ma wartość 8.7 ps.



Rys. 5. Niepewność pomiarowa opracowanego konwertera  
Fig. 5. Measurement uncertainty of the designed converter

Niepewność pomiarowa konwertera określona została w wyniku wykonania serii pomiarów 28 odcinków czasu w zakresie od 6.5 ns do 20 ns, wytworzonych z użyciem generatora opóźnień GFT1004 (Greenfield Technology). Dla każdego odcinka czasu wykonano 1000 pomiarów, a następnie obliczono wartość średnią

i odchylenie standardowe, jako miarę niepewności pomiarowej konwertera. Wartości niepewności zawierają się w przedziale od 20.9 ps do 30.4 ps (rys. 5).

## 6. Podsumowanie

Jest to pierwsza realizacja scalonego konwertera czas-liczba z użyciem metody próbkowania impulsu. Stosując prostą architekturę układu konwersji uzyskano rozdzielczość 8.7 ps, która jest najmniejszą wartością osiągniętą dotychczas w układzie programowalnym. W celu uzyskania jednocześnie wysokich rozdzielczości i dokładności konwersji, w zaprojektowanym układzie zastosowany został czterofazowy zegar próbkujący oraz cztery liczniki zliczające impulsy próbkujące wytworzone z użyciem kolejnych faz zegara. Pozwoliło to na czterokrotne zmniejszenie liczby cykli w pętli i w konsekwencji znaczne ograniczenie błędu pomiarowego. Niepewność pomiarowa konwertera nie przekracza 31 ps w całym zakresie pomiarowym (13.5 ns). Konwerter został wykonany w układzie programowalnym Cyclone firmy Altera z użyciem środowiska projektowego Quartus II.

Doświadczenia z prac projektowych wskazują, że największą trudność w praktycznej realizacji opisanej metody konwersji stanowiło zbudowanie względnie długiej linii opóźniającej, która w minimalnym stopniu oddziałuje na czas trwania propagujących się w niej impulsów.

Bloki funkcjonalne we współczesnych układach programowalnych, wytwarzające wielofazowe sygnały zegarowe, są szczególnie dobrze predestynowane do użycia w konwerterach wykorzystujących metodę próbkowania impulsu i stwarzają możliwość dalszego ulepszenia takich przetworników. I tak np. łatwe do uzyskania podwojenie liczby faz użytego zegara pozwoli na podwojenie rozdzielczości i dalsze zmniejszenie niepewności pomiarowej układu.

Praca naukowa finansowana ze środków na naukę w latach 2007-2009 jako Projekt Badawczy Nr N N505 2984 33.

## 7. Literatura

- [1] J. Kalisz: Review of methods for time interval measurements with picosecond resolution, *Metrologia*, vol. 41 (2004), no. 1, pp. 35 – 51.
- [2] J. Jansson, A. Mantyniemi, J. Kostamovaara: A CMOS time-to-digital converter with better than 10 ps single-shot resolution, *Journal of Solid-State Circuits*, vol. 41, no. 6, 2006, pp. 1286 – 1296.
- [3] R. Szplet, J. Kalisz, Z. Jachna: A 45 ps time digitizer with two-phase clock and dual-edge two-stage interpolation in Field Programmable Gate Array device, *Measurement Science and Technology*, vol. 20, no. 2 (025108), 2009, 11 pages.
- [4] S. Tisa, A. Lotito, A. Giudice, F. Zappa: Monolithic time-to-digital converter with 20 ps resolution, *Proc. ESSCIRC'03*, 2003, pp. 465 – 468.
- [5] P. Chen, S-L. Liu, J. Wu: A CMOS pulse-shrinking delay element for time interval measurement, *IEEE Trans. Circuits and Systems*, vol. 47, no. 4, 2000, pp. 954 – 958.
- [6] R. Szplet, K. Klepacki: Precyzyjny konwerter czasowo-cyfrowy wykorzystujący metodę skracania impulsu zrealizowany w układzie FPGA, *Pomiary Automatyka Kontrola*, nr 7, 2007, pp. 21 – 23.
- [7] D. Spencer, J. Cole, M. Drigert, R. Aryaeinejad: A high-resolution, multi-stop, time-to-digital converter for nuclear time-of-flight measurements, *Nuclear Instruments and Methods in Physics Research*, A 556, Elsevier 2006, pp. 291 – 295.
- [8] M. Fries and J. Williams: High-Precision TDC in an FPGA using a 192-MHz Quadrature Clock, *Nuclear Science Symposium Conference Record*, IEEE 2002, vol. 1, pp. 580 – 584.
- [9] R. Szplet, M. Gołaszewski: Scalony konwerter czas-liczba z użyciem metody licznikowej i zegara wielofazowego, *Pomiary Automatyka Kontrola*, nr 08, 2008, pp. 591 – 593.
- [10] R. Szplet, M. Grabowski: Konwerter czas-liczba o rozdzielczości 40 ps w układzie reprogramowalnym, *Pomiary Automatyka Kontrola*, nr 7bis, 2006, pp. 23 – 25.