

Janusz JANOWSKI, Marcin KAZBERUK, Valery SALAUYOU
POLITECHNIKA BIAŁOSTOCKA, WYDZIAŁ INFORMATYKI

Użycie wejść specjalizowanych PLD do zwiększenia szybkości działania układów kombinacyjnych

Janusz JANOWSKI

Student Wydziału Informatyki Politechniki Białostockiej. Jego zainteresowania naukowe to synteza układów cyfrowych na PLD.



e-mail: esntino@gmail.com

Marcin KAZBERUK

Student Wydziału Informatyki Politechniki Białostockiej. Jego zainteresowanie to algorytmika oraz optymalizacja układów kombinacyjnych.



e-mail: marcinkazberuk@wp.pl

Dr hab. Inż. Valery SALAUYOU

Ukończył w 1978 r. studia na wydziale Matematyki Stosowanej w Białoruskim Państwowym Uniwersytecie w Mińsku. Obronił pracę doktorską w 1986 r. o specjalności „Informatyka Techniczna” i uzyskał tytuł doktora habilitowanego w 2003 r. Od 25 lat pracuje w dziedzinie projektowania logicznego systemów cyfrowych.



e-mail: walsol@ii.pb.bialystok.pl

Streszczenie

W pracy przedstawiono badania nad wykorzystaniem wejść specjalizowanych w układach programowalnych (Programmable Logic Devices - PLDs). Opisano sposób wykorzystania ich jako wejścia logiczne. Wejścia dedykowane (dedicated inputs) pozwalają na skrócenie czasu przesyłania sygnału z wejścia na wyjście układu. W badaniu użyliśmy 3 klas PLD: SPLD (rodzina CLASSIC), CPLD (rodzina MAX) i FPGA (rodzina FLEX oraz ACEX) firmy Altera. Jako urządzenie do projektowania wykorzystaliśmy oprogramowanie MAX+PLUS II. Po wykonaniu badań eksperymentalnych, zostały otrzymane następujące wyniki: 1) ręczne przypisanie wyjść sygnałom logicznym, nie zmniejszyło czasu propagacji sygnału w rodzinie CLASSIC, 2) w rodzinach MAX, FLEX, ACEX dla niektórych układów udało się znaleźć wejścia, które zmniejszają czas rozchodzenia się sygnałów.

Słowa kluczowe: wejścia dedykowane, układy programowalne.

Use of PLD specialized inputs for increasing operating speed of combinational circuits

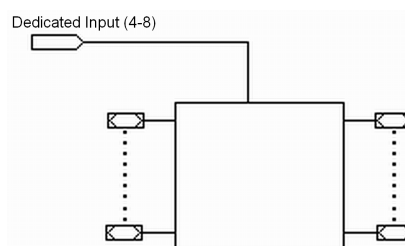
Abstract

The paper presents a study on the use of specialized inputs in the control system programmable (Programmable Logic Devices - PLDs). It describes how to use them as a logical entry. Dedicated inputs allow to reduce the time of the signal sending from input to output system. In the study we used 3 classes PLD: SPLDs (Family CLASSIC), CPLD (family MAX) and FPGA (FLEX and ACEX family) by Altera. As a device to design used software MAX + PLUS II. After the implementation of experimental studies, were obtained the following results: a) hand signals a logical assignment to output, not decreased the signal propagation time in the family CLASSIC, b) in families, MAX, FLEX, ACEX for some systems, managed to find the exit, which reduce the time propagation signals, c) manual pick feet, in most cases provides much better time results, because the compiler algorithm for MAX + PLUS II, find the optimal solution with some approximation. The results of our study allowed us to achieve even better results, in some cases the shortening of time transfer signal from input to output PLD reaches 50%.

Keywords: dedicated inputs, PLD.

1. Wstęp

Układy programowalne mają kilka sposobów powiększenia szybkości działania np. użycie opcji Turbo Bit. W danej pracy będziemy badać użycie wejść specjalizowanych dla powiększenia szybkości układów kombinacyjnych. Wejścia dedykowane są to wejścia specjalne zapewniające efektywne i sprawne przesyłanie sygnału z dużą szybkością. Wykorzystują one dedykowane kanały przesyłania (dedicated routing channels), które zapewniają skrócenie opóźnień układu i mniejsze krzywe sygnału niż tradycyjne logiczne wejścia. Uogólnioną strukturę PLD można przedstawić w następujący sposób (rys. 1.), nieduża liczba wejść specjalizowanych i duża liczba wejść dwukierunkowych.

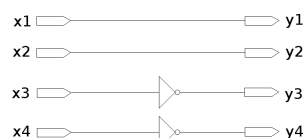


Rys. 1. Uogólniona struktura układu CPLD
Fig. 1. Generalized structure of CPLD match

W niniejszej pracy postawimy następującą hipotezę: jeżeli niektórym wejściowym sygnałom przypiszemy wejścia dedykowane to sygnały wyjściowe układów kombinacyjnych będą mieć mniejsze opóźnienia.

2. Ustawienie szybkich ścieżek z wejść dedykowanych na wyjścia logiczne

Badania były przeprowadzone na układach firmy Altera, na 3 klasach PLD: SPLD (rodzina Classic), CPLD (rodziny typu MAX) i FPGA (rodziny FLEX i ACEX). Jako narzędzie projektowania został użyty pakiet MAX+PLUS II. Wejścia dedykowane były wybierane ręcznie (w edytorze przypisane numery nóżek), wyjścia były przypisywane różnym możliwym wyjściom PLDs, a następnie wybierano najlepsze. Badania zostały przeprowadzone dla prostego układu przedstawionego na rysunku (rys. 2).



Rys. 2. Prosty układ do badań
Fig. 2. Simple system to tests

W wyniku przeprowadzonych badań otrzymaliśmy następujące rezultaty.

2.1. Wynik dla SPLD

Wyniki badań eksperymentalnych dla rodziny SPLD zostały przedstawione w tab. 1, gdzie PLD - nazwa układu, D_{\min} - znalezione minimalne opóźnienie z wejść dedykowanych do wyjść, D_{\max} - opóźnienie znalezione przez kompilator, D_{\max}/D_{\min} - stosunek wartości D_{\max}/D_{\min} .

Tab. 1. Wyniki badań układów rodziny Classic
Tab. 1. Results of tests of Classic family match

PLD	D_{\min}	D_{\max}	D_{\max}/D_{\min}
EP610	10	10	1
EP910	12	12	1
EP1810	20	20	1
EP1800	65	65	1

Na podstawie wyników z tabeli dochodzimy do wniosków iż układy CLASSIC nie pozwalają na zmniejszenie czasu propagacji sygnału za pomocą przypisania sygnałów logicznych wejściom specjalizowanym. Kompilator MAX+Plus II automatycznie przyporządkowuje wejścia dedykowane danym układom jako optymalne.

2.2. Wynik dla CPLD

W tab. 2. przedstawiono wyniki badań eksperymentalnych układów rodziny MAX9000, gdzie D_{\min} , D_{\max} , D_{\max}/D_{\min} , „Numery nóżek wyjściowych” - wybrane wyjścia logiczne.

Tab. 2. Wyniki badań układów rodziny MAX
Tab. 2. Results of tests of MAX family matches

PLD	D_{\min}	D_{\max}	D_{\max}/D_{\min}	Numery nóżek wyjściowych
EMP9320LC	17,1÷17,5	23	1,3450	20, 23, 27
EMP9320RC	17,1÷17,5	23	1,3450	12, 29, 39
EMP9320ALC	12,1÷12,5	16,9	1,3966	20, 23, 27

Analiza tabeli pokazała, że dla układów MAX 9000 ręczne przypisanie nóżek wyjściowych daje nawet o 1,4 (ok. 40%) razy szybsze ścieżki, aniżeli używając tradycyjnego podejścia.

2.3. Wynik dla FPGA

W tab. 3. przedstawiono wyniki badań eksperymentalnych układów rodziny FLEX6000, FLEX10K i ACEX.

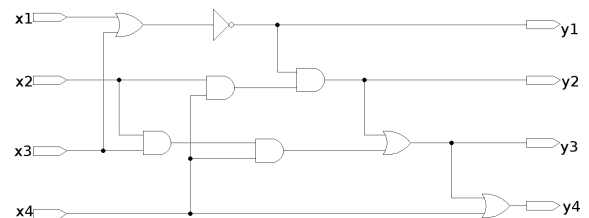
Tab. 3. Wyniki badań układów rodziny FLEX i ACEX
Tab. 3. Results of research of FLEX and ACEX family matches

PLD	D_{\min}	D_{\max}	D_{\max}/D_{\min}	Numery nóżek wyjściowych
FLEX6010A	7,5÷7,6	9,7	1,2933	16, 21, 88, 93
FLEX6016	8,3	10,9	1,3132	16, 21, 88, 93
FLEX6016A	7,5÷7,6	9,7	1,2933	16, 21, 88, 93
FLEX6024A	7,5÷7,6	10,4	1,3866	16, 21, 88, 93
FLEX10K10	9,9÷11,9	12,1	1,2222	16, 17, 71, 73
FLEX10K10A	9,1÷9,5	10,5	1,1538	7, 9, 70, 71
FLEX10K20	9,7÷11,9	12,1	1,2474	18, 92, 102, 109
FLEX10K30	11÷11,3	12,7	1,1545	30, 119, 134
FLEX10K30A	8,8÷10,3	10,6	1,2045	100, 101, 102, 109
FLEX10K70	12,1÷14,2	14,6	1,2066	31, 53, 154, 175
ACEX1K10	6,5÷7,4	7,7	1,1846	78, 79, 80, 82
ACEX1K30	6,7÷7,3	8,1	1,2089	100, 101, 109
ACEX1K50	7÷7,3	7,8	1,1142	100, 101, 109
ACEX1K100	7,2÷8,4	8,7	1,2083	31, 148, 149, 150

Analiza tabeli pokazuje, że dzięki wykonanym badaniom które polegały na samodzielnym znalezieniu nóżek wyjściowych, można znaleźć ścieżki szybsze niż za pomocą tradycyjnego podejścia. Dla wszystkich układów rodziny FLEX6000 1.39 (39%) razy szybsze, dla układów rodziny FLEX10K ok. 1.24 razy szybsze, dla układów ACEX 1.21 razy szybsze.

3. Zastosowanie szybkich ścieżek dla układów kombinacyjnych

Układ przedstawiony na rys. 2 był bardzo prosty, sygnał przykazywany był tylko z wejścia na wyjście. Dalej zostały wykonane badania dla bardziej skomplikowanego układu, pokazanego na rys. 3. Sygnały wyjściowe będziemy przydzielać wejściom specjalizowanym, a sygnały wyjściowe przypisywać tym numerom nóżek, które były znalezione jako szybkie ścieżki w punkcie 2.



Rys. 3. Skomplikowany układ do badań
Fig. 3. Complicated system to tests

3.1. Wyniki dla SPLD

Wyniki badań eksperymentalnych dla rodziny SPLD dla skomplikowanego układu zostały przedstawione w tab. 4.

Tab. 4. Wyniki badań układów rodziny Classic
Tab. 4. Results of research of Classic family match

PLD	D_{\min}	D_{\max}	D_{\max}/D_{\min}
EP610	10	10	1
EP910	12	12	1
EP1810	20	20	1
EP1800	65	65	1

Z analizy tabeli wynika, że zarówno w punkcie 2.1. jak i w niniejszym, układy CLASSIC nie pozwalają na zwiększenie szybkości przesyłania sygnałów.

3.2. Wyniki dla CPLD

Wyniki badań eksperymentalnych dla rodziny CPLD dla skomplikowanego układu zostały przedstawione w tab. 5.

Tab. 5. Wyniki badań układów rodziny MAX
Tab. 5. Results of tests of MAX family matches

PLD	D_{\min}	D_{\max}	D_{\max}/D_{\min}	Numery nóżek wyjściowych
EMP9320LC	17,5÷26,5	29,3	1,6742	20, 27, 58
EMP9320RC	17,1÷23,8	28,5	1,6667	29, 39, 117, 123
EMP9320ALC	11,7÷19	22,1	1,8889	20, 27, 59

Na podstawie wyników z tabeli, możemy stwierdzić, że dla skomplikowanego układu, kompilator poradził sobie dużo gorzej. Za pomocą wcześniej znalezionych wyjść uzyskało się prawie dwukrotne zmniejszenie czasu propagacji sygnału.

3.3. Wyniki dla FPGA

Wyniki badań eksperymentalnych dla rodziny FPGA dla skomplikowanego układu zostały przedstawione w tab. 6.

Tab. 6. Wyniki badań układów rodziny FLEX i ACEX
 Tab. 6. Results of research of FLEX and ACEX family matches

PLD	D _{min}	D _{max}	D _{max} /D _{min}	Numery nóżek wyjściowych
FLEX6010A	7,6÷8,9	12,7	1,6710	21, 88, 93
FLEX6016	8,4÷9,2	12,5	1,4880	21, 88, 93
FLEX6016A	7,6÷8,9	10,2	1,3421	21, 88, 93
FLEX6024A	7,9÷11	12,9	1,6329	16, 21, 88, 93
FLEX10K10	10,2	10,4	1,0192	71
FLEX10K10A	9,1÷10,3	10,9	1,1978	9, 70, 71
FLEX10K20	10,1	10,7	1,0594	109
FLEX10K30	12,1	10,6	0,8760	Brak
FLEX10K30A	8,8÷10,2	10,8	1,2273	100, 101, 102, 109
FLEX10K70	12,7	12,4	0,9763	Brak
ACEX1K10	6,5÷8,1	8,3	1,2769	78, 79, 80, 82
ACEX1K30	6,8÷7,8	8,5	1,2500	100, 101, 102, 109
ACEX1K50	7,0÷8,0	8,7	1,2428	100, 101, 102, 109
ACEX1K100	7,6÷8,3	8,7	1,1447	148, 149, 150

Na podstawie analizy tabeli dochodzimy do wniosków, że również dla bardziej skomplikowanego przykładu, używając wcześniej znalezionych ścieżek, zanotowane zostało przyspieszenie we wszystkich rodzinach FPGA. Dla rodzin FLEX przyspieszenie wyniosło od 34% do 67%, dla układów rodziny FLEX10K tylko w 2 na 6 przypadków zostały uzyskane zadowalające wyniki – przyspieszenie około 20%. Układy rodziny ACEX były ok. 1,14-1,27 razy szybsze.

4. Wnioski

Dla rodziny Classic nie udało się znaleźć najszybszych ścieżek. Dla układów CPLD znaleźliśmy nie mniej niż 3 szybkie ścieżki które pozwalają nam na przyspieszenie działania układu kombinacyjnego o średnio 35%, a zastosowanie do bardziej skomplikowanego układu do 88%.

W układach FPGA udało się znaleźć nawet 4 szybkie ścieżki, które pozwalają na zwiększenie szybkości sygnału od 11% do 38%. Dla skomplikowanego układu w większości przypadków przyspieszenie wahało się między 14% i 67%.

5. Literatura

- [1] ACEX 1K Programmable Logic Device Family Data Sheet ver. 3.4 [online], San Jose (CA): Altera Corporation, May 2003 [dostęp: 2 lutego 2008]. Dostępny w Internecie: <http://www.altera.com/literature/ds/acex.pdf>
- [2] FLEX 6000 Programmable Logic Device Family Data Sheet ver. 4.1 [online], March 2001., San Jose (CA): Altera Corp. Dostępny w Internecie: <http://www.altera.com/literature/ds/dsf6k.pdf>
- [3] FLEX 10K Embedded Programmable Logic Device Family Data Sheet ver. 4.2 [online], January 2003, San Jose (CA): Altera Corp. Dostępny w Internecie: <http://www.altera.com/literature/ds/dsf10k.pdf>
- [4] MAX 9000 Programmable Logic Device Family Data Sheet ver. 6.5 [online], June 2003, San Jose (CA): Altera Corp. Dostępny w Internecie: <http://www.altera.com/literature/ds/m9000.pdf>

Artykuł recenzowany

INFORMACJE

WYDAWNICTWO

Pomiary Automatyka Kontrola

MEASUREMENT AUTOMATION AND MONITORING

specjalizuje się w wydawaniu czasopisma i książek popularno-naukowych w dziedzinie automatyki i pomiarów

Osoby i firmy przemysłowe zainteresowane współpracą z Wydawnictwem proszone są o kontakt bezpośredni dla uściślenia szczegółów współpracy

Wydawnictwo PAK
 00-050 Warszawa
 ul. Świętokrzyska 14A
 tel./fax 022 827 25 40

Redakcja PAK
 44-100 Gliwice
 ul. Akademicka 10, p. 30b
 tel./fax 032 237 19 45
 e-mail: wydawnictwo@pak.info.pl