

Piotr KAWALEC

POLITECHNIKA WARSZAWSKA, WYDZIAŁ TRANSPORTU

Stochastyczne komparatory i ich realizacja w strukturach FPGA

Dr inż. Piotr KAWALEC

Ukończył studia na Wydziale Elektroniki Instytutu Transportu w Leningradzie w 1975 r., obronił pracę doktorską w 1979 r. w Instytucie Elektrotechnicznym w Leningradzie. Jest adiunktem na Wydziale Transportu Politechniki Warszawskiej. Jego zainteresowania naukowe to automatyka, elektronika, technika cyfrowa i ich zastosowanie w układach i systemach sterowania i teleinformatyki stosowanych w transporcie.



e-mail: pka@it.pw.edu.pl

Streszczenie

W artykule przedstawiono sprzętową realizację komparatorów stochastycznych, porównujących niezależne losowe ciągi binarne. Wykorzystując skokową funkcję Heaviside'a, oraz stochastyczne układy mnożące – sumujące, opracowano strukturę komparatora. Dla zapewnienia maksymalnej szybkości działania komparatora zastosowano elementy cyfrowe oraz rejestry przesuwające. Przeprowadzono syntezę komparatora w układach FPGA oraz przeprowadzono badanie prototypu, uzyskując wysoką szybkość działania oraz pewność realizacji funkcji skokowej.

Słowa kluczowe: przetworniki informacji, funkcja skokowa, ciągi losowe, sprzętowe komparatory stochastyczne, układy FPGA.

Stochastic comparators and their implementation in FPGA

Abstract

The paper presents a principle of operation of stochastic comparators and their role in modeling and controlling transport processes. For hardware stochastic comparators comparing synchronous binary random sequences, the block diagrams have been designed on AND and OR elements (Fig. 1) as well as on NAND elements (Fig. 2) applying the Heaviside step function. There is presented a functional diagram of a specialized stochastic comparator (Fig. 4) with hardware realization of the Heaviside function in which squaring (Fig. 3) and stochastic multiply-adder circuits have been applied. In order to ensure the maximum operational speed of the comparator, logical elements and shift registers have been used. Specification of the comparator has been conducted in VHDL language, and its synthesis and implementation – in FPGA circuits. The results of simulation investigations confirmed the correctness of stochastic comparator operation. The step characteristics of comparator switching have been obtained after several strokes of circuit operation.

Keywords: information converters, step function, random sequences, hardware stochastic comparators, FPGA devices.

1. Wstęp

Pierwsze publikacje związane z zastosowaniem metod probabilistycznych w budowie niezawodnych systemów z zawodnych elementów, można odnieść do pracy von Neumanna [1]. Idea sprzętowej realizacji tych metod, znalazła swoje odzwierciedlenie w postaci koncepcji układów i systemów cyfrowych, nazywanych komputerami stochastycznymi, lub stochastycznymi przetwornikami informacji [2, 3]. Jednak, ze względu na ograniczone możliwości ówczesnej techniki cyfrowej, koncepcje te nie znalazły praktycznej realizacji.

Obecnie, dzięki dostępności układów reprogramowalnych, oraz odpowiednich narzędzi wspomagania komputerowego, możliwa stała się implementacja stochastycznych przetworników informacji w programowalne struktury logiczne. Wybór efektywnych metod generowania losowych ciągów binarnych, tworzenie prostych układów arytmetyki stochastycznej, realizacja przetwarzania

współbieżnego, oraz implementacja projektowanych systemów w jednej strukturze SoC, pozwoliły na pokonanie najważniejszego ograniczenia algorytmów probabilistycznych, jakim była ich niska zbieżność [4, 5, 6]. Dzięki temu stochastyczne przetworniki informacji są wykorzystywane nie tylko w sprzętowych realizacjach stochastycznych sieci neuronowych [7], lecz również w różnego rodzaju sterownikach czasu rzeczywistego [8].

Należy podkreślić, że efektywność zastosowania stochastycznych przetworników informacji, wzrasta wraz ze wzrostem złożoności tworzonych systemów sterowania i przetwarzania danych, występowania w nich zmiennych losowych i algorytmów probabilistycznych, oraz ze wzrostem stopnia niepewności danych wejściowych [12]. Wszystkie wymienione cechy są charakterystyczne dla systemów sterowania i kierowania ruchem w transporcie.

2. Zasada działania komparatorów stochastycznych

Do zasadniczych wymagań stawianych układom i systemom sterowania ruchem w transporcie jest zapewnienie odpowiedniego poziomu niezawodności i bezpieczeństwa działania. Zapewnienie wymaganego poziomu bezpieczeństwa uzyskuje się poprzez zastosowanie redundancji, polegającej na zwielokrotnianiu sprzętowym lub czasowym w systemie sterowania [9, 10]. Przy czym na poziom bezpieczeństwa w systemie zwielokrotnionym, zasadniczy wpływ mają parametry zastosowanego układu porównującego, nazywanego komparatorem [11].

Komparatory są układami przeznaczonymi do porównywania wielkości, lub wyboru wartości maksymalnej (bądź minimalnej) z grupy porównywanych wielkości. W modelowaniu procesów ruchu w transporcie często konieczne jest porównywanie atrybutów obiektów lub procesów przedstawionych postaci losowych ciągów binarnych (np. intensywności zgłoszeń pojazdów ruchu drogowego na poszczególnych pasach).

Zakładamy, że w przypadku komparatorów stochastycznych, porównywane są niezależne losowe ciągi binarne A i B, spełniające kryteria losowania schematu Bernoulliego [13]. Natomiast na wyjście komparatora przekazywany jest ciąg, dla którego wartość oczekiwana symbolu 1 jest większa. W przypadku równości wartości oczekiwanych porównywanych ciągów, na wyjście przekazywany będzie ciąg odpowiadający średniej arytmetycznej porównywanych ciągów.

Przy porównywaniu dwóch wielkości, komparatory muszą charakteryzować się szybką, skokową zmianą stanu (przebiegiem charakterystyką przełączania), przy zmianie zależności między porównywanymi wielkościami. Wykorzystując skokową funkcję Heaviside'a (jednostkową funkcję skokową), dla wyznaczenia wartości maksymalnej z dwóch zmiennych A i B możemy zapisać

$$\max(A, B) = A \cdot H(A - B) + B \cdot H(B - A) \quad (1)$$

gdzie $H(x)$ – skokowa symetryzowana funkcja Heaviside'a [14], postaci

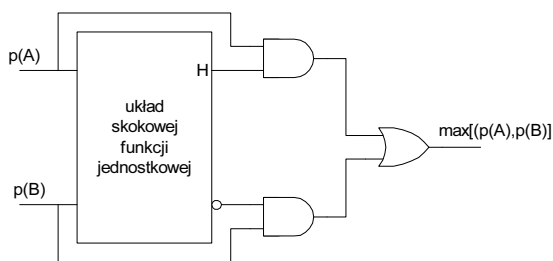
$$H(x) = \begin{cases} 0 & \text{dla } x < 0 \\ 0,5 & \text{dla } x = 0 \\ 1 & \text{dla } x > 0. \end{cases} \quad (2)$$

3. Schemat blokowy komparatora stochastycznego

Sprzętowa realizacja zależności (1), przy założeniu, że przetwarzane są losowe ciągi binarne, z prawdopodobieństwem wystąpienia symbolu 1 w każdym z nich, oznaczonym odpowiednio $p(A)$ oraz $p(B)$, polega na syntezie układu skokowych funkcji jednostkowych $H(x)$, oraz zastosowaniu stochastycznych multiplikatorów i stochastycznego sumatora.

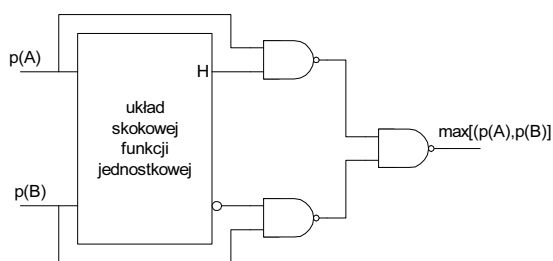
Ponieważ dla $A \neq B$ funkcje skokowe $H(A-B)$ oraz $H(B-A)$ przyjmują przeciwne wartości, to w sensie logicznym jedną z nich można traktować jako negację drugiej. Również dla $A = B$, jednostkowe funkcje skokowe można również traktować jako przeciwstawne, jeśli uwzględnimy, że dla $p = 0,5$, prawdopodobieństwo symbolu 1 w ciągu binarnym jest równe prawdopodobieństwu symbolu 0. Dzięki temu, wyjścia jednostkowych funkcji skokowych zapewniają rozłączność zdarzeń, co jest niezbędne dla zapewnienia prostej realizacji układów mnożąco – sumujących.

Schemat blokowy komparatora stochastycznego będzie zawierał układ realizacji skokowej funkcji jednostkowej z wyjściem prostym i zanegowanym, oraz układy mnożenia i sumowania stochastycznego (rys. 1).

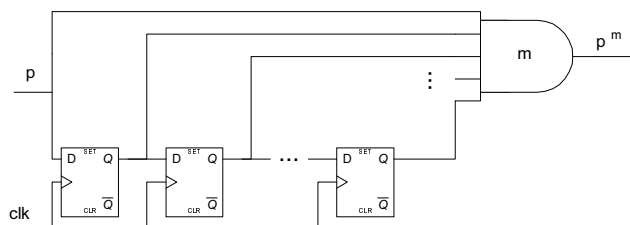


Rys. 1. Schemat blokowy komparatora stochastycznego z elementami AND i OR
Fig. 1. Block diagram of stochastic comparator with AND and OR elements

Elementy logiczne AND i OR mogą być zastąpione elementami NAND (rys. 2).



Rys. 2. Schemat blokowy komparatora z elementami NAND
Fig. 2. Block diagram of comparator with NAND elements



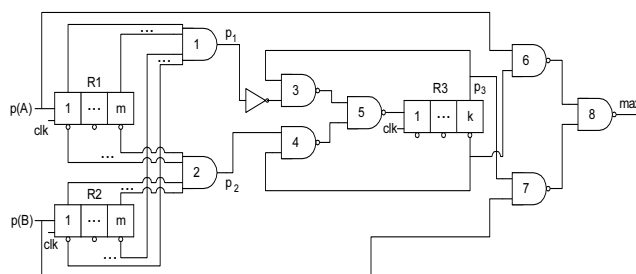
Rys. 3. Stochastyczny układ potęgowania z wielow wejściowym elementem AND
Fig. 3. Stochastic squaring circuit with multi-input AND element

Przy realizacji jednostkowej funkcji skokowej Heavisida'ego zastosowano układy stochastycznego podnoszenia do całkowitoliczbowej potęgi m (rys. 3).

Nachylenie charakterystyki jednostkowej funkcji skokowej $H(x)$, będzie tym większe im wyższa potęga m będzie wykorzystywana, oraz im większa będzie różnica między porównywanymi prawdopodobieństwami $p(A)$ i $p(B)$.

4. Schemat funkcjonalny komparatora stochastycznego

Komparator stochastyczny zawiera trzy rejestry przesuwające z wyjściami prostymi i zanegowanymi: R1 i R2 – m bitowe, R3 – k bitowy; wielow wejściowe elementy logiczne AND 1 i 2, oraz dwa układy mnożąco – sumujące zbudowane na elementach NAND 3, 4, 5 i 6, 7, 8 (rys. 4).



Rys. 4. Schemat funkcjonalny komparatora stochastycznego
Fig. 4. Functional diagram of stochastic comparator

Na wejścia komparatora podawane są niezależne binarne ciągi losowe o rozkładzie zerojedynkowym z prawdopodobieństwem wystąpienia symbolu 1 odpowiednio $p(A)$ i $p(B)$. Na wejścia elementu AND o nr 1 podawane są sygnały z wyjść prostych rejestru R1, oraz sygnały z wyjść zanegowanych rejestru R2. Ponieważ ciągi A i B są również ciągami niezależnymi, to prawdopodobieństwo p_1 symbolu 1 na wyjściu elementu AND o numerze 1 wyniesie

$$p_1 = [p(A)]^m [1 - p(B)]^m = [p(A)(1 - p(B))]^m. \quad (3)$$

Analogicznie na wejście elementu AND o nr 2, podawane są sygnały z wyjść prostych rejestru R2, oraz sygnały z wyjść zanegowanych rejestru R1. Prawdopodobieństwo p_2 symbolu 1 na wyjściu elementu AND o numerze 2 wyniesie

$$p_2 = [p(B)]^m [1 - p(A)]^m = [p(B)(1 - p(A))]^m. \quad (4)$$

Dla zapewnienia niezależności zdarzeń w każdym z ciągów p_1 i p_2 , oraz w ciągu na wyjściu rejestru R3, długość rejestru przesuwającego R3 powinna być większa niż długości rejestrów R1 i R2 ($k > m$). Natomiast rozłączność zdarzeń, w układzie mnożąco – sumującym, zapewniamy wykorzystując proste i zanegowane wyjścia ostatniej, k -tej pozycji rejestru przesuwającego R3.

Prawdopodobieństwo p_3 wystąpienia symbolu 1 na k -tym wyjściu prostym rejestru R3 wynosi

$$p_3 = (1 - p_1)p_3 + p_2(1 - p_3). \quad (5)$$

Przekształcając wyrażenie (5) i podstawiając do niego wyrażenia (3) dla p_1 i (4) dla p_2 , otrzymujemy

$$p_3 = \frac{p_2}{p_1 + p_2} = \frac{[p(B)(1-p(A))]^m}{[p(A)(1-p(B))]^m + [p(B)(1-p(A))]^m}. \quad (6)$$

Z wyrażenia (6) wynika, że

$$\begin{aligned} p(A) > p(B) &\Rightarrow p_3 \xrightarrow{m \rightarrow \infty} 0 \\ p(A) = p(B) &\Rightarrow p_3 \xrightarrow{m \rightarrow \infty} 0,5 \\ p(A) < p(B) &\Rightarrow p_3 \xrightarrow{m \rightarrow \infty} 1 \end{aligned} \quad (7)$$

Wzór (7) odpowiada postaci symetryzowanej jednostkowej funkcji skokowej Heavisde'a, przy czym, ze względu na wykładniczą zależność p_3 od m , zbieżność p_3 do podanych granic jest bardzo duża. Zbieżność ta dodatkowo rośnie wraz ze wzrostem różnicy między porównywanymi prawdopodobieństwami $p(A)$ i $p(B)$.

Z uwzględnieniem wpływu układu mnożąco – sumującego, zrealizowanego na elementach NAND o numerach 6,7 i 8, opisywana wzorem (1), zależność realizowana na wyjściu komparatora stochastycznego przyjmie następującą postać

$$\begin{aligned} p(A) > p(B) &\Rightarrow \max\{p(A), p(B)\} \xrightarrow{m \rightarrow \infty} p(A) \\ p(A) = p(B) &\Rightarrow \max\{p(A), p(B)\} \xrightarrow{m \rightarrow \infty} \frac{p(A) + p(B)}{2} \\ p(A) < p(B) &\Rightarrow \max\{p(A), p(B)\} \xrightarrow{m \rightarrow \infty} p(B) \end{aligned} \quad (8)$$

Jeśli porównywane dane wejściowe są dostępne w postaci deterministycznej, albo są danymi losowymi niespełniającymi warunku niezależnych losowych ciągów binarnych o rozkładzie zerowyjedykowym, to konieczne jest przeprowadzenie randomizacji danych wejściowych. Proces randomizacji przeprowadzany jest analogicznie jak dla innych układów arytmetyki stochastycznej, to znaczy metodą niezależnego losowania z wykorzystaniem sprzętowych generatorów liczb pseudolosowych [4].

Przedstawiony komparator stochastyczny (rys. 4), został wyspecyfikowany w języku VHDL. Założono, że rejestry R1 i R2 mają długość 10 bitów, natomiast długość rejestru R3 przyjęto równą 12 bitów. Opracowany układ został zweryfikowany, a następnie zaimplementowany w układach FPGA serii Spartan 3. Prototyp układu został poddany testowaniu w trybie symulacji funkcjonalnej oraz czasowej, z częstotliwością taktowania 100 MHz. Potwierdzona została poprawność działania układu, przy czym jeśli różnica między porównywanymi prawdopodobieństwami wystąpienia symbolu 1 w binarnym ciągu losowym przekraczała 10%, w ciągu kilkunastu taktów zegarowych CLK, następowała realizacja skokowej funkcji Heavisde'a, bowiem ciąg binarny p_3 przyjmował stabilnie wartość 0 albo 1. Im bliższe sobie były wartości porównywanych prawdopodobieństw, tym dłużej należało prowadzić losowanie, natomiast przy $p(A) = p(B)$, dokładność wyznaczania wyjściowego losowego ciągu binarnego, była proporcjonalna do kwadratu czasu losowania i porównywalna z dokładnością działania sumatorów i multiplikatorów stochastycznych.

W opracowanym układzie komparatora stochastycznego wykorzystano zarówno bloki potęgujące jak i bloki mnożąco – sumujące oraz mnożąco – odejmujące. Jednak ze względu na zachowanie zasady przetwarzania tylko ciągów binarnych, czas wykonania operacji we wszystkich tych blokach zależy jedynie od czasów propagacji sygnału w elementach logicznych, bowiem nie ma w nich przetwarzania słów wielobitowych.

Dlatego też, przy implementacji komparatora stochastycznego w układach FPGA, możliwe było uzyskanie częstotliwości taktowania rzędu 100 MHz, natomiast wynik porównania binarnych ciągów losowych uzyskiwano, po derandomizacji, w najgorszym

przypadku – przy $p(A) = p(B)$ – z częstotliwością rzędu dziesiątek kHz.

5. Wnioski

Zastosowanie, do realizacji jednostkowej funkcji skokowej, układów potęgujących pozwala na uzyskanie prawie idealnej charakterystyki przekaźnikowej przełączania komparatora stochastycznego. Jest to szczególnie widoczne w przypadku porównywania binarnych ciągów losowych, dla których występuje znaczna różnica między prawdopodobieństwami wystąpienia symbolu 1.

Równocześnie, implementacja komparatora stochastycznego w układach FPGA, pozwala na uzyskanie częstotliwości działania rzędu 100 MHz. W przypadku konieczności randomizacji danych wejściowych, częstotliwość działania komparatora stochastycznego determinowana jest częstotliwością pracy zastosowanego sprzętowego generatora liczb losowych lub pseudolosowych.

Należy zauważyć, że opracowany komparator stochastyczny, podobnie jak i inne przetworniki stochastyczne, jest odporny na przekłamanie i błędy przemijające, a więc może być zastosowany jako układy fault tolerant w krytycznych systemach sterowania, w tym w systemach sterowania ruchem w transporcie.

6. Literatura

- [1] von Neumann J.: Probabilistic logic and the synthesis of reliable organisms from unreliable components, in automata studies. Princeton University Press, Princeton, New York, 1956, pp. 43 – 98.
- [2] Gaines B.R.: Stochastic computing systems. Advances in Information Systems Science, New York, 1969, pp. 37 – 172.
- [3] Fiodorov R.F., Jakovlev V.V., Dobris G.V.: Stochasticizieskie priebrazovatieli informacii. Maszinstrojenije, Leningrad, 1978.
- [4] Kawalec P.: Badanie stochastycznych przetworników informacji i ich implementacja w programowalne struktury logiczne FPGA. Sprawozdanie z grantu JM Rektora PW, Wydział Transportu PW, Warszawa, 2001.
- [5] Mansinghka V., Jonas E., Tenenbaum J.: Stochastic digital circuits for probabilistic interference. Report MIT CSAIL-TR-2008-069, Cambridge, 2008.
- [6] US Patent 5412587: Pseudorandom stochastic data processing. US Patent Issued on May 2, 1995.
- [7] Brown B.D., Card H.C. Stochastic neural computation I: Computational elements. IEEE Transactions on computers, vol. 50, No.9, 2001, pp. 891-905.
- [8] Zhang D., Li H., Foo S.Y.: A simplified FPGA implementation of neural network algorithms integrated with stochastic theory for power electronics applications. IEEE-IECON, 2005, pp.1018 – 1023.
- [9] Dąbrowa Bajon M.: Podstawy sterowania ruchem kolejowym. Funkcje, wymagania, zarys techniki. wyd. 2 popr., Oficyna Wydawnicza Politechniki Warszawskiej, Warszawa, 2007.
- [10] Kawalec P., Firląg K.: Reliability analysis of specialized traffic control devices. Archives of Transport, Quarterly, Polish Academy of Sciences, volume 19, iss. 1–2, Warsaw 2007, p. 75 – 82.
- [11] Sapożnikov V.V. (red.): Metody postrojenija bezopasnych mikroelektronnych sistem żelieznodorożnoj avtomatiki. Transport, Moskwa, 1995.
- [12] Bubnicki Z.: Teoria i algorytmy sterowania. PWN, Warszawa, 2005.
- [13] Bobrowski D.: Probabilistyka w zastosowaniach technicznych. WNT, Warszawa, 1986.
- [14] Zemanian A.H.: Teoria dystrybucji i analiza transform. PWN, Warszawa, 1969.