

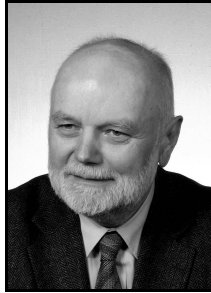
Andrzej HŁAWICZKA, Krzysztof GUCWA, Tomasz GARBOLINO
POLITECHNIKA ŚLĄSKA W GLIWICACH, INSTYTUT ELEKTRONIKI

Zastosowanie liniowych rejestrów pierścieniowych do testowania połączeń w układach FPGA

Dr hab. inż. Andrzej HŁAWICZKA

Ukończył studia na Wydziale Elektrycznym Politechniki Śląskiej. Pracę doktorską obronił w 1968, habilitacyjną w 1998 r. Pracuje w Politechnice Śląskiej w Instytucie Elektroniki od prawie 30 lat. Poprzednio pracował 14 lat w różnych instytucjach badawczo naukowych i projektowych. W zakresie pracy naukowej zajmuje się konsekwentnie rozwojem nowoczesnych metod diagnostyki i testowania złożonych układów i systemów cyfrowych, w szczególności integrowanych na jednej strukturze krzemowej.

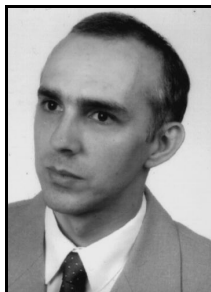
e-mail: andrzej.hlawiczka@polsl.pl



Dr inż. Krzysztof GUCWA

Ukończył studia na Wydziale Automatyki, Elektroniki i Informatyki w 1991 roku. Na tymże wydziale obronił pracę doktorską w 2001 roku. Obecnie jest adiunktem w Instytucie Elektroniki Politechniki Śląskiej. Jego zainteresowania naukowe koncentrują wokół projektowania i testowania układów cyfrowych.

e-mail: krzysztof.gucwa@polsl.pl



Dr inż. Tomasz GARBOLINO

Ukończył studia na Wydziale Automatyki, Elektroniki i Informatyki Politechniki Śląskiej w Gliwicach w 1993 roku. Tam też w 2002 roku obronił pracę doktorską. Obecnie zatrudniony jest jako adiunkt w Instytucie Elektroniki Politechniki Śląskiej. Jego główne zainteresowania naukowe dotyczą zagadnień związanych z testowaniem oraz projektowaniem układów i systemów cyfrowych. Jest współautorem około 40-stu prac z tej dziedziny.

e-mail: tomasz.garbolino@polsl.pl



is repeated until all FPGA interconnections belonging to the target application are tested. Efficacy of the proposed approach to testing of FPGA interconnects is supported by experimental results.

Keywords: ring linear feedback shift register, interconnect testing, fault localization, fault identification, signature, fault dictionary, field-programmable gate array (FPGA)

1. Wprowadzenie

Ze względu na szybko rosnącą złożoność układów FPGA coraz częściej zamiast pełnego testowania układu na etapie produkcji stosuje się techniki wbudowanego testowania (ang. Built In Self Test - BIST) dedykowane konkretnej aplikacji (ang. application-dependent BIST). W takim wypadku testowane są nie wszystkie zasoby układu FPGA ale tylko te wykorzystywane przez konkretną aplikację.

Około 80% zasobów w obecnie produkowanych układach FPGA stanowią połączenia [1]. Ich uszkodzenia mają inną specyfikę niż uszkodzenia obecnych w układach FPGA elementów LUT (ang. Look-Up Table) oraz przerzutników. W związku z tym konieczna jest implementacja w układzie FPGA jednej lub kilku konfiguracji wbudowanego testera BIST dedykowanego testowaniu połączeń wykorzystywanych przez daną aplikację.

Istnieją dwa różne typy testerów BIST: tzw. test-per-scan [2] oraz test-per-clock [3]. Tester wewnątrzukładowy BIST typu test-per-scan umożliwia analizę na bieżąco odpowiedzi testowanych połączeń na zadany test [4] i na tej podstawie pozwala na zidentyfikowanie statycznych uszkodzeń takich jak zwarcia, przerwy, sklejania s-z-0 oraz sklejania s-z-1 [5]. Niestety ta technika testowania wymaga długiego czasu. Tej wady nie posiada tester wewnątrzukładowy BIST typu test-per-clock, który pozwala znacząco skrócić czas testowania połączeń [6]. Ponadto charakteryzuje go potencjalna możliwość wykrywania takich uszkodzeń dynamicznych jak uszkodzenia opóźnieniowe, przesłuchy, zakłócenia związane z przełączeniami [7] itp. Jedną z realizacji takiego testera przedstawiono w [6]. Zaproponowane tam rozwiązanie nie pozwala niestety na identyfikację uszkodzeń a ponadto powoduje wzrost poboru prądu oraz zakłócenia na liniach zasilania.

Opisana po raz pierwszy w [8] technika testowania połączeń metodą BIST test-per-clock wykorzystywała rejestr LFSR (ang. Linear Feedback Shift Register) zbudowany na bazie komórek brzegowej ścieżki sterująco-obszernościowej do generacji testów pseudolosowych podawanych na wejścia sieci połączeń. Odpowiedzi na te pseudolosowe testy były podawane z wyjść testowanej sieci połączeń na wielow wejściowy rejestr MISR (ang. Multi-Input Signature Register), który również zbudowany był z komórek brzegowej ścieżki sterująco-obszernościowej. Sygnatura zawarta w rejestrze MISR po zakończeniu testowania

Streszczenie

Praca poświęcona jest dedykowanemu konkretnej aplikacji testowaniu połączeń w układach FPGA. Na czas testowania komórki układu FPGA wchodzące w skład realizowanej aplikacji są przekształcane w elementy układu RL-BIST. Do budowy takiego układu został wybrany pierścieniowy rejestr LFSR, którego n pętli sprzężeń zwrotnych jest w trakcie testowania liniami testowanej magistrali połączeń. Na podstawie sygnatury otrzymanej w układzie RL-BIST stwierdza się czy testowana magistrala połączeń jest sprawna a w oparciu o słownik diagnostyczny można także zlokalizować uszkodzone połączenia oraz zidentyfikować typ uszkodzenia. Skuteczność zaproponowanej metody testowania połączeń w FPGA została poparta obszernymi wynikami eksperymentalnymi.

Słowa kluczowe: liniowy rejestr pierścieniowy, testowanie połączeń, lokalizacja uszkodzeń, identyfikacja uszkodzeń, sygnatura, słownik diagnostyczny, układ FPGA.

On Application of Ring Linear Feedback Shift Registers to Testing of Interconnects in FPGAs

Abstract

Due to rapidly growing complexity of FPGA circuits application-dependent techniques of their testing become more and more often exploited for manufacturing test instead of application-independent methods. In such the case not all but only a part of FPGA resources (i.e. CLBs and interconnects) is a subject of testing – the part that is to be used by the concrete target application. The work is devoted to application-dependent testing of interconnects in FPGA circuits. For the test period the CLBs being the parts of the application are reconfigured so they implement elements (i.e. XOR gates and D-type flip-flops) of a RL-BIST structure based on a ring linear feedback shift register (R-LFSR). FPGA interconnections under test (IUTs) or at least their part are feedback lines of the R-LFSR. The R-LFSR is first initialised with a randomly chosen seed and than run for several clock cycles. Next the final state of the R-LFSR – a signature – is read by an ATE (Automatic Test Equipment). The value of the signature determines whether IUTs are fault free or faulty. Moreover, on the basis of the signature and with the use of a fault dictionary one may localise faulty interconnections in the FPGA and identify types of faults. The FPGA is afterwards reconfigured so the other set of IUTs becomes feedback lines of the R-LFSR. The above procedure

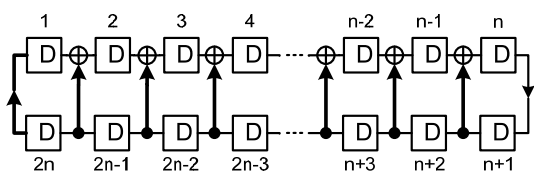
sygnalizowała obecność lub brak uszkodzenia w testowanej sieci połączeń.

W naszym artykule wykorzystujemy również analizę sygnową, ale łącznie z sygnowym słownikiem diagnostycznym, do detekcji, lokalizacji i identyfikacji uszkodzeń w połączeniach w układach FPGA programowanych zawartością pamięci SRAM. Ograniczyliśmy jednak naszą uwagę do uszkodzeń statycznych i opóźnieniowych oraz do analizy sygnowej magistral w postaci n równoległych linii, które się nie krzyżują i w których przepływ sygnału logicznego odbywa się w tym samym kierunku. Innymi słowy zakładamy, że na czas testowania jest możliwe takie skonfigurowanie układu FPGA aby badany zestaw połączeń - lub przynajmniej jego część - mógł być potraktowany jako magistrala. Do budowy takiego *test-per-clock* BIST wybraliśmy pierścieniowy rejestr LFSR (ang. Ring LFSR; R-LFSR) [9-11], którego n pętli sprzężenia zwrotnego jest w trakcie testowania liniami testowanej magistrali. Komórki pełniące rolę n nadajników oraz n odbiorników tych linii stanowią w trakcie testowania $2n$ bitowy rejestr przesuwający, który razem z n liniami testowanej magistrali tworzy rejestr R-LFSR. W trakcie testowania magistrali rejestr ten generuje kolejno $2n$ bitowe pseudolosowe wzory testowe, z których każda starsza n -bitowa połowa jest kolejnym testem dla n linii magistrali. Po m taktach zegarowych ostatni $2n$ bitowy wzór testowy jest odczytywany jako sygnatura. W celu uzyskania powtarzalności rezultatów testowania przed rozpoczęciem procesu testowania do rejestru R-LFSR wprowadzany jest wcześniej określony stan początkowy (ang. seed). Struktura takiego testera BIST nazywana jest w dalszej części pracy strukturą RL-BIST (ang. Ring LFSR-BIST). Wykorzystanie testera RL-BIST do detekcji, identyfikacji oraz lokalizacji statycznych i opóźnieniowych uszkodzeń linii magistrali jest przedmiotem niniejszej pracy.

Następne rozdziały prezentowanej pracy związane są z następującymi zagadnieniami. Rozdział 2 omawia właściwości rejestrów R-LFSR. W rozdziale tym zaproponowano także procedurę testowania połączeń w układzie FPGA z wykorzystaniem testera RL-BIST. Praktyczne eksperymenty detekcji, identyfikacji i lokalizacji uszkodzeń na magistralach 8-io, 12-to, 16-to, 24-ro i 32-bitowej przy użyciu RL-BIST przedstawiono w rozdziale 3. Końcowe wnioski przedstawiono w rozdziale 4.

2. Tester wewnątrzukładowy RL-BIST

Załóżmy, że za pomocą rejestru R-LFSR testowana będzie magistrala złożona z n linii. Schemat rejestru R-LFSR, którego pętle sprzężeń zwrotnych tworzą tę magistralę przedstawiony jest na rys. 1. Testowane połączenia zaznaczono na schemacie pogrubioną linią.



Rys. 1. Struktura 2n bitowego rejestru R-LFSR
Fig. 1. Structure of 2n bit R-LFSR

Zauważmy, że w powyższym schemacie źródłem sygnału zasilającego każdą z pętli sprzężenia zwrotnego jest wyjście innego przerzutnika, dzięki czemu współczynnik rozprzysku ma wartości $FO \leq 2$. Podobnie ze względu na ulokowanie każdej bramki XOR pomiędzy różnymi parami przerzutników D czas propagacji sygnału wynosi $NL = 1$.

Sprzężenie linowe rejestru R-LFSR z rys. 1 opisane jest wielomianem charakterystycznym:

$$p(x) = 1 + x^2(1+x)^{2(n-1)} = \sum_{i=0}^n \oplus x^{2i} \quad (1)$$

Niezerowe współczynniki wielomianu $p(x)$ związane są z n liniami testowanej magistrali.

Procedura testowania połączeń w układzie FPGA z wykorzystaniem testera RL-BIST przebiega następująco. Układ FPGA jest rekonfigurowany tak aby część jego zasobów realizowała funkcję $2n$ -bitowego rejestru R-LFSR. Ważne przy tym jest aby n linii sprzężeń zwrotnych tego rejestru tworzyło magistralę złożoną z połączeń, które następnie zostaną wykorzystane w docelowej aplikacji. Ponadto w trakcie operacji konfigurowania układu FPGA do przerzutników D rejestru R-LFSR zostaje wpisany stan początkowy. Następnie rejestr R-LFSR generuje sekwencję $2n$ bitowych wektorów pseudolosowych. Najbardziej znaczące n bitów każdego z tych wektorów stanowi kolejny test dla n linii magistrali. Po m taktach zegarowych ostatni $2n$ bitowy wektor (stan rejestru) jest odczytywany jako końcowa sygnatura. Wykorzystuje się tu operację „Readback” dostępną w obecnie produkowanych układach FPGA programowanych zawartością pamięci SRAM. Kolejnym krokiem jest implementacja w układzie FPGA nowej konfiguracji rejestru R-LFSR, którego linie sprzężeń zwrotnych będą stanowiły jeszcze nie przetestowane połączenia docelowej aplikacji. Powyższą procedurę powtarza się tak długo, aż wszystkie połączenia docelowej aplikacji zostaną przetestowane.

Na podstawie zestawu sygnatur odczytanych w trakcie wyżej opisanej procedury testowania oraz korzystając ze słownika diagnostycznego – zawierającego zbiór sygnatur i odpowiadających im uszkodzeń - dokonuje się detekcji, lokalizacji oraz identyfikacji uszkodzeń w połączeniach w układzie FPGA. Zagadnienia te bardziej szczegółowo zostały omówione w następnym rozdziale.

3. Praktyczna identyfikacja i lokalizacja uszkodzeń w n-bitowych magistralach

Rezultaty symulacji przeprowadzonych dla 8-io, 12-to, 16-to, 24-ro i 32-bitowych jednokierunkowych magistral przedstawiono w tym rozdziale. Do praktycznego sprawdzenia skuteczności rejestru R-LFSR o niepierwszym wielomianie charakterystycznym do identyfikacji i lokalizacji uszkodzeń na ww. magistralach użyto metody nazywanej identyfikacją automatu. Założono, że sprawny rejestr R-LFSR może być reprezentowany przez tablicę przejść lub graf M_0 a każde fizyczne uszkodzenie f przekształca M_0 w jakąś inną tablicę lub graf $M_f \neq M_0$. Przy detekcji uszkodzeń problemem jest znalezienie w grafie M_0 , dla losowo wybranego stanu początkowego (seed) V_0 , takiej długości m sekwencji stanów, w której końcowy stan (signature) $V_{m,0}$ różniłby się od każdego stanu $V_{m,f}$ związanego z uszkodzoną magistralą. Tak więc w efekcie otrzymuje się dwie następujące sekwencje stanów: $W_0 = V_0, V_{1,0}, V_{2,0}, \dots, V_{i,0}, V_{i+1,0}, \dots, V_{m-1,0}, V_{m,0}$ oraz $W_f = V_0, V_{1,f}, V_{2,f}, \dots, V_{i,f}, V_{i+1,f}, \dots, V_{m-1,f}, V_{m,f}$ związanych odpowiednio z M_0 i M_f . Po m taktach od momentu wprowadzenia stanu początkowego V_0 odczytywana jest z rejestru pierścieniowego LFSR jego końcowa sygnatura zarówno dla sprawnej magistrali połączeń jak również dla każdego zamodelowanego na niej uszkodzenia f . Sygnatura $V_{m,0}$ związana ze sprawną magistralą jest wówczas porównywana z każdą z sygnatur $V_{m,f}$ związanych z uszkodzeniami f . Jeśli $V_{m,0} \neq V_{m,f}$ dla każdego uszkodzenia f wówczas $M_0 \neq M_f$. Przy lokalizacji i identyfikacji zamodelowanych uszkodzeń porównuje się sygnatury dla różnych uszkodzeń f oraz g , gdzie $f \neq g$. Jeżeli sygnatura $V_{m,f} \neq V_{m,g}$ dla każdego uszkodzenia $f \neq g$ wówczas w oparciu o zbiór wszystkich sygnatur $\{V_{m,f}\}$, zwanym dalej słownikiem diagnostycznym, istnieje możliwość zidentyfikowania oraz zlokalizowania każdego zamodelowanego uszkodzenia f .

Umówmy się, że liczba A oznacza liczbę nie wykrytych uszkodzeń f . Możliwość uzyskania wartości $A = 0$ oznaczać więc będzie, że testowanie magistrali przy użyciu zmodyfikowanego rejestru R-LFSR gwarantuje wykrycie wszystkich zamodelowanych uszkodzeń f . Wartość $A \neq 0$ jest liczbą par sygnatur $\langle V_{m,0}, V_{m,f} \rangle$, spełniających równość $V_{m,0} = V_{m,f}$. Umówmy się także, że za pomocą liczby L oznaczana będzie liczba nierozróżnialnych uszkodzeń, co pozwoli określić właściwości diagnostyczne rejestru R-LFSR. Liczbę tę można uzyskać za pomocą porównywania sygnatur dla różnych uszkodzeń f oraz g . Każdy przypadek w którym $V_{m,f} = V_{m,g}$ dla $f \neq g$ powiększa o 1 liczbę L . Zatem uzyskanie $L = 0$ oznaczać będzie możliwość zlokalizowania i zidentyfikowania każdego z zamodelowanych uszkodzeń.

Na wspomnianych wcześniej magistralach modelowano w trakcie eksperymentu pojedyncze, podwójne i potrójne uszkodzenia typu sklejanie s-a-0 oraz s-a-1. Rozpatrzono także najbardziej prawdopodobne z praktycznego punktu widzenia zwarcia (mostki) sąsiednich 2 linii i sąsiednich 3 linii zarówno typu OR jak również typu AND. Wzięto również pod uwagę uszkodzenia opóźnieniowe. W efekcie zasymulowano 694 różnych uszkodzeń na magistrali 8-io bitowej, 2388 na magistrali 12-to bitowej, 5746 na magistrali 16-to bitowej, 19758 na magistrali 24-ro bitowej oraz 47338 na magistrali 32-bitowej.

Symulację uszkodzeń dla ww. magistral przeprowadzono dla 50 wylosowanych stanów początkowych (seedów). Wartość każdego bitu w losowo wybranym stanie początkowym jest wylosowana z 50% prawdopodobieństwem. W przypadku magistral 8-io, 12-to, 16-to bitowej oraz 24-ro i 32-bitowej symulację przeprowadzono odpowiednio dla $1 \leq m \leq 64$ oraz $1 \leq m \leq 90$.

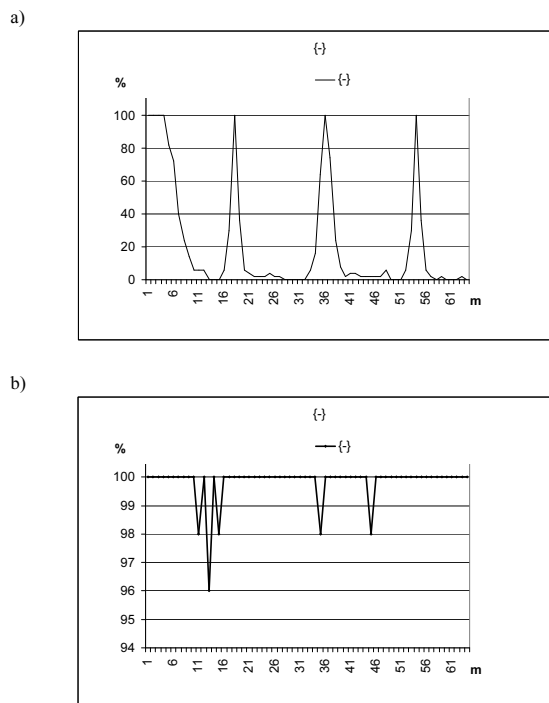
Celem tych wszystkich symulacji było określenie dla każdego z tych n bitowych rejestrów R-LFSR takiej wartości m powyżej której, dla każdego wylosowanego stanu początkowego, wszystkie modelowane uszkodzenia będą wykrywane ($A = 0$) oraz lokalizowane i zidentyfikowane ($L = 0$).

Umówmy się, że symbolami SN_A (Seeds Number) oraz SN_L oznaczać będziemy procentową liczbę losowo wybranych stanów początkowych (seedów), które dla danego m nie gwarantowały wykrycia ($A \neq 0$) wszystkich zamodelowanych uszkodzeń oraz odpowiednio nie gwarantowały ich zlokalizowania i zidentyfikowania ($L \neq 0$). Zatem $SN_A = 100\%$ oznaczać będzie, że ani jeden stan początkowy nie zapewnił wykrycia wszystkich uszkodzeń ($A = 0$). Podobnie $SN_L = 100\%$ oznaczać będzie, że nie ma stanu początkowego gwarantującego pełną rozróżnialność wszystkich uszkodzeń między sobą. Natomiast $SN_A = 0\%$ oraz $SN_L = 0\%$ wskazywać będzie na wykrywanie, lokalizowanie oraz zidentyfikowanie wszystkich zamodelowanych uszkodzeń niezależnie od wylosowanego stanu początkowego.

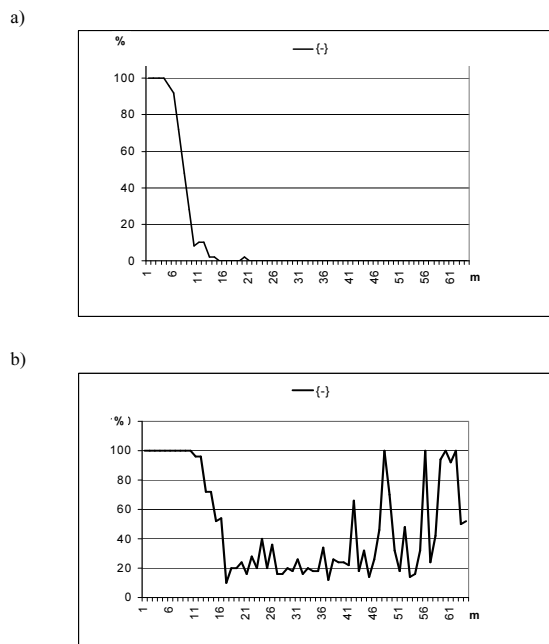
Właściwości detekcyjne ilustrować będą funkcje $SN_A(m)$, natomiast właściwości diagnostyczne i identyfikacyjne odzwierciedlać będą funkcje $SN_L(m)$. Krzywe przedstawiające obie te funkcje dla 8-io bitowej magistrali przedstawiono odpowiednio na rys. 2a i rys. 2b, dla 12-to bitowej magistrali odpowiednio na rys. 3a i rys. 3b, natomiast dla 16-to bitowej magistrali odpowiednio na rys. 4a oraz rys. 4b. Ze względu na brak miejsca, funkcje $SN_A(m)$ i $SN_L(m)$ nie przedstawiono dla 24- i 32-bitowych magistral.

Dalej podane komentarze oraz obserwacja 1 wskazują, że wykresy tych funkcji nie wniosłyby już niczego nowego do końcowych wniosków zawartych w tej pracy.

W oparciu o wykresy $SN_A(m)$ przedstawione na rys. 3a można stwierdzić, że dla magistrali 12-to bitowej dla $m \geq 12 = n$ wartość SN_A jest prawie stale równa 0%, co wskazuje, że wykrywane są wszystkie zamodelowane 2388 uszkodzenia niezależnie od wylosowanego stanu początkowego. Podobnie wykresy $SN_A(m)$ przedstawione na rys. 4a, wskazują, że dla magistrali 16-to bitowej dla $m \geq 16 = n$ wartość SN_A jest także prawie stale równa 0%, co również potwierdza, że wszystkie zamodelowane 5746 uszkodzenia wykrywane są niezależnie od wylosowanego stanu początkowego.



Rys. 2. Wykres funkcji a) $SN_A(m)$ b) $SN_L(m)$ dla 16-to bitowego rejestru R-LFSR
Fig. 2. A plot of the function a) $SN_A(m)$ b) $SN_L(m)$ for 16-bit R-LFSR



Rys. 3. Wykres funkcji a) $SN_A(m)$ b) $SN_L(m)$ dla 24-to bitowego rejestru R-LFSR
Fig. 3. A plot of the function a) $SN_A(m)$ b) $SN_L(m)$ for 24-bit R-LFSR

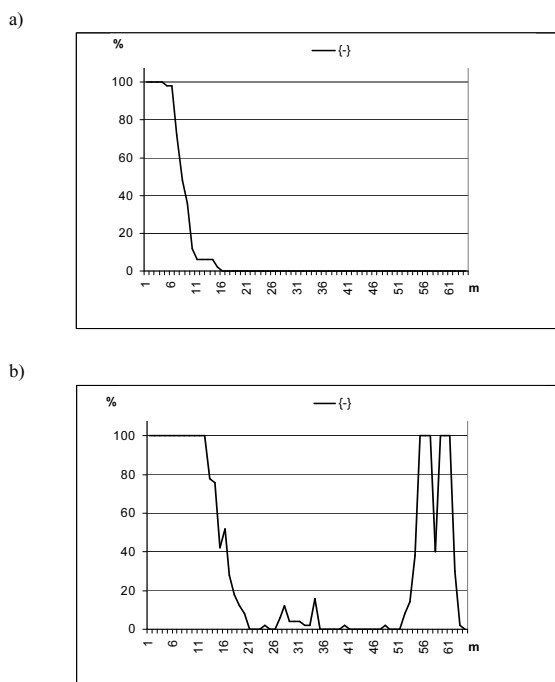
Niestety dla magistrali 8-bitowej nie uzyskano podobnych wyników. Na rysunku 2a wyraźnie widać, że przy niektórych wartościach $m > 8$ w ogóle jest niemożliwe znalezienie stanu początkowego, który gwarantowałby wykrycie wszystkich zamodelowanych uszkodzeń, co sygnalizuje wartość $SN_A = 100\%$. Tak więc dla magistral n -bitowych o małej liczbie n wykrywalność wszystkich zamodelowanych uszkodzeń silnie zależy od liczby m taktów zegarowych, po których odczytywana jest sygnatura.

Należy przypuszczać, że jest to spowodowane zbyt małą liczbą $2n$ komórek w rejestrze R-LFSR. Prowadzi to do następującej obserwacji:

Obserwacja 1

Wszystkie zamodelowane uszkodzenia są wykrywane przez $2n$ bitowy RL-BIST z niepierwszym wielomianem charakterystycznym $p(x)$ dla $m \geq n$ niezależnie od rodzaju wylosowanego stanu początkowego, jeżeli liczba $2n$ komórek w rejestrze R-LFSR jest odpowiednio duża i przekracza wartość $2n = 24$.

Wykresy $SN_L(m)$ przedstawione na rys. 2b, rys. 3b, rys 4b potwierdzają również zależność pełnej rozróżnialności wszystkich zamodelowanych uszkodzeń od liczby komórek $2n$ w rejestrze R-LFSR. Wykresy te mają tendencję do ustabilizowania się na poziomie $SN_L = 0\%$ wraz ze wzrostem liczby n linii testowanych przy użyciu RL-BIST magistral. Niefortunnie to zbieganie wykresów $SN_L(m)$ do poziomu o wartości 0% zaczyna się dopiero wyraźnie zarysowywać przy $m \geq 16 = n$ dla 32 bitowego RL-BIST (rys.4b). Wyniki eksperymentalne dla magistral 24. i 32. bitowych potwierdzają tę tendencję. Pozwala to stwierdzić, że dla magistral o dużej szerokości – tj. gdy $n \gg 16$ – bardzo wysoka skuteczność lokalizacji i identyfikacji zamodelowanych uszkodzeń będzie dla $m \geq n$ niezależna od rodzaju wylosowanego stanu początkowego rejestru R-LFSR.



Rys. 4. Wykres funkcji a) $SN_A(m)$ b) $SN_L(m)$ dla 32-to bitowego rejestru R-LFSR
Fig. 4. A plot of the function a) $SN_A(m)$ b) $SN_L(m)$ for 32-bit R-LFSR

4. Podsumowanie

W niniejszej pracy przedstawiono nowatorską koncepcję zastosowania testera RL-BIST do testowania połączeń w układach FPGA. Testowaniu poddaje się wyłącznie te połączenia, które będą wykorzystywane przez docelową aplikację, która ma zostać zrealizowana w układzie FPGA. Struktura testera RL-BIST oparta o $2n$ bitowy rejestr R-LFSR zapewnia w trakcie jednej sesji przetestowanie z maksymalną częstotliwością pracy zestawu n połączeń układu FPGA. Ze względu na konieczność ograniczenia rozmiarów słownika diagnostycznego liczba n linii testowanych w trakcie jednej sesji może wynosić maksymalnie kilkadziesiąt. Z tego powodu w celu przetestowania większej liczby połączeń niezbędne jest w praktyce przeprowadzenie kilku sesji testowania. W każdej z takich sesji wykorzystywana jest inna konfiguracja układu FPGA realizująca inną strukturę testera RL-BIST zapewniającą przetestowanie innego zestawu n połączeń.

Przeprowadzone eksperymenty testowania udowodniły, że RL-BIST jest praktycznym i użytecznym narzędziem do wykrywania, lokalizowania oraz identyfikowania statycznych i dynamicznych uszkodzeń na n -bitowych magistralach połączeń w układach FPGA. Zastosowany w nim $2n$ bitowy rejestr R-LFSR pozwala na 100% skuteczność detekcji i diagnostyki niezależnie od podanego losowego stanu początkowego, jeżeli tylko $m \geq n$ i jednocześnie liczba komórek $2n$ rejestru jest odpowiednio duża. Czasochłonność przygotowania słownika diagnostycznego dla pojedynczego stanu początkowego i wybranego $m > n$ oraz liczby uszkodzeń rzędu 6-ciu tysięcy wynosi średnio mniej niż minutę, co potwierdza przydatność praktyczną metody.

RL-BIST jak już wspomniano wyżej umożliwia w trakcie jednej sesji testowania uzyskanie sygnatur o długości $2n$ gwarantującej wysoką rozdzielczość diagnostyczną. Jest to niemożliwe w klasycznej technice *test-per-clock* BIST, w której sygnatury zawierają po n bitów. Krótsza sygnatura zmniejsza rozdzielczość diagnostyczną. W związku z tym potrzebna jest wówczas analiza dwusygnaturowa umożliwiająca powiększenie sygnatury do wielkości $2n$. Wymaga to jednak dwóch sesji testowania i odczytywania dwóch różnych n bitowych sygnatur w kompaktorach MISR związanych z dwoma różnymi wielomianami charakterystycznymi.

Zdaniem autorów ze względu na możliwość testowania z pełną szybkością tester wewnętrzny RL-BIST powinien być również dobrym narzędziem do testowania innych uszkodzeń o charakterze dynamicznym występujących w układach FPGA takich jak np. rozwarcia (ang. open), zakłócenia (ang. switching noise) czy też przesłuchy (ang. cross talk) [7], aczkolwiek w celu pobudzenia tych ostatnich uszkodzeń trzeba będzie wydłużyć sekwencje generowane przez rejestr pierścieniowy. Powyższe zagadnienie jest tematem obecnych prac autorów.

W przyszłości autorzy zamierzają zająć się także problemem redukcji liczby różnych konfiguracji układu FPGA koniecznych do przetestowania zadanego zestawu połączeń wykorzystywanego przez docelową aplikację.

5. Literatura

- [1] M. B. Tahoori, S. Mitra: "Application-Independent testing of FPGA Interconnects", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 24, No. 11, November 2005, pp. 1774-1783
- [2] C. Su, W. Tseng, "Configuration Free SoC Interconnect BIST Methodology", Proc. of Int. Test Conf., 2001, pp.1033-1038.
- [3] R. Pendurkar, A. Chatterjee, Y. Zorian, "Switching Activity Generation with Automated BIST Synthesis for Performance Testing of Interconnects", IEEE Trans. on CAD/ICS, vol.20, No 9, 2001.
- [4] Ch. Chang, Ch. Su, "An Universal BIST Methodology for Interconnects", Proc. of ISCAS'93, 1993, pp. 1615-1618.
- [5] W.-T. Cheng, J. L. Lewandowski, E. Wu, "Diagnosis for Wiring Interconnects", Proc. of Int. Test Conf., 1990, pp. 565-571.
- [6] Artur Jutman, "At-Speed On - Chip Diagnosis of Board-Level Interconnect Faults" Proc. of ETS'04, 2004, pp. 2-7
- [7] A. Attarha, M. Nourani, "Testing Interconnects for Noise and Skew in Gigahertz SoC", Proc. of Int. Test Conf., 2001, pp. 305-314.
- [8] J. Koeter, S. Sparks, "Interconnect Testing Using BIST Embedded in IEEE 1149.1 Designs", Proc. of Int. ASIC Conf., September, 1991, pp. P11-2.1- P11-2.4.
- [9] A. Hławiczka: Rejestry liniowe - analiza, synteza i zastosowania w testowaniu układów cyfrowych. Skrypt Politechniki Śląskiej nr 1370, seria Elektronika z. 9, 1997
- [10] T. Garbolino, A. Hławiczka: "A New LFSR with D and T Flip Flops as an Effective Test Pattern Generator for VLSI Circuits", Proc. of EDCC 3, Prague, Czech Republic, September 15-17, 1999, Lecture Notes in Computer Science, Springer Verlag Press, pp. 321-338.
- [11] G. Mrugalski, J. Rajski, J. Tyszer: "High speed ring generators and compactors of test data", Proc. of the 21st IEEE VLSI Test Symposium (VTS'03) pp. 57-62.