

**Ryszard SZPLET, Maciej GOŁASZEWSKI**  
WOJSKOWA AKADEMIA TECHNICZNA, INSTYTUT TELEKOMUNIKACJI

## Scalony konwerter czas-liczba z użyciem metody licznikowej i zegara wielofazowego

Dr inż. Ryszard SZPLET

Ukończył studia na Wydziale Elektroniki Wojskowej Akademii Technicznej. W 1997 r. obronił pracę doktorską. Odbył staż naukowy na Uniwersytecie w Oulu (Finlandia). Jest adiunktem w Instytucie Telekomunikacji WAT. Jego zainteresowania naukowe dotyczą precyzyjnej metrologii czasu i projektowania układów cyfrowych z użyciem układów programowalnych i specjalizowanych.



e-mail: rszplet@wel.wat.edu.pl

Maciej GOŁASZEWSKI

Jest studentem V roku Wydziału Elektroniki Wojskowej Akademii Technicznej, gdzie studiuje na specjalności Systemy Cyfrowe w trybie indywidualnym. Jest również zastępcą kierownika Koła Naukowego Studentów Wydziału Elektroniki WAT. Jego zainteresowania to zastosowanie wbudowanych systemów mikroprocesorowych w układach FPGA.



e-mail: golaszewski.maciej@gmail.com

### Streszczenie

W artykule przedstawione są projekt i wyniki badań konwertera czas-liczba o rozdzielczości 78 ps i niepewności pomiarowej poniżej 100 ps. Pomiar czasu realizowany jest z użyciem 32 liczników zliczających okresy szesnastofazowego zegara o częstotliwości 400 MHz. Ponieważ aktywne są obydwa zbocza zegara jest on równoważny pojedynczemu sygnałowi zegarowemu o częstotliwości 12.8 GHz, co umożliwia osiągnięcie średniej rozdzielczości ok. 78 ps przy interpolacji jednostopniowej. Budowa opisanego konwertera czas-liczba pozwala na łatwe rozszerzenie zakresu pomiarowego, wynoszącego 164  $\mu$ s, poprzez zwiększanie pojemności użytych liczników dwójkowych. Sterowanie procesem pomiarowym oraz wyznaczanie i przetwarzanie wyników pomiarów odbywa się z użyciem dwóch procesorów programowych NIOS II zintegrowanych z konwerterem w układzie programowalnym Stratix II firmy *Altera*.

**Słowa kluczowe:** precyzyjna metrologia czasu, konwerter czas-liczba, metoda licznikowa, zegar wielofazowy, układy FPGA.

### Integrated time-to-digital converter with the use of the counter method and a multiphase clock

#### Abstract

This paper describes design and test results of the time-to-digital converter with 78 ps resolution and accuracy below 100 ps. The time interval measurement is performed with the use of 32 binary counters counting periods of 16-phase clock of the 400 MHz frequency. Since both edges of the clock are active it is an equivalent of a single clock signal of 12.8 GHz frequency, which provides a mean resolution of about 78 ps in a single interpolation stage. The structure of the converter allows to extend its measurement range (164  $\mu$ s) easily by increasing the capacity of used binary counters. The measurement as well as calculation and processing of obtained results are controlled by two soft-core processors NIOS II implemented together with the converter in a single programmable device from family Stratix II (*Altera*).

**Keywords:** precise time metrology, time-to-digital converter, counter method, multiphase clock, FPGA devices.

## 1. Wstęp

Precyzyjne konwertery czas-liczba są obecnie realizowane głównie jako układy scalone. Z tego względu wśród stosowanych metod konwersji dominują metody cyfrowe [1]. Najczęściej wykorzystywana jest metoda bezpośredniej konwersji czasowo-cyfrowej z użyciem dyskretnej linii kodującej. Na obecnym etapie rozwoju technologii mikroelektronicznych umożliwia ona uzyskiwanie wysokich rozdzielczości, na poziomie około 10 ps [2], i krótkich czasów konwersji rzędu dziesiątek ns. W metodzie tej na dokładność konwersji silnie wpływa nieliniowość charakterystyki przetwarzania konwertera. Błąd metody wynikający z nieliniowości jest na ogół proporcjonalny do długości linii kodującej.

Zatem dążąc do zmniejszenia tego błędu skraca się linie i wprowadza bardziej zaawansowane metody konwersji dwustopniowej [3, 4]. Jednakże są to metody złożone układowo, stwarzające wiele problemów projektowych i implementacyjnych.

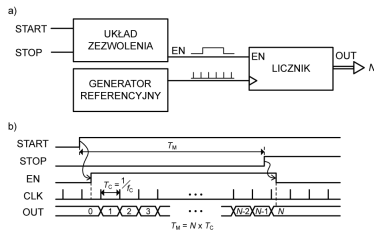
Innymi, cyfrowymi metodami konwersji, które przy względnie prostej realizacji układowej dają możliwość uzyskania teoretycznie dowolnie małych wartości rozdzielczości są metoda noniusza [5, 6] i metoda skracania impulsu [7, 8]. Jednak metody te w praktyce stosowane są sporadycznie, gdyż osiągnięcie wysokiej dokładności konwersji, porównywalnej z rozdzielczością, jest w nich bardzo trudne.

Najprostszą metodą konwersji czasowo-cyfrowej jest metoda licznikowa. Głównymi zaletami metody są prosta realizacja układowa i krótki czas przetwarzania w celu uzyskania wyniku pomiaru. Jednak ograniczona rozdzielczość oraz względnie duża niepewność pomiarowa powodują, że metoda nie jest obecnie stosowana samodzielnie a jedynie w połączeniu w innymi metodami konwersji w licznikach czasu z interpolacją dualną [1 – 4]. Sposobem na podwyższenie rozdzielczości i ograniczenie niepewności pomiarowej jest zwiększenie częstotliwości sygnału zegarowego lub/i zastosowanie zegara wielofazowego. Sposoby te zostały użyte w konwerterach zrealizowanych na potrzeby eksperymentów fizycznych [9] i medycznych [10]. Zastosowane w konwerterach czterofazowe sygnały zegarowe o częstotliwościach 250 MHz i 192 MHz pozwoliły uzyskać względnie niskie rozdzielczości wynoszące odpowiednio 1 ns i 1.3 ns.

Najnowsze programowalne matryce bramkowe FPGA (*Field Programmable Gate Array*) zawierają m.in. wbudowane bloki funkcjonalne do kontroli i przetwarzania sygnału zegarowego. Mogą one realizować funkcje syntezy częstotliwości, cyfrowego przesuwnika fazy i układu DLL. Ponieważ w układach FPGA znajduje się zazwyczaj kilka takich bloków można z ich użyciem wytwarzać wielofazowe sygnały zegarowe o liczbie faz większej od czterech i częstotliwości do ok. 500 MHz. Celem badań było zatem opracowanie konwertera wykorzystującego metodę licznikową, zrealizowanego w układzie FPGA i charakteryzującego się rozdzielczością i niepewnością pomiarową poniżej 100 ps.

## 2. Pomiar odcinka czasu metodą licznikową

Uproszczony schemat układu konwertera wykorzystującego metodę licznikową jest pokazany na rys. 1. Impulsy wejściowe START i STOP, oznaczające odpowiednio początek i koniec mierzonego odcinka czasu  $T_M$ , wykorzystywane są w układzie zezwolenia do wytworzenia impulsu o czasie trwania równym czasowi mierzonego odcinka. Impuls ten podawany jest na wejście zezwalające licznika dwójkowego, który w czasie trwania impulsu zlicza okresy sygnału z generatora referencyjnego. Wartość mierzonego odcinka czasu wyznaczana jest jako  $T_M = N \times T_C$ , gdzie  $T_C$  oznacza okres zegara referencyjnego i zarazem rozdzielczość konwertera. Natomiast  $N$  jest liczbą dziesiętną równoważną dwójkowej zawartości licznika. Zakres pomiarowy konwertera jest proporcjonalny do pojemności użytego licznika i odwrotnie proporcjonalny do częstotliwości sygnału zegarowego.



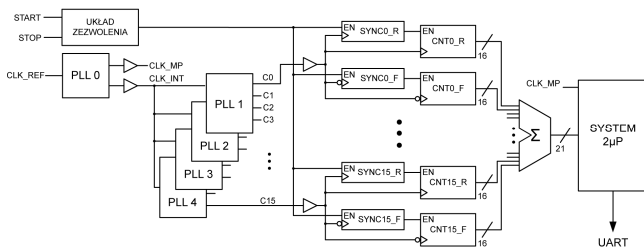
Rys. 1. Budowa konwertera czas-liczba wykorzystującego metodę licznikową (a)

Fig. 1. The time-to-digital converter based on the counter method (a) and related waveforms (b)

Błąd kwantyzacji w tej metodzie jest równy  $\pm T_C/2$ , a niepewność pomiarowa może osiągać wartość  $\pm T_C$ . Zatem główne parametry określające jakość metody (rozdzielczość i dokładność pomiaru) zależą od częstotliwości sygnału zegarowego i im ona jest wyższa tym są korzystniejsze. Współczesne układy programowalne FPGA pozwalają na stosowanie sygnału zegarowego o częstotliwości do ok. 500 MHz, więc rozdzielczość możliwa do osiągnięcia z użyciem tej metody wynosi co najwyżej 2 ns. Dalsze, wirtualne zwiększenie częstotliwości można uzyskać stosując zegar wielofazowy, którego częstotliwość  $f_{WF} = n \times f_C$  jest proporcjonalna do liczby faz  $n$ . Ponieważ wyższa częstotliwość sygnału zegarowego pozwala uzyskać wyższą rozdzielczość oraz dokładność konwertera, więc zwiększanie liczby faz wydaje się jak najbardziej wskazane. Na ogół maksymalna liczba faz jest limitowana przez własności układu scalonego, a w szczególności przez ograniczone możliwości wytwarzania zegara wielofazowego i jego właściwej dystrybucji.

### 3. Projekt konwertera czas-liczba

Schemat blokowy zaprojektowanego konwertera jest pokazany na rys. 2. Zasada działania konwertera opiera się na jednoczesnym wykorzystaniu 32 liczników (CNT0\_R – CNT15\_R i CNT0\_F – CNT15\_F), które w czasie trwania mierzonego odcinka czasu zliczają okresy zegara szesnastofazowego (C0 – C15). Liczba liczników jest dwukrotnie większa od liczby faz sygnału zegarowego, gdyż połowa z nich reaguje na zbocza narastające (R) sygnału zegarowego a druga połowa reaguje na zbocza opadające (F) tego sygnału. W ten sposób, przy dobraniu właściwych przesunięć fazowych pomiędzy kolejnymi sygnałami zegara i zapewnieniu symetryczności tych sygnałów, uzyskano podwojenie liczby aktywnych zboczy zegara szesnastofazowego. Po zakończeniu pomiaru suma zawartości liczników jest proporcjonalna do wartości mierzonego odcinka czasu. Współczynnikiem proporcjonalności jest rozdzielczość układu równa opóźnieniu pomiędzy kolejnymi fazami zegara.



Rys. 2. Uproszczony schemat blokowy opracowanego konwertera czas-liczba

Fig. 2. Simplified block diagram of the designed time-to-digital converter

Do implementacji konwertera czas-liczba wykorzystano układ Stratix II (EP2S60F672) firmy Altera, który ma wbudowane bloki wielofunkcyjne PLL (Phase Locked Loop) do przetwarzania sygnałów zegarowych. Umożliwiają one m.in. wytwarzanie sygnałów zegarowych o częstotliwościach od 1.5 MHz do 550 MHz i przesuwanie fazy tych sygnałów z minimalnym krokiem ok. 125 ps i dokładnością  $\pm 15$  ps.

Zastosowany w konwerterze zegar szesnastofazowy wytworzony został z użyciem pięciu bloków PLL. Pierwszy z nich (PLL 0)

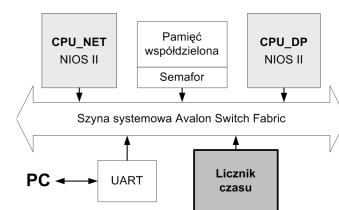
działający jako syntezer wytwarza dwa sygnały zegarowe: CLK\_MP o częstotliwości 100 MHz dla zintegrowanego z konwerterem systemu dwuprocesorowego oraz CLK\_INT o częstotliwości 400 MHz dla konwertera. Sygnałem odniesienia dla bloku PLL 0 jest zewnętrzny zegar referencyjny CLK\_REF o częstotliwości 50 MHz. Cztery pozostałe bloki PLL (PLL 1 – PLL 4) funkcjonują jako źródła sygnałów kwadraturowych i przesuwani fazy. Fazy sygnałów na pierwszych wyjściach kolejnych bloków PLL są przesunięte względem siebie o  $1/16\pi$ . Przy wykorzystaniu obydwu zboczy sygnału zegarowego, pozwala to na wytworzenie wirtualnego zegara trzydziestodwufazowego o ekwiwalentnej częstotliwości 12.8 GHz ( $32/f_{CLK\_INT}$ ). Średnie opóźnienie pomiędzy kolejnymi fazami zegara, będące rozdzielczością  $R$  konwertera, wynosi zatem 78.125 ps ( $1/32f_{CLK\_INT}$ ).

W konwerterze zastosowano dwójkowe liczniki asynchroniczne (szeregowe). Są to liczniki 16-bitowe, co oznacza, że dla czasu trwania zliczanych okresów równego 2.5 ns ( $1/f_{CLK\_INT}$ ) zapewniają zakres pomiarowy wynoszący około 164 μs. Może być on łatwo poszerzony poprzez zwiększenie pojemności liczników. W celu zmniejszenia prawdopodobieństwa wystąpienia stanów metastabilnych w licznikach, mogących znacznie zwiększyć błąd konwersji, sygnał z układu zezwolenia jest synchronizowany z kolejnymi fazami zegara w 32 synchronizatorach (SYNC0\_R – SYNC15\_F). Do synchronizacji użyte zostały dwubitowe rejestry przesuwające (synchronizatory podwójne), które są proste w budowie i zapewniają wysoką maksymalną częstotliwość pracy.

Całkowita zawartość liczników  $N_{TOT}$  jest wyznaczana z użyciem sumatora  $\Sigma$ , będącego blokiem IP (Intellectual Property core) firmy Altera. Ponieważ wartość wyniku pomiaru, wyznaczonego w systemie dwuprocesorowym (2μP), jako iloczyn sumarycznej liczby zliczeń  $N_{TOT}$  i średniej rozdzielczości  $R$  nie zależy od kolejności faz wytwarzanego zegara wielofazowego, więc w układzie nie zachodzi konieczności ustalania i kontrolowania tej kolejności. Jest to bardzo istotna zaleta użytej metody konwersji.

### 4. Dwuprocesorowy system sterowania konwerterem czas-liczba

Opracowany system mikroprocesorowy do sterowania procesem pomiarowym i przetwarzania wyników pomiarów składa się z dwóch procesorów programowych Nios II (Altera) w wersji standard (rys. 3).



Rys. 3. Uproszczony schemat blokowy systemu dwuprocesorowego sterującego

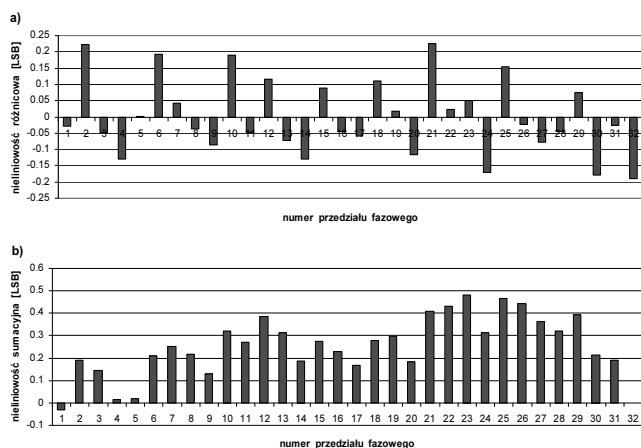
Fig. 3. Simplified block diagram of the dual processor system used for controlling measurements and processing of data

Zadaniem procesora CPU\_NET jest komunikowanie systemu poprzez interfejsy UART lub Ethernet z aplikacją sterującą uruchamianą na komputerze PC. Natomiast procesor CPU\_DP sprawuje kontrolę nad działaniem konwertera oraz zajmuje się obliczeniami statystycznymi realizowanymi podczas sesji pomiarowej. Do komunikacji pomiędzy procesorami wykorzystywana jest pamięć współdzielona o pojemności 4 kB zrealizowana w zasobach układu programowalnego. Komunikowanie się procesorów odbywa się poprzez ustawianie flag w ustalonych komórkach pamięci. Aby zapobiec jednoczesnemu dostępowi obydwu procesorów do pamięci zastosowano układ sprzętowego semafora skrajzonego z pamięcią współdzieloną. Do połączenia układów peryferyjnych procesorów, pamięci oraz układu licznika czasu wykorzystano szynę systemową Avalon Switch Fabric. W celu uproszczenia schematu systemu na rys. 3 pominięto pamięci programu i RAM procesorów, dodatkowe układy peryferyjne oraz moduł JTAG. W procesie projektowania układu konwertera

i systemu sterującego zastosowano mieszany sposób opisu z użyciem języka VHDL i opisu schematowego. Implementacja wyłącznie konwertera czas-liczba wymagała użycia 1.7 % zasobów logicznego układu Stratix II, natomiast realizacja konwertera wraz z dwuprocessorowym systemem sterowania zajęła 10.4 % zasobów układu programowalnego.

## 5. Wyniki badań eksperymentalnych

Testy konwertera mające na celu wyznaczenie wartości jego głównych parametrów przeprowadzone zostały w temperaturze otoczenia około 20°C i z użyciem nominalnych napięć zasilających. Do określenia nieliniowości różnicowej i sumacyjnej charakterystyki przetwarzania konwertera użyto statystycznego testu gęstości (*statistical code density test*) [1], który polega na pomiarze dużej liczby przypadkowych odcinków czasu o rozkładzie równomiernym w zakresie pomiarowym konwertera. Mając na uwadze periodyczność charakterystyki przetwarzania, związaną z okresem zastosowanego zegara wewnętrznego (400 MHz), osie odciętych prezentowanych charakterystyk nieliniowości ograniczono do wartości tego okresu (2.5 ns, rys. 4). Maksymalne wartości nieliniowości różnicowej i sumacyjnej wynoszą odpowiednio: 0.22 LSB, czyli 17.5 ps (rys. 4a) i 0.48 LSB, czyli 37.6 ps (rys. 4b).

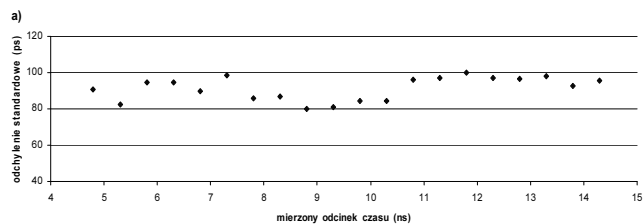


Rys. 4. Charakterystyka nieliniowości różnicowej (a) i sumacyjnej (b) konwertera czas-liczba

Fig. 4. Differential (a) and integral (b) nonlinearity of the time to digital converter

Nieliniowość charakterystyki przetwarzania konwertera jest spowodowana nierównomiernością odstępów pomiędzy kolejnymi fazami zegara wielofazowego. Wynika ona ze skończonej dokładności ustalenia wartości tych przedziałów w blokach PLL oraz z niejednakowych opóźnień ścieżek użytych do dystrybucji sygnałów zegarowych w układzie FPGA.

Niepewność pomiarowa konwertera określona została w wyniku przeprowadzenia dwóch testów. Pierwszy polegał na wykonaniu serii pomiarów 20 odcinków czasu wytworzonych jako różnice opóźnień par kabli, doprowadzających zewnętrzne sygnały impulsowe do torów START i STOP konwertera. Ponieważ opóźnienie każdego kolejnego kabla w torze STOP było większe od poprzedniego o ok. 0.5 ns to zakres mierzonych odcinków czasu wynosi ok. 10 ns. Dla każdego odcinka czasu wykonano 1000 pomiarów a następnie wyznaczono wartość średnią i odchylenie standardowe, jako miarę niepewności pomiarowej konwertera. Wartość tej niepewności zawiera się w przedziale od 80 ps do 100 ps (rys. 5). W celu określenia niepewności pomiarowej w szerszym zakresie mierzonych odcinków czasu (do 100  $\mu$ s) wykonano drugą serię pomiarów z użyciem generatora odcinków czasu DG535 (*Stanford Research System*). Zaobserwowano wzrost niepewności pomiarowej dla odcinków czasu powyżej 1  $\mu$ s spowodowany niską stabilnością krótkoczasową użytego do testów generatora referencyjnego SG-8002DC (*Epson*) o częstotliwości 50 MHz. Maksymalna wartość niepewności pomiarowej wyniosła 550 ps.



Rys. 5. Niepewność pomiarowa opracowanego konwertera czas-liczba

Fig. 5. Measurement uncertainty of the designed time-to-digital converter

## 6. Wnioski

Opracowany został scalony konwerter czas-liczba o rozdzielczości 78 ps i niepewności pomiarowej poniżej 100 ps. Zastosowanie trzydziestodwukanałowego interpolatora dwuzboczowego współpracującego z szesnastofazowym sygnałem zegarowym o częstotliwości 400 MHz pozwoliło uzyskać wysoką rozdzielczość bez konieczności użycia interpolacji wielostopniowej. Zakres pomiarowy konwertera, wynoszący 164  $\mu$ s, może być łatwo poszerzony poprzez zwiększenie pojemności użytych liczników dwójkowych. Konwerter został zaimplementowany w układzie programowalnym Stratix II firmy Altera z użyciem środowiska projektowego Quartus II. Ze względu na niedużą zajętość zasobów logicznego układu FPGA konwerter może być realizowany zarówno w jednym układzie scalonym z innymi modułami większego systemu pomiarowego jak i samodzielnie w mniej złożonych i tańszych matrycach programowalnych. W opisanej aplikacji wraz z konwerterem zintegrowane zostały dwa procesory programowe NIOS II (*Altera*), co pozwoliło na rozdzielenie funkcji pomiarowych od funkcji komunikacyjnych w systemie. Dzięki temu cała moc obliczeniowa jednego z procesorów jest wykorzystywana wyłącznie do obsługi procesu pomiarowego oraz wykonywania koniecznych obliczeń statystycznych, których wyniki są następnie przesyłane przez drugi procesor do aplikacji sterującej na komputerze PC.

Praca naukowa finansowana ze środków na naukę w latach 2007-2009 jako Projekt Badawczy Nr N N505 2984 33.

## 7. Literatura

- [1] J. Kalisz: Review of methods for time interval measurements with picosecond resolution, *Metrologia*, vol. 41 (2004), no. 1, pp. 35 – 51
- [2] J. Jansson, A. Mantyniemi, J. Kostamovaara: A CMOS time-to-digital converter with better than 10 ps single-shot resolution, *Journal of Solid-State Circuits*, vol. 41, no. 6, 2006, pp. 1286 – 1296
- [3] R. Szymanowski, J. Kalisz: Field programmable gate array time counter with two-stage interpolation, *Rev. Sci. Instrum.*, vol. 76, 045104, 2005, pp. 5
- [4] D. Xie, Q. Zhang, G. Qi, D. Xu: Cascading delay line time-to-digital converter with 75 ps resolution and a reduced number of delay cells, *Rev. Sci. Instrum.*, vol. 76, 014701, 2005, pp. 3
- [5] S. Tisa, A. Lotito, A. Giudice, F. Zappa: Monolithic time-to-digital converter with 20 ps resolution, *Proc. ESSCIRC'03*, 2003, pp. 465 – 468
- [6] R. Szplet, M. Grabowski: Konwerter czas-liczba o rozdzielczości 40 ps w układzie reprogramowalnym, *Pomiary Automatyka Kontrola*, nr 7bis, 2006, pp. 23 – 25
- [7] P. Chen, S.-L. Liu, J. Wu: A CMOS pulse-shrinking delay element for time interval measurement, *IEEE Trans. Circuits and Systems*, vol. 47, no. 4, 2000, pp. 954 – 958
- [8] R. Szplet, K. Klepacki: Precyzyjny konwerter czasowo-cyfrowy wykorzystujący metodę skracania impulsu zrealizowany w układzie FPGA, *Pomiary Automatyka Kontrola*, nr 7, 2007, pp. 21 – 23
- [9] D. Spencer, J. Cole, M. Drigert, R. Aryaeinejad: A high-resolution, multi-stop, time-to-digital converter for nuclear time-of-flight measurements, *Nuclear Instruments and Methods in Physics Research*, A 556, Elsevier 2006, pp. 291–295
- [10] M. Fries and J. Williams: High-Precision TDC in an FPGA using a 192-MHz Quadrature Clock, *Nuclear Science Symposium Conference Record*, IEEE 2002, vol. 1, pp. 580–584