

Szymon TARNOWSKI, Adam PIOTROWSKI

POLITECHNIKA ŁÓDZKA, KATEDRA MIKROELEKTRONIKI I TECHNIK INFORMATYCZNYCH

Uniwersalny modulator wektorowy syntezywalny do układu FPGA

Mgr inż. Szymon TARNOWSKI

Ukończył studia na wydziale Elektroniki i Elektrotechniki Politechniki Łódzkiej. Specjalizuje się w programowaniu układów mikroprocesorowych i logiki programowalnej. Od 2004 roku jest doktorantem w Katedrze Mikroelektroniki i Technik Informatycznych PŁ. Zajmuje się badaniem nad syntezą sygnałów wysokiej częstotliwości, modulacją wektorową i bezpośrednią syntezą częstotliwości. Jego zainteresowania obejmują ponadto systemy rozproszone i systemy sieciowe.

e-mail: szymon@dmc.pl



Mgr inż. Adam PIOTROWSKI

Ukończył studia na wydziale Elektroniki i Elektrotechniki Politechniki Łódzkiej. Specjalizuje się w technice kompilacji oraz systemach operacyjnych dla urządzeń wbudowanych. Od 2004 roku jest doktorantem w Katedrze Mikroelektroniki i Technik Informatycznych PŁ. Zajmuje się badaniem nad programowymi metodami ochrony systemów mikroprocesorowych przed wpływem promieniowania. Jego zainteresowania obejmują ponadto systemy rozproszone oraz szeroko pojęte programowanie.

e-mail: koman@dmc.pl



Streszczenie

Przedstawiony artykuł prezentuje wykorzystanie syntezywalnego modulatora wektorowego opisanego w języku wysokiego poziomu. Zastosowanie reprogramowalnego układu logicznego w miejsce układu analogowego umożliwia poprawienie jakości sygnału przez wyeliminowanie wad rozwiązania analogowego. Przykładowym zastosowaniem prezentowanego rozwiązania jest sterowanie polem przyspieszającym akceleratorów liniowych, jednak może być on wykorzystany w telekomunikacji jako modulator wektorowy.

Słowa kluczowe: modulacja wektorowa, transformata Fouriera, FPGA.

Universal vector modulator for FPGA device

Abstract

Using typical analog vector modulator (Fig. 1) in particle accelerator control emphasizes technical inaccuracies (Fig. 2). There is a possibility of using FPGA device to calculate samples of signal for digital-to-analog converter from vector value. Using this solution is possible to replace analog vector modulator with digital circuit, or even integrate it with controlling device inside one FPGA. FPGAs have not enough speed efficiency for direct calculation of samples. This paper presents solution for sample switching and precalculation of sample values based on inverse Fourier transform. Shown solution consists of multiple parallel shifters (Fig. 3, 4) which can operate at very high frequency.

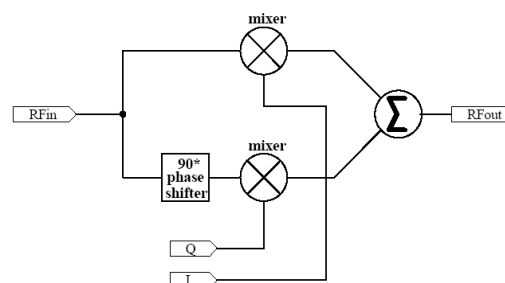
Keywords: vector modulation, FFT, FPGA.

1. Wstęp

Nowoczesne akceleratory liniowe takie jak FLASH (Free Electron LaSer in Hamburg) czy budowany XFEL (X-ray Free Electron Laser, DESY, Hamburg, Niemcy) wymagają bardzo dużej dokładności pola przyspieszającego cząstki elementarne [1]. Akceleratory te pracują impulsowo, a powtarzalność kolejnych impulsów ma znaczenie dla przeprowadzanych eksperymentów. Stanowi to duże wyzwanie dla projektantów układów sterujących. Dla wspomnianego powyżej akceleratora XFEL, planowanego do wykonania w technologii TESLA, wymagania co do stabilności amplitudy sygnałów sterujących są rzędu 10^{-4} , a fazy $0,01^\circ$. Połączenie tych wysoce specyficznych wymagań wraz z wysoką częstotliwością pracy (1,3 GHz) stanowi poważny problem zarówno dla części sterującej jak i wykonawczej.

2. Analogowe modulatory wektorowe

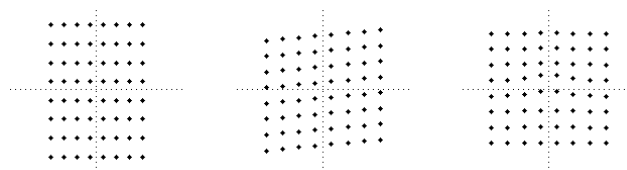
Ze względu na wysoką częstotliwość pracy bardzo często w układach wykonawczych akceleratorów używa się analogowych modulatorów wektorowych. Zasadniczą ich cechą są dwa tory sygnałowe w których następuje modulacja amplitudowa. Schemat jest pokazany na rysunku 1. Układ może być zbudowany w oparciu o mieszacze częstotliwości lub modulatory amplitudy. W pierwszym przypadku zachodzi dodatkowo wymiana częstotliwości.



Rys. 1. Schemat blokowy typowego analogowego modulatora wektorowego
Fig. 1. Block diagram of typical analog vector modulator

Układ ten jednak posiada kilka wad:

- Niesymetryczność kanałów (rys. 2 lewa część)
- Nieprostokątność osi w przestrzeni zespolonej (rys. 2 środkowa część)
- Przenikanie sygnału nośnej (rys. 2 prawa część)



Rys. 2. Przykłady błędów analogowych modulatorów wektorowych i ich wpływ na deformację konstelacji wektorowej

Fig. 2. Errors in analog vector modulators presented by influence on vector constellations

Układ ten ma swoją genezę w telekomunikacji radiowej, gdzie jest wykorzystywany w nadajnikach radiowych do generowania sygnału na podstawie parametrów wektorowych (modulacja QAM). W takiej aplikacji układy nadajnika i odbiornika nie są zsynchronizowane ze sobą. Oznacza to, że częstotliwość nośna sygnału jest odtwarzana w odbiorniku. Taka operacja wnosi pewne niedokładności fazowe, wymagające skorygowania. Oprócz niedokładności fazowych przy odtwarzaniu nośnej, sam modulator wnosi własne zniekształcenia. Nie jest to bardzo kłopotliwe jeśli zauważyć fakt, że w transmisji cyfrowej ilość stanów wektorowych jest mała, co oznacza duży margines błędów. Dla typowych komercyjnych modulatorów wektorowych niedokładność fazy jest rzędu pojedynczych stopni [2]. W telekomunikacji wady te nie stanowią dużego problemu natomiast, jeśli zastosować taki układ w module sterującym akceleratorem to należy je uwzględnić. W najlepszym wypadku moduł automatycznej regulacji pracujący w sprzężeniu zwrotnym skompensuje niedokładności, ale będzie to kosztem ograniczenia zdolności regulacyjnej, która mogła by zostać wykorzystana do kompensacji innych błędów.

3. Modulator cyfrowy

Omawiany w paragrafie 2 analogowy modulator można zamienić na modulator cyfrowy. Składa się z on z układu generacji próbek i przetwornika cyfrowo-analogowego. Przetwornik może bezpośrednio generować sygnał wysokiej częstotliwości (istnieją przetworniki przystosowane do generowania sygnałów o częstotliwości kilku GHz [3]) lub generować sygnał o niskiej częstotliwości (rzędu MHz), a następnie ten sygnał jest poddawany analogowej konwersji częstotliwości. Układ generacji próbek wykorzystuje matematyczny opis odwrotnej dyskretnej transformaty Fouriera (wyłącznie dla jednej częstotliwości – częstotliwości nośnej). Kolejne próbki sygnału są wyliczane na podstawie wzoru:

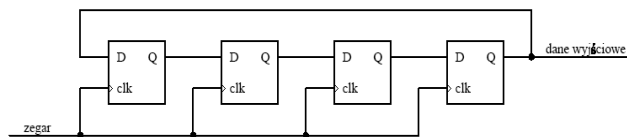
$$Y[x] = I \cdot \sin\left(\frac{x}{2\pi N}\right) + Q \cdot \cos\left(\frac{x}{2\pi N}\right), \quad (1)$$

gdzie x to numer próbki i N to liczba próbek na okres sygnału wyjściowego. Układ taki bardzo łatwo można zsyntetyzować z opisu w języku HDL do układu FPGA. Jednak istnieją pewne ograniczenia związane z układem programowalnym. Odwrotna transformata Fouriera wykorzystuje operacje mnożenia stałoprzecinkowego. Ponieważ taka operacja jest często potrzebna w algorytmach implementowanych w FPGA, a zbudowanie funkcji mnożącej zabiera dużo zasobów (tablice LUT, przerzutniki), to producenci układów programowalnych zaczęli ją implementować w postaci specjalizowanych bloków logicznych. Typowo układy mnożące są zaprojektowane do mnożenia dwóch liczb 18 bitowych. Aby wygenerować sygnał o zadanych parametrach wektorowych należy iteracyjnie mnożyć wartości wektorowe przez zmagazynowane próbki funkcji sinus i kosinus. Zgodnie z twierdzeniem Kotelnikowa-Shannona, aby wygenerować sygnał wyjściowy o zadanej częstotliwości należy próbki odtwarzać z przynajmniej z częstotliwością dwukrotną. W praktyce jednak, aby zachować wysoką rozdzielczość sygnału wyjściowego należy wykorzystać częstotliwość kilkakrotnie, a nawet kilkunastokrotnie większą. Oznacza to że do wygenerowania sygnału u częstotliwości kilkunastu MHz, częstotliwość taktująca przetwornik DAC i układ FPGA osiąga kilkaset MHz. Nie ma większych problemów z zakupieniem odpowiednich przetworników DAC. Typowo nowoczesne układy programowalne bez problemu współpracują z zewnętrznymi sygnałami o częstotliwości rzędu 600MHz (Xilinx Virtex II Pro, Xilinx Virtex 4, Altera Stratix). Gdy jednak opisać w języku wysokiego poziomu taki modulator i zsyntetyzować go do układu programowalnego FPGA, syntezer informuje, że maksymalna częstotliwość jest znacznie mniejsza. Problemem jest ograniczona maksymalna częstotliwość pracy bloków mnożących, która jest znacznie niższa niż możliwości innych elementów wbudowanych w FPGA (dla Xilinx Virtex 2pro wg danych katalogowych rzędu 130MHz [4]). Przetestowano implementację sprzętową takiego rozwiązania i okazuje się, że w warunkach laboratoryjnych układ modulatora oparty o mnożarkę, może pracować z częstotliwością taktującą do około 170MHz (przetestowano przypadek kiedy ilość próbek wynosi 8-12, a częstotliwość sygnału wyjściowego około 15MHz). Dla generacji szybkich sygnałów ograniczenie mogą stanowić też wbudowane bloki pamięciowe wykorzystywane do przechowywania próbek sygnałów. Istnieją układy które są wyposażone w bloki mnożące i pamięciowe o znacznie większej prędkości (np. Xilinx Virtex 5, bloki DSP slices), jednak ich wadą jest wysoka cena.

4. Szybki modulator cyfrowy

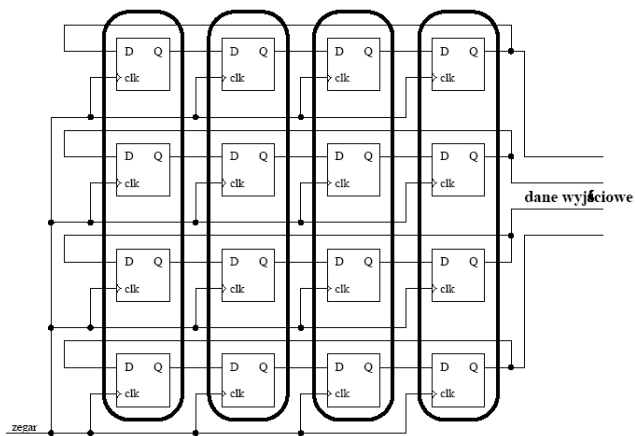
Opóźnienie pojedynczego przerzutnika w układzie FPGA jest rzędu 1ns [4], oznacza to że teoretycznie przerzutnik może pracować z częstotliwościami 1GHz. Jest to prawda wyłącznie dla układów zbudowanych z samych przerzutników (Virtex II Pro w najszybszej wersji 1,05GHz). W rzeczywistych układach po

dodaniu opóźnień układów LUT i matrycy połączeń, maksymalna częstotliwość pracy przerzutnika ogranicza się do mniej niż 600MHz (Xilinx Virtex II Pro: 520MHz, Xilinx Virtex 4: 570MHz). Jeśli by połączyć kilka przerzutników w układ przesuwający, to każdy przerzutnik jest taktowany tym samym sygnałem zegarowym (patrz rysunek 3), a układy LUT nie są wykorzystywane.



Rys. 3. Układ przesuwający zbudowany z przerzutników D
Fig. 3. Shifter built on D-type flip-flop

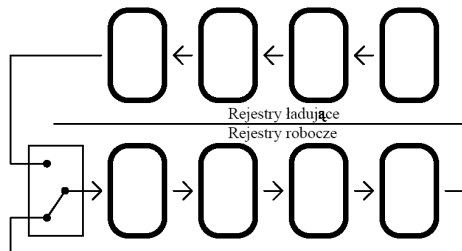
Przeprowadzone syntezy pokazały, że układ przesuwający posiada taką samą maksymalną graniczną częstotliwość pracy co pojedynczy przerzutnik. Jeśli wykorzystać kilkanaście takich układów przesuwających i pogrupować odpowiadające sobie przerzutniki w zestawy, to można dzięki temu zbudować bardzo szybki układ wysyłający dane. Na rysunku 4 pokazano przykład takiego układu. Składa się on z 4 rejestrów przesuwnych (umieszczone poziomo), pionowe zakreslenia łączą te same zestawy odpowiadające określonej próbce. Jeśli do wyjścia podłączyć przetwornik DAC, a do przerzutników wpisać odpowiednie wartości próbek sygnału, to można wykorzystać opisany moduł do zbudowania generatora sygnału. Układ taki jest tak samo szybki jak pojedynczy przerzutnik (dla Xilinx Virtex 2pro rzędu 500MHz), a może być dowolnie skalowany. Zmiana ilości przerzutników w szeregu wpływa na ilość próbek na okres, natomiast ilość równoległych przesuwników wpływa na ilość bitów sygnału wyjściowego.



Rys. 4. Matryca 4 układów przesuwających
Fig. 4. Shifting matrix built on 4 parallel shifters

Aby zainicjować wartości przerzutników oraz mieć możliwość uaktualniania ich w czasie pracy układu, należy go dodatkowo rozbudować. Schemat blokowy finalnej wersji pokazany jest na rysunku 5. Składa się on z 2 zestawów rejestrów przesuwnych. Pierwszy z nich działa jako rejestr roboczy, może on pracować w pętli sprzężenie zwrotnego lub być ładowany z drugiego zestawu rejestrów. Drugi zestaw służy jako rejestr ładujący którego wartości są uaktualniane w trakcie zmiany parametrów. Można to zrealizować na kilka sposobów dając możliwość skalowania stosunku między zajętością układu FPGA, a czasem trwania operacji uaktualniania. Jeden skrajny przypadek wykorzystuje jeden układ modulujący (parę mnożarek i układ sumujący), innym rozwiązaniem jest równoległe liczenie wszystkich próbek w jednym cyklu. Maksymalnie czas ładowania informacji jest sumą czasu wylicza-

nia próbek i czasu przeładowywania informacji między szeregiem rejestrów tymczasowych, a szeregiem rejestrów roboczych. Ten drugi czas wynika z tego że dopóki rejestr ładujący zawiera jakieś nie załadowane dane, to nie wolno utracić tych danych. Dodatkowo konieczne jest dołożenie układu logicznego sterującego procesem wylizywania próbek i multiplexerem przełączającym, jednak wymagania czasowe co do tego fragmentu układu nie są krytyczne.



Rys. 5. Schemat blokowy układu ładującego i roboczego
Fig. 5. Block diagram of loading and working circuit

5. Wnioski

Opisane rozwiązanie można wykorzystać do budowy układu modulatora wektorowego zdolnego pracować z częstotliwością taktowania rzędu kilkuset MHz. Oznacza to, że można generować sygnały o częstotliwości kilkudziesięciu MHz z banku próbek o rozmiarze kilkunastu elementów. Pozwoli to podnieść dokładność i rozdzielczość funkcji parametrów sygnału wyjściowego względem parametrów wejściowych. Układy FPGA są wykorzystywane w sterowaniu akceleratorami cząstek elementarnych [5], więc modulator może być zintegrowany razem z układem sterującym. Mimo wprowadzonego opóźnienia przy uaktualniania da-

nych wyjściowych cała konstrukcja jest kilkukrotnie szybsza niż jej implementacja oparta o mnożenie próbek funkcji sinusoidalnej przez odpowiednie współczynniki wektorowe. W przypadku zastosowania podanego projektu do sterowania polem przyspieszającym akceleratorów należy także uwzględnić zwiększoną podatność układu opartego o rejestry przesuwne na efekty single event upset (SEU) [6]. Potencjalne zmiany w pojedynczym bicie rejestru mogą być przekazywane dalej, a każda następną przypadkowa zmiana jest akumulowana do czasu kolejnego uaktualnienia parametrów wejściowych modulatora. Problem ten można rozwiązać zwiokrotniając liczbę przerzutników i dodając układy korekcyjne oparte o głosowanie albo kody Hamminga. Niestety każda modyfikacja i wprowadzenie nowych elementów logicznych w szereg oznacza dodatkową degradację maksymalnej częstotliwości taktowania.

6. Literatura

- [1] S. Simrock: Achieving Phase and Amplitude Stability in Pulsed Superconducting Cavities, DESY, Hamburg, 2001
- [2] Merrimac Industries, Inc.: Application Note for Vector Modulator VM-MCM-1.9G, technical report, 2003.
- [3] Maxim Integrated Products: MAX19692, datasheet, [12-Bit, 2.3Gsps, Multi-Nyquist DAC with selectable frequency response], technical report, 2006.
- [4] Xilinx Inc.: Różne specyfikacje układów z serii Virtex
- [5] A. Burghardt, S. Simrock: "FPGA based RF control", DESY, Hamburg, 2003
- [6] D. Makowski: doktorat "The impact of radiation on electronic devices with the special consideration of neutron and gamma radiation monitoring", Politechnika Łódzka, Łódź, 2006

Artykuł recenzowany

INFORMACJE

Studia Podyplomowe

Wydział Elektryczny Politechniki Śląskiej w Gliwicach, Instytut Metrologii, Elektroniki i Automatyki ogłasza nabór na Dwusemestralne Zaoczne Studia Podyplomowe

Organizacja i Akredytacja Laboratoriów

Studia prowadzone są na Wydziale Elektrycznym Politechniki Śląskiej w Gliwicach, w systemie zaocznym w każdą sobotę lub w co drugi weekend (do wyboru) przez dwa semestry. Zajęcia prowadzone są przez nauczycieli akademickich ze stopniem co najmniej doktora oraz przez zaproszonych Gości o uznanym dorobku i autorytecie. Studia obejmują 200 godzin dydaktycznych. Rozpoczęcie Studiów nastąpi po skompletowaniu odpowiedniej liczby kandydatów na dany rodzaj studiów.

Organizator studiów:

Instytut Metrologii, Elektroniki i Automatyki Politechniki Śląskiej, 44-100 Gliwice, ul. Akademicka 10, tel. 032 237 12 41, fax: 032 237 20 34, e-mail: re2@polsl.pl lub agnieszka.skorkowska@polsl.pl, <http://imeia.elekt.polsl.pl>

Kierownik studiów:

Prof. dr hab. inż. Tadeusz SKUBIS