

Piotr KAWALEC¹, Dariusz KOLIŃSKI²

¹POLITECHNIKA WARSZAWSKA, WYDZIAŁ TRANSPORTU

²BIURO AUTOMATYKI I TELEKOMUNIKACJI CENTRALI PKP PLK SA

Zastosowanie języka VHDL do badania złożonych sieci zestykowych

Dr inż. Piotr KAWALEC

Ukończył studia na Wydziale Elektroniki Instytutu Transportu w Leningradzie w 1975 r., obronił pracę doktorską w 1979 r. w Instytucie Elektrotechnicznym w Leningradzie. Jest adiunktem na Wydziale Transportu Politechniki Warszawskiej. Jego zainteresowania naukowe to automatyka, elektronika, technika cyfrowa i ich zastosowanie w układach i systemach sterowania i teledystrybucji stosowanych w transporcie.



e-mail: pka@it.pw.edu.pl

Mgr inż. Dariusz KOLIŃSKI

Ukończył studia na Wydziale Transportu Politechniki Warszawskiej w 2005 r. Jest starszym specjalistą w Biurze Automatyki i Telekomunikacji Centrali PKP PLK S.A. Jego zainteresowania naukowe to automatyka, elektronika, sterowanie ruchem kolejowym, optymalizacja funkcji sterowania.



e-mail: d.kolinski@pkp.com.pl

Streszczenie

W artykule przedstawiono zagadnienia zastosowania języka opisu sprzętu VHDL do analizy obwodów przekaźnikowych stosowanych w sterowaniu ruchem kolejowym. Przedstawiona metoda modelowania sieci zestykowych pozwala na analizę hazardu statycznego i dynamicznego występujących w rzeczywistych obwodach przekaźnikowych. Po zamodelowaniu poszczególnych elementów tworzony jest model całej sieci zestykowej blokady samoczynnej, który następnie jest badany z wykorzystaniem symulatorów logicznych.

Słowa kluczowe: sterowanie ruchem kolejowym, modelowanie, układy przekaźnikowe, język VHDL.

Application of VHDL language to research complex contact networks

Abstract

The article presents issues concerning the application of hardware description language VHDL to the analysis of relay systems used in railway traffic control. The modelling of contact networks method presented allows for the analysis of static and dynamic hazard which appears in real relay systems. After modelling particular elements, the model of the whole contact network of automatic interlocking is created, which is then tested with the use of logical simulators.

Keywords: railway traffic control, modelling, relay systems, VHDL language.

1. Wprowadzenie

W urządzeniach sterowania ruchem kolejowym (srk) technika przekaźnikowa jest najbardziej rozpowszechniona i jeszcze przez wiele lat będzie wykorzystywana. Niestety brak odpowiednich narzędzi do analizy obwodów powstających podczas przełączeń zestyków przekaźników, powoduje, pomijanie w opisach procesów przełączeń. A przecież niezerowe czasy przełączeń styków powodują pojawianie się hazardów w zbudowanych obwodach, które okresie ich eksploatacji uznawane są za usterek niewyjaśnione. Usunięcie tych bardzo rzadkich usterek, pojawiających się w specyficznych warunkach, jest niemożliwe bez odpowiednich narzędzi wspomagania komputerowego. Świadomość tych zjawisk nakazywała projektantom obwodów srk dobierać przekaźniki z empirycznie ustalonymi czasami opóźnień, aby zapewnić poprawną pracę układu. Niestety, uwzględnienie rzeczywistych parametrów czasowych przekaźników w układach srk, zawierających kilka lub kilkanaście tysięcy przekaźników jest bardzo trudne.

Dynamiczny rozwój techniki cyfrowej i elektroniki spowodował opracowanie przez producentów układów cyfrowych i elektronicznych oprogramowania do projektowania wyposażonego w symulatory logiczne.

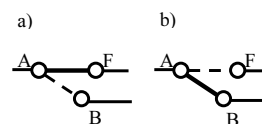
Takim pakietem umożliwiającym przeprowadzanie symulacji czasowej układów jest pakiet Active-HDL firmy ALDEC. Pozwala on na odzwierciedlenie zależności czasowych oraz umożliwia odwzorowanie współbieżnego rozprzestrzeniania się sygnałów. Cechy te zadecydowały o wyborze pakietu Activ-HDL do modelowania elementów i sieci zestykowych.

2. Przełącznik i jego model

W dużym uproszczeniu działanie przekaźnika jest następujące, przepływ prądu przez jego cewkę powoduje wytworzenie strumienia magnetycznego, który wprawia w ruch kotwicę przekaźnika, powodując przełączenie zestyków. Można powiedzieć, że gdy przepływa odpowiedni prąd przez cewkę (przełącznik jest wzbudzony) zwarte są styki A-F i rozwarne A-B (rys. 1a) a brak prądu powoduje odpadnięcie kotwicy (przełącznik jest odwzbudzony) zwarte są styki A-B a rozwarne styki A-F (rys. 1b). Zmiana stanu styków przekaźnika jest związana z przebiegiem zjawisk elektromechanicznych, których szybkość zachodzenia zależy od przepływu prądu, szybkości narastania napięcia na cewce oraz bezwładności kotwicy. Elementy te decydują o czasach przełączeń zestyków, zarówno przy wzbudzeniu jak i odwzbudzeniu przekaźnika. Niezerowy czas przelotu kotwicy powoduje, że:

- przy wzbudzeniu w pierwszej kolejności następuje rozłączenie połączenia między zaciskami A-B a następnie połączenie zacisków A-F,
- przy odwzbudzeniu w pierwszej kolejności następuje rozłączenie styków A-F a następnie połączenie zacisków A-B.

Poszczególne typy przekaźników mają różne czasy przełączeń styków, co wynika z ich konstrukcji.



Rys. 1. Zestyki przełączne przekaźnika w stanie: a) wzbudzonym, b) odwzbudzonym

Fig. 1. Change-over contacts of relay in a) excited b) de-energised state

Parametrem konstrukcyjnym przekaźników jest również liczba i rodzaj zestyków. Stosowane w obwodach srk przekaźniki posiadają od 4 do 12 zestyków zależnych (przełącznych) F/B lub zestyków niezależnych (czynne w stanie wzbudzonym) F oraz niezależnych (bierny w stanie odwzbudzonym) B. Przełącznik może posiadać dowolne kombinacje zestyków F, B, F/B (np. 5F, 3B, 2F/B). Zestyki zależne to takie, w których zacisk A jest

połączony z zaciskiem F lub B w zależności od stanu przekaźnika. Zaciski niezależne B są połączone z zaciskiem A tylko wtedy, gdy przekaźnik jest w stanie odwzбудzonym, natomiast zaciski niezależne F są połączone z A tylko wtedy, gdy przekaźnik jest w stanie wzбудzonym.

3. Model przekaźnika

Przedstawiony powyżej uproszczony opis budowy i działania przekaźników pozwala zbudować uproszczone modele reprezentujące rzeczywiste ich działanie. W takim modelu przekaźnika konieczne jest:

- odzwierciedlenie procesu łączenia i rozłączania zestyków przekaźnika z uwzględnieniem rzeczywistych czasów ich przełączeń,
- odzwierciedlenie przenoszenia sygnałów z zacisków A na zaciski zależne F/B i niezależne F lub B,
- odzwierciedlenie gromadzenia i oddawania energii powodującego opóźnienie wzбудzenia i odwzбудzenia przekaźnika.

Dla uproszczenia przyjęto również, że sygnały napięciowe lub prądowe odzwierciedlone zostaną w postaci stanów logicznych. Występowanie sygnału elektrycznego odpowiada stanowi 1 a jego brak stanowi 0. Zastosowano takie rozwiązanie zarówno dla sygnałów dopływających do cewek oraz zestyków. Przyjęto również, że zaciski A są wejściami dla modelu, a wyjściami są zaciski F i B. Do cewek przekaźników sygnały mogą tylko dopływać. Dla prezentowanych modeli przekaźników przyjęto czasy przełączeń zestyków podane w [1].

Opisane powyżej zjawiska zachodzące w przekaźniku zamodelowano w edytorze tekstowym pakietu Active_HDL, w języku VHDL. W każdym modelu przekaźnika należy odwzorować trzy zjawiska: proces zmiany stanu styków, zmianę sygnału na zaciskach przekaźnika oraz proces gromadzenia energii w obwodzie cewki (o ile występuje).

Proces zmiany położenia kotwicy zależy od sygnałów na cewce przekaźnika, nazwany został procesem wzбудzenia (rys. 2). Odwzorowane w tym procesie czasy zmiany połączeń styków odpowiadają różnicom czasów przy wzbudzeniu i odwzбудzeniu. Do realizacji opóźnień zastosowana została bezwładnościowa funkcja *after k ms*, która opóźnia sygnał o *k* milisekund od chwili spełnienia warunku zmiany tego sygnału.

```
-- <<deklaracja sygnału odwzбудzenia>>
signal SB: STD_LOGIC := '1';
-- <<deklaracja sygnału wzбудzenia>>
signal SF: STD_LOGIC := '0';
begin
wzбудzenie: process (cewka51, cewka52)
begin
-- <<wzбудzenie przekaźnika>>
If (cewka51 and cewka52) = '1' then
SF <= '1' after 230 ms;
SB <= '0' after 170 ms;
end If;
-- <<odwzбудzenie przekaźnika>>
If (cewka51 and cewka52) = '0' then
SF <= '0' after 12 ms;
SB <= '1' after 16 ms;
end If;
end process wzбудzenie;
```

Rys. 2. Odwzorowanie procesu zmiany położenia styków przekaźnika
Fig. 2. Representation of the process of relay contacts position change

Zmiana sygnału na zaciskach wyjściowych przekaźnika, oznaczonych jako F i B, zależy od stanu sygnału na zaciskach A oznaczonych jako wejściowe oraz położenia kotwicy, które w procesie wzbudzenia opisane zostało za pomocą sygnałów SF i SB. Wartości sygnałów na zaciskach wyjściowych wyspecyfikowano w trzech wariantach dla: zacisków

zależnych F/B, niezależnych B i niezależnych F (odpowiednio rys. 3 a, b, c). Dla zacisków zależnych zastosowano rozdzielanie na dwa zaciski niezależne (np. A18F-F19 i A18B-B17). Jest to korzystne przy odzwierciedlaniu sieci zestykowych z wykorzystywaniem modeli przekaźników.

Stosując analogiczne reguły zbudowano modele różnych typów przekaźników, w tym również przekaźniki z kondensatorem, jako elementem magazynującym energię. Do zamodelowania sieci zestykowych opracowano także modele elementów elektronicznych, węzłów połączeniowych, żarówek i prostych obwodów zawierających transformatory, układy prostownicze i pojedyncze zestyki.

```
a) If A18F = '1' then
F19 <= SF;
else
F19 <= '0';
end If;
If A18B = '1' then
B17 <= SB;
else
B17 <= '0';
end If;

b) If A15 = '1' then
B16 <= SB;
else
B16 <= '0';
end If;

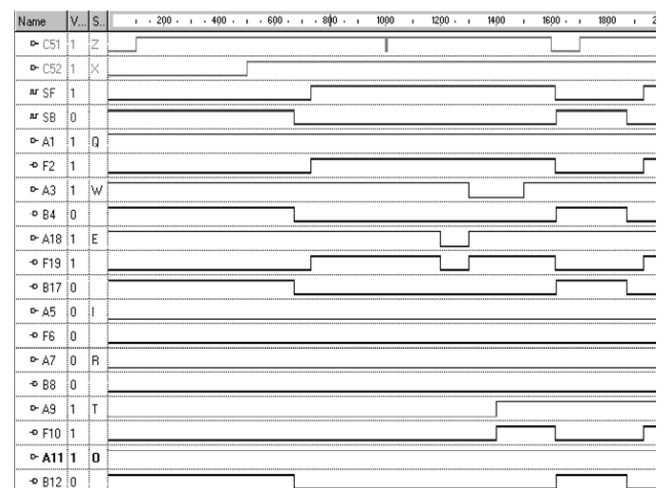
c) If A1 = '1' then
F2 <= SF;
else
F2 <= '0';
end If;
```

Rys. 3. Modelowanie zestyków przekaźnika: a) zależnego F/B, b) niezależnego F, c) niezależnego B

Fig. 3. Relay contacts modelling: a) dependent F/B, b) independent F, c) independent B

4. Symulacja i weryfikacja modeli

Activ_HDL pozwala przeprowadzić symulację funkcjonalną opracowanych modeli, weryfikacja poprawności zostanie przedstawiona na przykładzie modelu przekaźnika RK12614. Podając sygnały logiczne na wejścia układu (jako odwzorowanie sygnałów elektrycznych) możliwe było obserwowanie zmian sygnałów generowanych przez symulator pakietu na wyjściach. Przy testowaniu modelu przekaźnika wygenerowane sygnały można na bieżąco porównywać z oczekiwanymi wynikami, a w przypadku generowania nie prawidłowej odpowiedzi przez model, dokonane zostały korekty w edytorze tekstowym eliminując nieprawidłowości.



Rys. 4. Fragment przebiegów czasowych symulacji funkcjonalnej przekaźnika RK12614

Fig. 4. Run time fragment of relay RK12614 functional simulation

Przeprowadzany proces symulacji można obserwować w postaci przebiegów czasowych (rys. 4.) oraz w edytorze BDE. Przebiegi czasowe oznaczone C51 i C52 przedstawiają przebiegi sygna-

łów podawanych na cewkę przekaźnika, SF i SB to przebiegi odzwierciedlające zwarcia styków A-F i A-B. Pozostałe przebiegi odzwierciedlają sygnały na zaciskach przekaźnika, pogrubione przebiegi odpowiadają zaciskom wyjściowym.

Weryfikacja poprawności opracowanego modelu przekaźnika wymagała zasymulowania:

- wzbudzenia i odwzbudzenia przekaźnika,
- zmiany sygnałów na każdym zacisku wejściowym (A) przy wzbudzonym i odwzbudzonym przekaźniku,
- zmiany sygnałów na zaciskach (A) podczas przelotu kotwicy przekaźnika,
- podawaniu sygnałów do cewki na czas krótszy od 170ms i 230ms,
- zaniku jednego sygnału lub obu do cewki na czas krótszy od 12ms i 16ms.

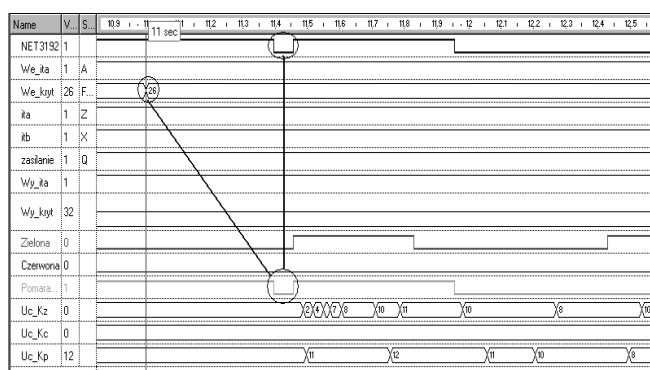
Pełne testowanie opracowanych modeli przekaźników potwierdziło poprawne odzwierciedlenie rzeczywistych ich parametrów. Analogicznie przetestowane zostały modele innych elementów.

5. Modelowanie sieci zestykowych

Do modelowania sieci zestykowych oraz analiz obwodów, wybrano obwody blokady Eac budowanej z wykorzystaniem dwóch różnych grup przekaźników. Obwody tej blokady są przedstawione i opisane w [2, 3]. Zastosowanie wspomaganie komputerowego pozwala odwzorować poszczególne obwody sterujące a następnie umożliwia złożenie ich na jednym schemacie blokowym BDE. Na tych schematach linie połączeń między modelami przekaźników i elementów elektronicznych odzwierciedlają przekazywanie ponad 80 sygnałów. Bez wspomaganie komputerowego analiza tych sygnałów w dowolnej chwili czasowej jest niemożliwa. W przedstawionej metodzie śledzenie zmian wszystkich sygnałów wejściowych, wyjściowych, wewnętrznych oraz śledzenie stanu przekaźników i procesów zachodzących w elementach elektronicznych jest możliwe na przebiegach czasowych.

6. Symulacja i weryfikacja obwodów w opracowanym modelu

Podając wymuszenia sygnałów wejściowych można obserwować wygenerowane sygnały wewnętrzne, sygnały wyjściowe, stany przekaźników, oraz procesy gromadzenia i oddawania energii z zachowaniem zależności czasowych. Fragment symulacji z kilkoma tylko wybranymi sygnałami został przedstawiony na rysunku 5.

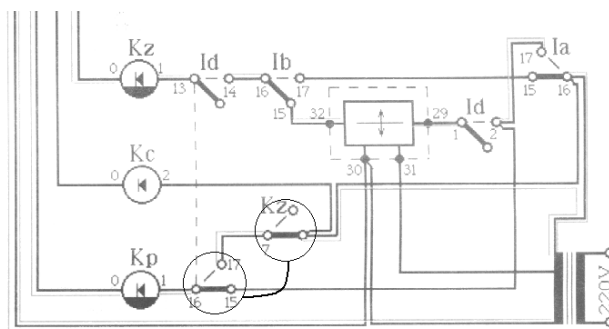


Rys. 5. Fragment symulacji funkcjonalnej obwodów jednego odstepu blokady Eac
Fig. 5. Functional simulation fragment of one section circuits of interlocking Eac

Na przedstawionych przebiegach możliwe jest odczytanie czasu jednoczesnego świecenia żarówek światła czerwonego i pomarańczowego oraz pomarańczowego i zielonego, czasu

reakcji obwodów na zmianę sygnałów wejściowych. Przebiegi wszystkich sygnałów pozwalają poznać stan dowolnego sygnału w dowolnie wybranej chwili czasowej podczas realizowanych sekwencji zmian sygnałów wejściowych.

Obserwując zanik świecenia żarówki pomarańczowej w jej przebiegu (rys. 5), można zauważyć że, powodem tego zaniku jest zmiana stanu sygnału *We_kryt* oraz sygnału na linii połączeniowej NET3192. Po odszukaniu punktów, które łączy linia NET3192 w modelu, z łatwością na schemacie blokady Eac można ustalić połączenie i zestyki (rys.6), które powodują wykryty hazard w obwodzie żarówki pomarańczowej. Wykryte zjawisko zostało potwierdzone podczas badań terenowych blokady Eac.



Rys. 6. Fragment schematu obwodów jednego odstepu blokady Eac
Fig. 6. Diagram fragment of one section circuits of interlocking Eac

Ważne jest również zasygnalizowanie możliwości edytora BDE pozwalającego tworzyć struktury o coraz wyższej hierarchii. Zgodnie z przyjętymi założeniami obwody jednego odstepu blokady Eac w edytorze BDE połączone zostały w model szlaku o wybranej liczbie odstępów. Ten rozbudowany model umożliwił poznanie wzajemnego wpływu sygnałów pomiędzy odstępami blokady.

7. Wnioski

Zaprezentowane modelowanie sieci zestykowych pozwala odwzorować nawet bardzo złożone obwody przekaźnikowe. Przedstawiony proces tworzenia sieci zestykowych można wykorzystać do analizy pracy obwodów przekaźnikowych, w celu poznania zjawisk czasowych zachodzących podczas ich przełączania, poznania opóźnień sygnałów pochodzących z sieci zestykowej. Raz utworzona biblioteka modeli przekaźników i elementów elektronicznych może być wykorzystywana wielokrotnie w modelowaniu obwodów. Prezentowany sposób badania sieci zestykowych może być z powodzeniem wykorzystany podczas badań przeprowadzanych w procesie certyfikacji nowych urządzeń. Można również prezentowany sposób modelowania wykorzystać przy badaniu interfejsów przekaźnikowych współpracujących z urządzeniami mikroprocesorowymi gdzie szczególnie ważne jest dobranie parametrów czasowych współpracujących urządzeń.

8. Literatura

- [1] Mickiewicz T.: Elektryczne urządzenia ruchu pociągów, Wydawnictwa Komunikacyjne, Warszawa 1959.
- [2] Piela St.: Samoczynna blokada liniowa typu Eac – opracowanie.
- [3] Plewka A.: Maciejewski A.: Samoczynna blokada liniowa typu Eac, Automatyka kolejowa 8/1987 i 9/1987.