

Grzegorz POPEK, Marian KAMPIK, Janusz TOKARSKI
POLITECHNIKA ŚLĄSKA, INSTYTUT METROLOGII, ELEKTRONIKI I AUTOMATYKI

Analiza wpływu układu przełączającego na napięcie wytwarzane przez źródło wzorcowego napięcia stałego

Mgr inż. Grzegorz POPEK

Ukończył studia na Wydziale Elektrycznym Politechniki Śląskiej w 2006 roku. Aktualnie jest studentem studiów doktoranckich w Instytucie Metrologii, Elektroniki i Automatyki Politechniki Śląskiej. Swoje zainteresowania koncentruje wokół dokładnych pomiarów wielkości elektrycznych oraz źródeł i kalibratorów napięcia stałego i przemiennego



e-mail: grzegorz.popok@polsl.pl

Dr inż. Marian KAMPIK

W 1988 roku ukończył studia na Wydziale Elektrycznym Politechniki Śląskiej, na którym w 1996 roku z wyróżnieniem obronił pracę doktorską. Od 1988 roku jest pracownikiem naukowo-dydaktycznym w Instytucie Metrologii, Elektroniki i Automatyki Politechniki Śląskiej. Jest autorem około siedemdziesięciu publikacji, w tym dwu monografii. Interesuje się wzorcami wielkości elektrycznych, szczególnie napięcia przemiennego i stałego.



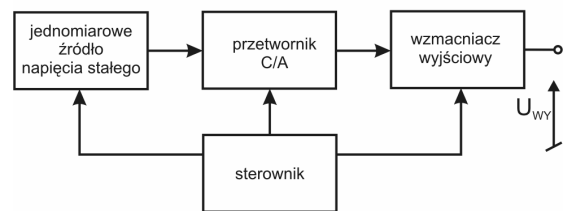
e-mail: marian.kampik@polsl.pl

Dr inż. Janusz TOKARSKI

Od ukończenia studiów na Wydziale Elektrycznym w 1978 roku jest pracownikiem naukowo – dydaktycznym w Instytucie Metrologii, Elektroniki i Automatyki Politechniki Śląskiej. Pracę doktorską obronił z wyróżnieniem w roku 1991. Jest autorem ponad dwudziestu publikacji. Zainteresowania naukowe obejmują pomiarowe aplikacje układów mikroprocesorowych.



e-mail: janusz.tokarski@polsl.pl



Rys. 1. Schemat blokowy wielomiarowego źródła wzorcowego napięcia stałego
Fig. 1. Block diagram of the adjustable dc voltage source

Streszczenie

W pracy przeanalizowano wpływ czasów załączania i wyłączania układów przełączających modulatorów szerokości impulsu na napięcie wyjściowe wytwarzane przez wielomiarowe źródło wzorcowego napięcia stałego. Zaproponowano modyfikację układu umożliwiającą zmniejszenie tego wpływu.

Słowa kluczowe: kalibrator, wzorec napięcia stałego, modulator szerokości impulsu.

Analysis of the influence of the switching circuit on the voltage generated by the source of a standard DC voltage

Abstract

Analysis of the effect of turn-on and turn-off times of switches in the pulse-width modulators on the voltage generated by the source of a standard DC voltage is presented in the paper. A modification of the circuit leading to reduction of this effect is also proposed.

Keywords: calibrator, DC voltage standard, pulse-width modulator.

1. Wprowadzenie

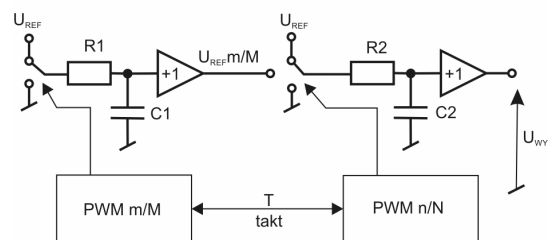
Wielomiarowe źródło wzorcowego napięcia stałego [1, 2] jest urządzeniem wytwarzającym bardzo stabilne napięcie stałe o wartości zadanej przez użytkownika, stosowanym w kalibratorach napięcia stałego i przemiennego [3]. Na rys. 1 przedstawiono ogólny schemat blokowy takiego źródła.

Składa się ono z bardzo stabilnego jednolinarowego źródła napięcia stałego, przetwornika cyfrowo – analogowo (C/A), wzmacniacza wyjściowego oraz sterownika. Źródło napięcia stałego stanowi napięcie odniesienia dla przetwornika C/A. Zadaniem przetwornika C/A jest podział napięcia odniesienia w celu uzyskania wartości zadanej przez użytkownika. Wzmacniacz wyjściowy umożliwia ewentualną zmianę zakresu wytwarzanego napięcia wyjściowego. Proces nastawy napięcia wyjściowego kontrolowany jest przez sterownik.

2. Opis układu

Na rys. 2 przedstawiono schemat blokowy przetwornika C/A, w którym wykorzystano nowo opracowany układ modulatora szerokości impulsu (PWM) o dużej rozdzielczości nastawy [4]. Przetwornik ten, nazywany dalej PWMDAC, zbudowany jest z dwóch modulatorów PWM. Modulatory te wytwarzają przebiegi prostokątne o wypełnieniach m/M oraz n/N . Modulator o wypełnieniu m/M moduluje napięcie odniesienia U_{REF} , dając w wyniku sygnał prostokątny o bardzo stabilnej wartości międzyszczytowej i nastawianym współczynniku wypełnienia. W celu odfiltrowania składowej zmiennej sygnał ten jest podawany na wejście filtra dolnoprzepustowego R1 C1. Na wyjściu tego filtra uzyskuje się napięcie stałe o wartości

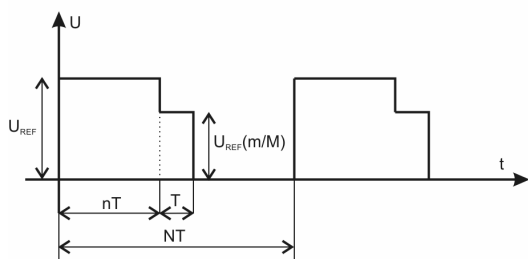
$$U'_{REF} = U_{REF} \cdot \frac{m}{M}. \quad (1)$$



Rys. 2. Schemat blokowy PWMDAC
Fig. 2. Block schematic diagram of the PWMDAC

Drugi modulator, generujący sygnał PWM o wypełnieniu n/N , steruje trójpozycyjnym przełącznikiem w taki sposób, że napięcie odniesienia jest podawane na wejście filtra dolnoprzepustowego R2 C2 przez odcinek czasu nT , gdzie T jest czasem trwania jedne-

go taktu zegara. Po upływie tego czasu na wejście filtru zostaje podane wstępnie podzielone napięcie opisane zależnością (1). Następnie, po upływie jednego taktu zegara, wejście filtru zostaje połączone z masą. Na rys. 3 przedstawiono czasową postać sygnału na wejściu filtru R2 C2.



Rys. 3. Przebieg czasowy napięcia na wejściu filtru R2 C2
Fig. 3. Waveform at the input of the R2 C2 filter

Sygnał ten jest opisany równaniem

$$u(t) = \begin{cases} U_{REF} & \Leftrightarrow t \in (0; nT) \\ U_{REF} \cdot \frac{m}{M} & \Leftrightarrow t \in (nT; (n+1)T) \\ 0 & \Leftrightarrow t \in ((n+1)T; NT) \end{cases} \quad (2)$$

Średnia wartość tego napięcia jest równa

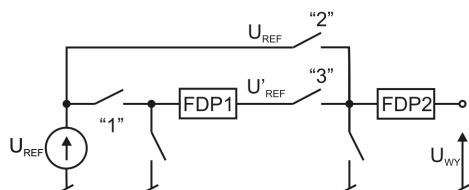
$$\bar{u} = U_{REF} \cdot \left(\frac{n}{N} + \frac{m}{MN} \right). \quad (3)$$

3. Cel pracy

Celem niniejszej pracy jest wstępne określenie wpływu czasów włączania i wyłączania przełączników wykorzystanych w obu opisanych wyżej modulatorach PWM na liniowość nastawy napięcia wyjściowego.

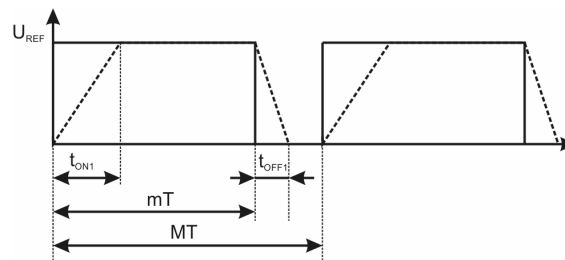
4. Oszacowanie wpływ czasów załączania i wyłączania tranzystorów

Na rys. 4 przedstawiono uproszczony schemat PWMDAC, na którym występują poszczególne przełączniki. Przyjęto następujące oznaczenia: t_{ON1} – czas załączania przełącznika „1”, t_{OFF1} – czas wyłączenia przełącznika „1”, t_{ON2} – czas załączania przełącznika „2”, t_{OFF2} – czas wyłączenia przełącznika „2”, t_{ON3} – czas załączania przełącznika „3”, t_{OFF3} – czas wyłączenia przełącznika „3”.



Rys. 4. Uproszczony schemat PWMDAC
Fig. 4. Simplified schematic diagram of the PWMDAC

Na rys. 5 przedstawiono przebieg napięcia na wyjściu głównego modulatora PWM, kluczowanego przełącznikiem „1”. Napięcie to oznaczono przez U'_{REF} . Dla uproszczenia obliczeń przyjęto trapezowy kształt sygnału na wyjściu modulatora [5].



Rys. 5. Przebieg napięcia na wejściu filtru FDP1
Fig. 5. Waveform at the input of the FDP1 filter

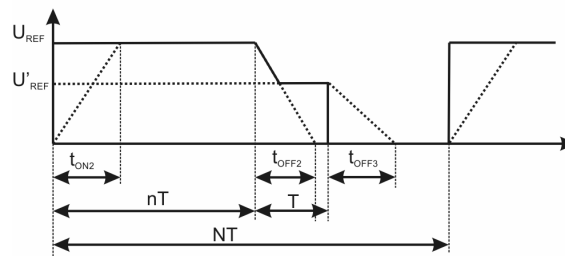
Napięcie na wejściu filtru dolnoprzepustowego można opisać zależnością:

$$u'_{REF}(t) = \begin{cases} U_{REF} & \Leftrightarrow t \in (0; t_{ON1}) \\ \frac{U_{REF}}{t_{ON1}} t & \Leftrightarrow t \in (t_{ON1}; mT) \\ -\frac{U_{REF}}{t_{OFF1}} t + U_{REF} \frac{mT + t_{OFF1}}{t_{OFF1}} & \Leftrightarrow t \in (mT; mT + t_{OFF1}) \end{cases} \quad (4)$$

Wartość średnia tego napięcia jest równa:

$$U'_{REF} = U_{REF} \frac{m}{M} + U_{REF} \frac{t_{OFF1} - t_{ON1}}{2MT} = U_{REF} \frac{m}{M} + U_{REF} \frac{\Delta t_1}{2MT}. \quad (5)$$

W podobny sposób obliczyć można wartość średnią napięcia na wejściu trójpozycyjnego przełącznika przedstawionego na rys. 2. Na rys. 6 przedstawiono uproszczony przebieg czasowy napięcia na wejściu filtru FDP2.



Rys. 6. Przebieg napięcia na wejściu filtru FDP2
Fig. 6. Waveform at the input of the FDP2 filter

Napięcie to można opisać zależnością (6)

$$u_{wy}(t) = \begin{cases} \frac{U_{REF}}{t_{ON2}} t & \Leftrightarrow t \in (0; t_{ON2}) \\ U_{REF} & \Leftrightarrow t \in (t_{ON2}; nT) \\ -\frac{U_{REF}}{t_{OFF2}} t + U_{REF} \frac{mT + t_{OFF2}}{t_{OFF2}} & \Leftrightarrow t \in (nT; nT + t_{OFF2} \left(1 - \frac{m}{M}\right)) \\ U'_{REF} & \Leftrightarrow t \in (nT + t_{OFF2} \left(1 - \frac{m}{M}\right); (n+1)T) \\ -\frac{U'_{REF}}{t_{OFF3}} t + U'_{REF} \frac{mT + t_{OFF3}}{t_{OFF3}} & \Leftrightarrow t \in ((n+1)T; (n+1)T + t_{OFF3}) \end{cases} \quad (6)$$

Wartość średnia tego napięcia jest równa:

$$U_{wy} = \frac{U_{REF}}{N} \left(n + \frac{m}{M} \right) + \frac{U_{REF}}{NT} \left(\frac{t_{OFF2}}{2M^2} m^2 + \frac{1}{M} \left(\frac{t_{OFF3}}{2} + \frac{\Delta t_1 t_{OFF2}}{2MT} - t_{OFF2} \right) m + \frac{\Delta t_1}{2M} \left(1 - \frac{t_{OFF2}}{T} + \frac{t_{OFF3}}{2T} \right) + \frac{t_{OFF2} - t_{ON2}}{2} \right) \quad (7)$$

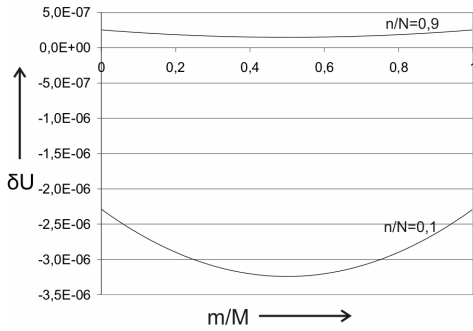
Z zależności (7) wynika, że równanie przetwarzania PWM DAC jest nieliniowe. Względny błąd, spowodowany czasami załączenia i wyłączenia przełączników, określony jako

$$\delta U = \frac{U_{wy} - \bar{u}}{\bar{u}}, \quad (8)$$

wynosi:

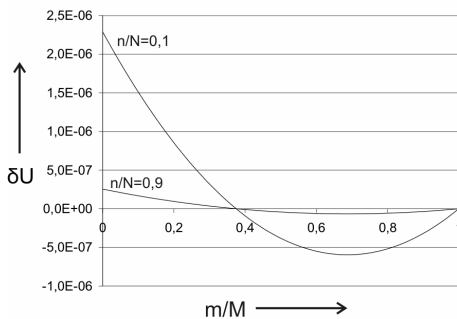
$$\delta U = \frac{\frac{N t_{OFF2}}{2TM^2} m^2 + \frac{N}{MT} \left(\frac{t_{OFF3}}{2} + \frac{\Delta t_1 t_{OFF2}}{2MT} - t_{OFF2} \right) m + \frac{N \Delta t_1}{2TM} \left(1 - \frac{t_{OFF2}}{T} + \frac{t_{OFF3}}{2T} \right) + \frac{N}{T} \frac{t_{OFF2} - t_{ON2}}{2}}{nN + m} \quad (9)$$

Na rys. 7 i rys. 8 przedstawiono względny błąd spowodowany czasami przełączania przełączników, przy założeniu że rolę przełączników pełnią tranzystory MOSFET typu VN0104 [6]. Przebieg z rys. 7 sporządzono przy założeniu $t_{ON2} = 8$ ns, $t_{OFF2} = 5$ ns, natomiast przebieg z rys. 8 wykonano dla $t_{ON2} = 5$ ns, $t_{OFF2} = 8$ ns. W obu przypadkach założono $\Delta t_1 = 3$ ns, $t_{OFF3} = 5$ ns, $T = 1/10$ MHz, $N = M = 2^{16}$.



Rys. 7. Względny błąd δU (zal. 9) dla $t_{ON2} = 8$ ns, $t_{OFF2} = 5$ ns
Fig. 7. Relative error δU (eq. 9) for $t_{ON2} = 8$ ns, $t_{OFF2} = 5$ ns

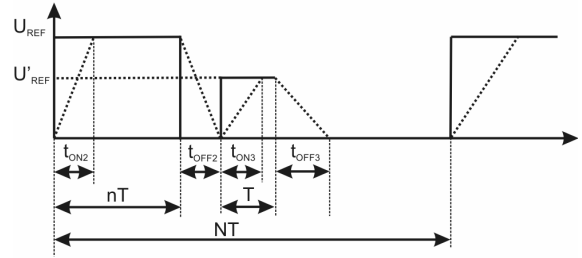
Z równania (9) wynika, że podczas zwiększania współczynnika wypełnienia n/N błąd δU zmniejsza się wykładniczo. Analizując równanie (9) ze względu na zmienną m otrzymuje się silnie nieliniową funkcję.



Rys. 8. Względny błąd δU (zal. 9) dla $t_{ON2} = 5$ ns, $t_{OFF2} = 8$ ns
Fig. 8. Relative error δU (eq. 9) for $t_{ON2} = 5$ ns, $t_{OFF2} = 8$ ns

Nieliniowość ta powstaje w chwili gdy napięcie zmniejsza swoją wartość z U_{REF} na U'_{REF} . Bardzo niekorzystnym zjawiskiem jest możliwość jednoczesnego przewodzenia przełączników „2” i „3”, co powoduje chwilowe zwarcie wyjść źródeł napięcia U_{REF} i U'_{REF} . Zjawisko to można usunąć przez odpowiednie sterowanie

przełączników. Na rys. 9 przedstawiono przebieg napięcia na wejściu filtra FDP2 w przypadku, gdy opisane zjawisko nie występuje.



Rys. 9. Przebieg napięcia na wejściu filtra FDP2 przy właściwym sterowaniu przełączników

Fig. 9. Waveform at the input of the FDP2 filter with properly controlled switches

Różnica w stosunku do przebiegu na rys. 6 polega na tym, że tranzystor „3” zaczyna przewodzić w momencie gdy napięcie na wyjściu klucza „2” osiągnie wartość zero. Napięcie to można opisać następującą zależnością:

$$u'_{wy}(t) = \begin{cases} U_{REF} & \Leftrightarrow t \in (0; t_{ON2}) \\ \frac{U_{REF}}{t_{ON2}} t & \Leftrightarrow t \in (t_{ON2}; nT) \\ -\frac{U_{REF}}{t_{OFF2}} t + U_{REF} \frac{nT + t_{OFF2}}{t_{OFF2}} & \Leftrightarrow t \in (nT; nT + t_{OFF2}) \\ \frac{U'_{REF}}{t_{ON3}} t - U_{REF} \frac{nT + t_{OFF2}}{t_{ON3}} & \Leftrightarrow t \in (nT + t_{OFF2}; nT + t_{OFF2} + t_{ON3}) \\ U'_{REF} & \Leftrightarrow t \in (nT + t_{OFF2} + t_{ON3}; (n+1)T + t_{OFF2}) \\ -\frac{U'_{REF}}{t_{OFF3}} t + U'_{REF} \frac{(n+1)T + t_{OFF2} + t_{OFF3}}{t_{OFF3}} & \Leftrightarrow \\ & \Leftrightarrow t \in ((n+1)T + t_{OFF2}; (n+1)T + t_{OFF2} + t_{OFF3}) \end{cases} \quad (10)$$

Wartość średnia napięcia sygnału wyrażonego zależnością (10) jest równa:

$$U'_{wy} = U_{REF} \left(\frac{n}{N} + \frac{2T + (t_{OFF3} - t_{ON3})}{2TNM} m \right) + \frac{U_{REF}}{2NT} \left[(t_{OFF2} - t_{ON2}) + \frac{1}{M} (t_{OFF1} - t_{ON1}) + \frac{1}{2MT} (t_{OFF1} - t_{ON1})(t_{OFF3} - t_{ON3}) \right] \quad (11)$$

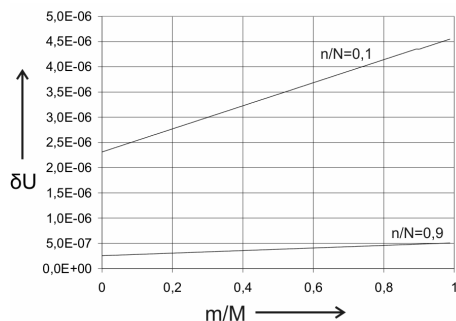
Względny błąd δU , spowodowany czasami załączenia i wyłączenia przełączników, określony równaniem

$$\delta U = \frac{U'_{wy} - \bar{u}}{\bar{u}}, \quad (12)$$

jest równy

$$\delta U = \frac{1}{2T(Mn + m)} \left[m(t_{OFF3} - t_{ON3}) + M(t_{OFF2} - t_{ON2}) + (t_{OFF1} - t_{ON1}) + \frac{1}{2T} (t_{OFF3} - t_{ON3})(t_{OFF1} - t_{ON1}) \right] \quad (13)$$

Z zależności (13) wynika, że dla równych czasów włączania i wyłączenia tranzystorów błąd względny jest równy zero. Dla różnych czasów błąd maleje wykładniczo wraz ze wzrostem nastawy n , natomiast wraz ze wzrostem nastawy m narasta liniowo. Na rys. 10 przedstawiono błąd (13) dla następujących wartości $t_{OFF3} - t_{ON3} = t_{OFF2} - t_{ON2} = t_{OFF2} - t_{ON2} = 3$ ns, $T = 1/10$ MHz, $M = N = 2^{16}$.



Rys. 10. Względny błąd napięcia wyjściowego, spowodowany czasami załączenia i wyłączenia przełączników dla $t_{OFF3} - t_{ON3} = t_{OFF2} - t_{ON2} = t_{OFF1} - t_{ON1} = 3\text{ns}$
 Fig. 10. Relative error of the output voltage due to finite on/off switching times for $t_{OFF3} - t_{ON3} = t_{OFF2} - t_{ON2} = t_{OFF1} - t_{ON1} = 3\text{ns}$

5. Wnioski i kierunki dalszych prac

Zastosowanie konfiguracji przełączników przestawionej na rys 9. spowodowało zwiększenie względnego błędu spowodowanego skończonym czasem załączania i wyłączenia przełączników w układzie modulatora PWM o ponad $2 \mu\text{V/V}$. Jednak konfiguracja ta zapewnia większą liniowość nastawy. Konieczne jest opracowanie metody minimalizacji wpływu czasu załączania i wyłączenia przełączników. W dalszej kolejności planowana jest analiza

wplywu rezystancji przełączników w stanie załączenia i wyłączenia na napięcie wyjściowe i na liniowość jego nastawy.

6. Literatura

- [1] Kampik M., Jedliński Ł., Gonszc D. „Programowane źródło wzorcowego napięcia stałego”, materiały konferencji Podstawowe Problemy Metrologii Gliwice – Ustroń 2001.
- [2] Kampik M., „Programowany dzielnik napięcia stałego do kalibratora wielofunkcyjnego”, materiały konferencji Metrologia Wspomagana Komputerowo 2001, Tom 3, Rynia k. Warszawy
- [3] 5700A and 5720A Series Multifunction Calibrators. Service Manual. Fluke Corporation. Everett, WA 1996
- [4] Janusz Tokarski, Marian Kampik, Grzegorz Popek: „Modulator szerokości impulsów o dużej rozdzielczości nastawy współczynnika wypełnienia”, materiały konferencyjne, Kongres Metrologii 2007, Łódź (w druku)
- [5] Kampik M., Jedliński Ł., Influence of the switching circuit on the properties of the pulse-width modulated DAC, Metrology and Measurement Systems, vol. XI, Number 2 (2004), p.21 – 30
- [6] Nota katalogowa: <http://www.supertex.com/pdf/datasheets/VN0104.pdf>

Artykuł recenzowany

INFORMACJE

Studia Podyplomowe

Wydział Elektryczny Politechniki Śląskiej w Gliwicach, Instytut Metrologii, Elektroniki i Automatyki ogłasza nabór na Dwusemestralne Zaoczne Studia Podyplomowe

Sieci Komputerowe i Systemy Telekomunikacyjne (SKST)

Cel Studiów

Celem studiów jest przekazanie wiedzy teoretycznej i umiejętności praktycznych w zakresie: budowy bezpiecznych i wydajnych sieci komputerowych, konfiguracji i eksploatacji sieci komputerowych ze szczególnym uwzględnieniem sieci korporacyjnych, diagnostyki i pomiarów w sieciach komputerowych.

Zajęcia prowadzone są na Wydziale Elektrycznym Politechniki Śląskiej w Gliwicach, w systemie zaocznym w każdą sobotę lub co drugi weekend (opcja do wyboru), przez dwa semestry. Planowany termin rozpoczęcia: 1 października 2007 roku (pod warunkiem skompletowania odpowiedniej liczby kandydatów).

Warunki przyjęcia na studia:

1. Na studia mogą być przyjęte osoby posiadające dyplom magistra lub inżyniera, posiadające podstawową wiedzę z zakresu telekomunikacji i sieci komputerowych.
2. Kandydaci odbywają rozmowę kwalifikacyjną we wrześniu 2007 r.
3. Warunkiem uruchomienia studiów jest przyjęcie odpowiedniej liczby Kandydatów na podstawie złożonych dokumentów.

Organizator studiów:

Instytut Metrologii, Elektroniki i Automatyki Politechniki Śląskiej, 44-100 Gliwice, ul. Akademicka 10, tel. 032 237 12 41, fax: 032 237 20 34, e-mail: re2@polsl.pl lub agnieszka.skorkowska@polsl.pl, <http://imeia.elekt.polsl.pl>

Kierownik studiów:

Dr hab. inż. Lesław TOPÓR-KAMIŃSKI, prof. Pol. Śl.