

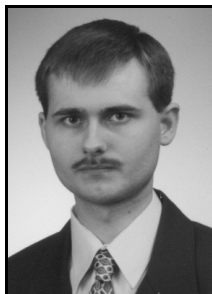
Grzegorz ULACHA, Tomasz MAKA

POLITECHNIKA SZCZECIŃSKA, INSTYTUT ARCHITEKTURY KOMPUTERÓW I TELEKOMUNIKACJI

Technika eliminacji opóźnień i zmniejszania liczby sumatorów w bitowo-szeregowym układzie mnożącym przez wektor stałych

Dr inż. Grzegorz ULACHA

Ukończył studia na Wydziale Informatyki Politechniki Szczecińskiej, obronił pracę doktorską w 2004 r. Jest adiunktem w Instytucie Architektury Komputerów i Telekomunikacji Politechniki Szczecińskiej. Jego zainteresowania naukowe to bezstratna i stratna kompresja obrazów.



e-mail: gulacha@wi.ps.pl

Dr inż. Tomasz MAKA

W roku 2000 ukończył studia na Wydziale Informatyki Politechniki Szczecińskiej, natomiast w roku 2005 obronił pracę doktorską na tym samym wydziale. Jego zainteresowania obejmują zagadnienia związane ze sprzętowymi realizacjami systemów cyfrowego przetwarzania sygnałów oraz technikami przetwarzania sygnałów akustycznych.



e-mail: tmaka@wi.ps.pl

Streszczenie

W artykule przedstawiono ideę minimalizacji liczby opóźnień i sumatorów dwuwejściowych bazującą na bitowo-szeregowej linii opóźniającej i wykorzystującą zasadę współdzielenia sumatorów. Dla przedstawionego przykładu zaprojektowania filtra FIR db8 wykazano zasadność proponowanej metody.

Słowa kluczowe: układy mnożące przez stałą, reprezentacja CSD, przetwarzanie bitowo-szeregowe.

Hardware expenditures reduction technique for bit-serial multiplier by a set of fixed constants

Abstract

Curtaiment of number of delays and two-input adders idea based on bit-serial delay line and sharing adders is presented. Using FIR db8 filter as example, legitimacy of the proposed method has been proved.

Keywords: constant multipliers, CSD representation, bit-serial processing.

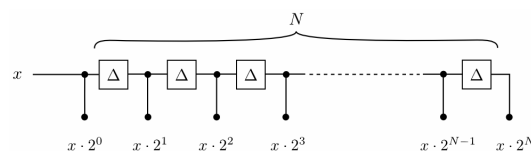
1. Układ mnożący przez wektor stałych

Często spotykaną operacją w systemach multimedialnych jest filtracja sygnałów 1D i 2D. Współczynniki definiujące odpowiedź filtra w procesie filtracji mają stałe wartości w związku z tym istnieje możliwość budowy dedykowanych układów filtrów cyfrowych, co pozwala zmniejszyć zasoby sprzętowe takiego układu. Interesującym rozwiązaniem jest zastosowanie przetwarzania bitowo-szeregowego, które pozwala na dalsze zmniejszenie rozmiarów struktury przy zachowaniu dobrych parametrów połączeniowych i krótkich czasów propagacji [3]. Jednym z najczęściej stosowanych rozwiązań bitowo-szeregowych układów mnożących jest rozwinięcie kaskadowej struktury sumatorów [3, 6] zapewniające minimalne opóźnienie uzyskania wyniku. W znacznej większości rozwiązań wykorzystujących algorytmy filtracji występuje potrzeba mnożenia argumentu x przez określony zestaw M stałych L_i [4], co umożliwi określenie struktury układu mnożącego, która może efektywniej wykorzystywać dostępne zasoby sprzętowe. W układach tych najczęściej stosuje się następujący zapis liczb:

$$L_i = \sum_{j=0}^{m_i} b_j \cdot 2^j, b_j \in \{-1, 0, 1\}, \text{ gdzie } m_i = \lfloor \log_2 L_i \rfloor + 1 \text{ (np. w formacie CSD), co umożliwi zmniejszenie liczby niezerowych cyfr } b_j, \text{ w porównaniu do ich binarnej reprezentacji. Liczbę } a_i \text{ niezerowych cyfr } b_j \text{ wyznaczamy następująco: } a_i = \sum_{j=0}^{m_i} |b_j|.$$

Wykorzystując klasyczny schemat mnożenia poprzez generację sum częściowych i sumowanie tych składników w celu uzyskania wyniku w [5] zaproponowano użycie struktury bitowo-szeregowego sumatora wielowejściowego wraz z linią opóźniająca

(patrz rys. 1) do budowy układów mnożących przez stałą. Wartość N , będąca rozmiarem linii opóźniającej, mówi nam o dokładności reprezentacji współczynników filtra i najczęściej jest zgodna ze współczynnikiem skalującym $m = \max(m_i)$.



Rys. 1. Bitowo-szeregowy linia opóźniająca
Fig. 1. Bit-serial delay line

2. Technika zmniejszania liczby opóźnień i sumatorów

W pierwszym etapie konstrukcji wektorowego układu mnożącego realizowany jest proces usuwania opóźnień synchronizujących strumienie danych w strukturze sumatora wielowejściowego wykorzystywanego w bitowo-szeregowych układach mnożących przez stałą [8]. Wysokość h drabiny sumowań przy M elementowym wektorze stałych L_i wynosi $\lceil \log_2(\max(a_0, a_1, \dots, a_{M-1})) \rceil$. Zastosowanie linii opóźniającej pozwala wyeliminować opóźnienia w obszarze sumowań (sumatorów dwuwejściowych). Drabina sumowań ma kształt zgodny z drzewem kodu Huffmana dla symboli równoprawdopodobnych. Wejście sumatora (liść drzewa) odpowiadające odczepowi k łączy się z odczepem $k+n$, gdzie n jest symulowanym opóźnieniem przekierowanym na linię opóźniająca. Dla pierwszych $2a_i - 2^{\lceil \log_2 a_i \rceil}$ wejść sumatorów (o najniższych wagach) wartość $n = h - \lceil \log_2 a_i \rceil$, a dla pozostałych $2^{\lceil \log_2 a_i \rceil} - a_i$ wartość ta jest o 1 większa. Zdefiniujemy dwie formy reprezentacji liczb całkowitych.

Def. 1. Pseudo-CSD (PCSD) jest $m+1$ cyfrową reprezentacją liczby L posiadającą minimalną liczbę r_{\min} niezerowych cyfr b_j .

Każda liczba naturalna L może posiadać co najwyżej $q \leq F(\lfloor m/2 \rfloor + 2)$ różnych $m+1$ cyfrowych reprezentacji PCSD, gdzie $F(n)$ jest n -tym wyrazem ciągu Fibonacciego, którego wartość można wyznaczyć jako najbliższą liczbę całkowitą z $F(n) = (((1+\sqrt{5})/2)^n - ((1-\sqrt{5})/2)^n) / \sqrt{5}$. Reprezentacja PCSD może zawierać co najwyżej $r = \lfloor m/2 \rfloor + 1$ niezerowych cyfr b_j (wówczas $r_{\min} \leq r$). Reprezentacja CSD stanowi podzbiór PCSD, wspólną ich cechą jest wartość r_{\min} .

Def. 2. Extended-Pseudo-CSD(*s*) (XPCSD(*s*)) jest *m* + 1 cyfrową reprezentacją liczby *L* posiadającą liczbę niezerowych cyfr *b_j* nie większą niż *r_{min}* + *s*.

Jeśli przyjmiemy maksymalną możliwą wartość *s* = *m* - *r_{min}* + 1, wtedy każda liczba naturalna *L* może posiadać co najwyżej *Q* ≤ *F*(*m* + 2) różnych *m* + 1 cyfrowych reprezentacji XPCSD(*s*). W technice bitowo-szeregowego mnożenia przez wektor stałych można wykorzystać dużą elastyczność w doborze właściwych reprezentacji XPCSD(*s*), tak aby znaleźć możliwie jak najwięcej wspólnych sum, dążąc jednocześnie do uzyskania jak najmniejszej łącznej liczby sumatorów dwuwejściowych w układzie. Poniższy przykład pokazuje, że można w ten sposób uzyskać mniejszą liczbę sumatorów niż w przypadku stosowania wyłącznie reprezentacji PCSD.

Przykład 1. Na przykładzie projektowania filtra FIR Daubechies pokażemy technikę eliminacji opóźnień i zmniejszania liczby sumatorów w układzie mnożącym przez wektor stałych. Chcąc uprościć obliczenie filtra typu maxflat Daubechies rzędu 8 (*p* = 4) wystarczy rozwiązać równanie *B*(*x*) = 0, gdzie [1]:

$$B(x) = \sum_{n=0}^{p-1} \binom{p+n-1}{n} \cdot x^n. \quad (1)$$

Równanie *B*(*x*) = 20*x*³ + 10*x*² + 4*x* + 1 = 0 ma trzy rozwiązania:

$$x_1 = -\frac{1}{30}(\vartheta_1 + \vartheta_2 + 5), x_{2/3} = \frac{1}{60}(\vartheta_1 + \vartheta_2 - 10) \pm \frac{\sqrt{3}}{60}(\vartheta_1 - \vartheta_2) \cdot i,$$

gdzie $\vartheta_1 = \sqrt[3]{105\sqrt{15} + 350}$, $\vartheta_2 = -\sqrt[3]{105\sqrt{15} - 350}$. Wykorzystując podstawienie $z_k = 1 - 2x_k - 2\sqrt{x_k \cdot (x_k - 1)}$ możemy wyznaczyć współczynniki filtra *h₀*(*n*) z następującej zależności [1]:

$$H_0(z) = \delta \cdot (1 + z^{-1})^p \cdot \prod_{k=1}^{p-1} (1 - z_k \cdot z^{-1}) = \sum_{n=0}^{2p-1} h_0(n) \cdot z^{-n}. \quad (2)$$

Dokonując podstawień $\eta = -(z_1 + z_2 + z_3)$, $\tau = z_1z_2 + z_1z_3 + z_2z_3$, $\xi = -z_1z_2z_3$ oraz wykorzystując zależność, iż suma współczynników wynosi $\sqrt{2}$, możemy wyznaczyć

$$\delta = \sqrt{2} / (16 \cdot (1 + \eta + \tau + \xi)) = \sqrt{2} / (128 \cdot \prod_{k=1}^3 (x_k + \sqrt{x_k \cdot (x_k - 1)})),$$

a następnie poszczególne współczynniki: *h₀*(0) = δ , *h₀*(1) = $\delta \cdot (\eta + 4)$, *h₀*(2) = $\delta \cdot (4\eta + \tau + 6)$, *h₀*(3) = $\delta \cdot (6\eta + 4\tau + \xi + 4)$, *h₀*(4) = $\delta \cdot (4\eta + 6\tau + 4\xi + 1)$, *h₀*(5) = $\delta \cdot (\eta + 4\tau + 6\xi)$, *h₀*(6) = $\delta \cdot (\tau + 4\xi)$, *h₀*(7) = $\delta \cdot \xi$, czyli [*h₀*(0), *h₀*(1), ..., *h₀*(7)] = $\delta \cdot [1, 4, 6, 4, 1]^*$

[1, η , τ , ξ], gdzie * jest symbolem operacji splotu. Zakładając precyzję *m* = 16 bitów otrzymujemy 8 stałych *L_i* mnożąc *h₀*(*i*) przez 2¹⁶ (patrz tab. 1). Następnie wykorzystując elastyczność zapisu liczb PCSD (w ogólności XPCSD(*s*)) staramy się znaleźć układ mnożący złożony z jak najmniejszej liczby sumatorów dwuwejściowych. Z tego względu, że grupy stałych często posiadają wspólne wzorce bitowe istnieje możliwość współdzielenia struktury układu mnożącego [2]. Zgodnie z sugestiami wcześniejszych badaczy [4] możemy przyjąć, że poszukiwanie wspólnych sum częściowych (wykorzystywanych przez co najmniej 2 sumatory wielowejściowe) należy wykonywać w taki sposób, aby uniknąć stosowania opóźnień łączących wynik wspólnego sumatora z poszczególnymi sumatorami wielowejściowymi.

Tab. 1. Parametry wektora stałych z przykładu 1
Tab. 1. Constant vector parameters for example 1

stała	znak	<i>L_i</i>	<i>r_{min}</i>	<i>q</i> _{XPCSD(<i>s</i>)}	<i>Q</i>	stała	znak	<i>L_i</i>	<i>r_{min}</i>	<i>q</i> _{XPCSD(<i>s</i>)}	<i>Q</i>
<i>h₀</i> (0)	+	15098	5	10	172	<i>h₀</i> (4)	-	12258	4	7	95
<i>h₀</i> (1)	+	46848	4	8	41	<i>h₀</i> (5)	+	2021	4	7	59
<i>h₀</i> (2)	+	41345	5	12	380	<i>h₀</i> (6)	+	2155	5	12	205
<i>h₀</i> (3)	-	1834	5	12	92	<i>h₀</i> (7)	-	695	5	14	108

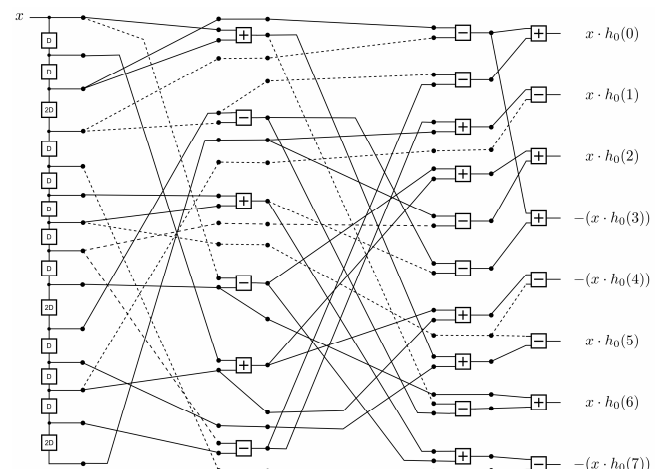
Jeśli dany jest wektor *C* składający się z *M* liczb *L_i*, a każda z tych liczb posiada *q* reprezentacji XPCSD(*s*), to można utworzyć kolejne *M*-elementowe wektory reprezentacji (na podst. konkatencji z poszczególnych reprezentacji). Istnieje

$\alpha = \prod_{i=1}^M q_{XPCSD(s)}(i)$ takich wektorów *C_j*. Dla każdego z tych wektorów tworzymy *k* elementowe podzbiory (począwszy od *K* = *M*, skończywszy na *K* = 2). Takich kombinacji jest $\beta = \sum_{K=2}^M M! / (K! \cdot (M - K)!) = 2^M - M - 1$. Dla każdego podzbioru *C_{jK}* poszukujemy na poszczególnych pozycjach kolumn składających się w całości z identycznych niezerowych cyfr. Każda znaleziona para takich kolumn pozwala wyznaczyć tzw. wspólny sumator, który zastępuje w układzie *K* sumatorów (zatem zmniejsza się o *K* - 1 liczba sumatorów w układzie). Po znalezieniu pary kolumn zerujemy ją jednocześnie zapamiętując liczbę zaoszczędzonych sumatorów. Daje to łącznie $\alpha \cdot \beta$ iteracji (przeszukiwania *max*(*m_i*) kolumn) pomiaru liczby sumatorów układu. Zmniejszenie złożoności poszukiwań możemy uzyskać ograniczając się wyłącznie do *K* = 2, a zwiększenie szansy znalezienia wspólnego sumatora otrzymamy dzięki doborowi dwóch dowolnych kolumn wyłącznie z niezerowych cyfr. Istnieje 8 takich korzystnych sytuacji:

1	1	1	1	1	-1	-1	1	-1	-1	1	1	-1	-1	1	-1	-1
1	1	-1	-1	1	1	1	-1	-1	-1	1	1	1	-1	-1	-1	-1

0	0	0	1	1	0	0	0	0	0	0	-1	0	0	0	1	0
0	1	0	1	0	0	0	1	0	-1	0	0	0	0	0	1	-1
0	0	0	0	0	0	0	1	0	1	1	0	0	-1	0	0	-1
0	0	0	0	0	1	0	0	0	-1	-1	0	-1	0	1	0	0
0	0	0	0	0	1	0	0	0	1	0	0	-1	0	-1	0	-1
0	0	1	0	0	0	-1	0	-1	0	0	0	0	0	-1	0	1
0	1	1	0	0	-1	0	0	-1	0	0	0	0	0	0	0	0
0	0	0	0	0	1	0	0	0	0	0	-1	0	0	1	0	1

Rys. 2. Związki cyfr niezerowych w wektorze stałych
Fig. 2. Non-zero item relations in the constant vector



Rys. 3. Struktura układu mnożącego przez wektor stałych *h₀*(*i*) filtra db8
Fig. 3. Multiplier structure by set of constants *h₀*(*i*) for the db8 filter

W naszym przykładzie $M=8$, $s=1$, $K=2$, $h=3$. Dzięki zastosowaniu reprezentacji XPCSD(1), udało się uzyskać mniejszą liczbę 24 sumatorów (w tym 7 wspólnych), niż w sytuacji użycia PCSD (27 sumatorów, w tym 2 wspólne). Wynik ten osiągnięto pomimo faktu, iż wartości $h_0(2)$ oraz $h_0(3)$ mają reprezentację składającą się z $r_{\min} + 1$ cyfr niezerowych. Potwierdza to słuszność brania pod uwagę także tych reprezentacji, które mają więcej cyfr niezerowych, niż CSD. Wyznaczenie właściwego zbioru reprezentacji wymagało przeanalizowania $8!/(2! \cdot 6!) \cdot 10 \cdot 8 \cdot 12 \cdot 12 \cdot 7 \cdot 7 \cdot 12 \cdot 14 = 2655313920$ różnych reprezentacji wektora stałych.

3. Wnioski

Zaprezentowane techniki pozwoliły dla przykładowego filtru uzyskać strukturę bitowo-szeregowego układu mnożącego przez wektor stałych (patrz rys. 3), która wymaga 12 sumatorów, 12 subtraktorów (linia przerywana oznacza odjemnik) bitowo-szeregowych i 16 opóźnień jednostkowych (co przekłada się na 12 sumatorów oraz 12 subtraktorów jednobitowych i 64 opóźnienia realizowane przy użyciu przerzutników typu D). Rozwiązanie wykorzystującego niezależne bloki sumowania dla każdej stałej L_i w postaci reprezentacji binarnej (bez synchronizacji wynikowych strumieni zawierających iloczyn) wraz z linią opóźniającą wymagało 49 sumatorów bitowo-szeregowych i 25 opóźnień jednost-

kowych (czyli 49 sumatorów jednobitowych i 123 opóźnienia). W wyniku uzyskano 51% zmniejszenie liczby sumatorów (subtraktorów) bitowo-szeregowych i 36% zmniejszenie liczby opóźnień.

4. Literatura

- [1] I. Daubechies, "Ten Lectures on Wavelets", SIAM: Society for Industrial and Applied Mathematics, 1992
- [2] R. Hartley: "Optimization of canonic signed digit multipliers for filter design". IEEE Int. Symp. Circuits and Systems. Singapore, pp. 1992–1995, 1991.
- [3] T. Isshiki: "High-Performance Bit-Serial Datapath Implementation for Large-Scale Configurable Systems", Ph.D. thesis, UCSC, 1996.
- [4] Tay-Jyi Lin, Tsung-Hsun Yang, Chein-Wei Jen: "Coefficient optimization for area-effective multiplier-less FIR filters", Proc. of the 2003 International Conference on Multimedia and Expo (ICME '03), pp. 125-128, 2003
- [5] Tariov A., Mąka T.: "Synteza układów mnożących przez wartość stałą". Materiały konf. Reprogramowalne Układy Cyfrowe - RUC, Szczecin, 2003
- [6] L. Wanhammar, "DSP Integrated Circuits", Academic Press, 1999

Artykuł recenzowany

INFORMACJE

VII Targi Przemysłowej Techniki Pomiarowej CONTROL-TECH 26-28.09.2007, Kielce

Zakres branżowy:

- **Urządzenia pomiarowe**
- **Narzędzia**
- **Obróbka skrawaniem**
- **Automatyka przemysłowa**
 - techniczne środki automatyzacji
 - napędy stosowane w układach automatyzujących
 - układy automatyzacji maszyn, urządzeń oraz stanowisk
 - linie wytwórcze dla różnych procesów i branż
 - technologie automatyki dla wszystkich sektorów przemysłu
 - automatyczny system kontroli dla procesów produkcji
 - systemy kontroli pomiarowej
 - sprzęt i aparaty do wykrywania i diagnozowania instalacji podziemnych rurowych, kablowych
 - urządzenia do zdalnego sterowania maszyn

- **Aparatura badawcza i sprzęt laboratoryjny**
- **Wyposażenie pomieszczeń laboratoryjnych**
- **Metrologia w systemach zapewniania jakości**
- **Oprogramowanie kontrolne dla procesów technologicznych**
- **Technologia laserowa**

Patronat internetowy: [automatyka.pl](http://www.automatyka.pl)

Patronat prasowy: [laboratoria](http://www.laboratoria.org.pl)

CONTROL ENGINEERING

pa automatyka

Elektronik

CENY PROMOCYJNE DO 15 CZERWCA 2007



Szczegółowe informacje:

Menedżer Targów - Joanna Adamczyk
ul. Zakładowa 1, 25-672 Kielce, tel. 041 365 12 14
fax 041 365 13 13, e-mail: control-tech@targikielce.pl

www.control-tech.pl

