

Krzysztof FIRLAŁG, Piotr KAWALEC
POLITECHNIKA WARSZAWSKA, WYDZIAŁ TRANSPORTU

Realizacja koncepcji sterownika ruchu drogowego o strukturze rozproszonej w układach FPGA

Mgr inż. Krzysztof FIRLAŁG

Ukończył studia na Wydziale Transportu Politechniki Warszawskiej w 2001 r. Jest asystentem w Zakładzie Sterowania Ruchem Drogowym Wydziału Transportu. Jego zainteresowania naukowe to technika cyfrowa, elektronika, układy programowalne, układy sterowania ruchem drogowym.



e-mail: kfr@it.pw.edu.pl

Dr inż. Piotr KAWALEC

Ukończył studia na Wydziale Elektroniki Instytutu Transportu w Leningradzie w 1975 r., obronił pracę doktorską w 1979 r. w Instytucie Elektrotechnicznym w Leningradzie. Jest adiunktem na Wydziale Transportu Politechniki Warszawskiej. Jego zainteresowania naukowe to automatyka, elektronika, technika cyfrowa i ich zastosowanie w układach i systemach sterowania i teleinformatyki stosowanych w transporcie.



e-mail: pka@it.pw.edu.pl

Streszczenie

Przedstawiona została koncepcja polegająca na zastąpieniu sterowania ruchem na skrzyżowaniu z jednego sterownika lokalnego, systemem sterowników strumieni ruchu, rozproszonych w obrębie skrzyżowania, zrealizowanych w układach FPGA. Zaproponowano rozwiązanie łączności pomiędzy poszczególnymi urządzeniami. Przedstawiona została zarówno koncepcja jak i proces realizacji sterownika strumienia, proces weryfikacji układu, wyniki z syntezy i implantacji. Ponadto przeprowadzono prognozowanie parametrów niezawodnościowych opracowanego sterownika ruchu.

Słowa kluczowe: sterowanie ruchem drogowym, sterownik o strukturze rozproszonej, niezawodność, FPGA.

The realization of traffic controller with dispersed structure concept in FPGA

Abstract

The replacement's concept of traffic control at the intersection from one traffic controller (fig. 1a) to traffic controllers systems dispersed at the intersection (fig. 1b) done in FPGA has been introduced. The structure of single stream controller (fig. 2) as well as method of communication among certain devices have been presented. The concept as well as design process of stream controller algorithms (fig. 4) have been presented. The process of device verification and results from synthesis and implementation (tab. 1) have been introduced. Furthermore, the forecast of reliability parameters of traffic controller mentioned above has been made (formula 2, 3).

Keywords: traffic control, traffic controller with dispersed structure, reliability, FPGA.

1. Wstęp

Jednym z podstawowych elementów infrastruktury transportu drogowego [1], mającym kluczowy wpływ na bezpieczeństwo, są urządzenia sterowania ruchem. W sterowaniu ruchem drogowym główną rolę pełnią sterowniki lokalne, realizujące sterowanie w obrębie skrzyżowania. Sterowniki lokalne realizują większość funkcji decyzyjnych w obrębie skrzyżowania poprzez realizację zaawansowanych algorytmów sterowania, realizują również funkcje zbierania i przetwarzania danych dotyczących zarówno procesu sterowanego jak i stanu urządzeń sterujących, oraz obsługę wielu urządzeń pomiarowych (detektorów ruchu).

Współczesne sterowniki lokalne ruchu drogowego realizowane są głównie jako urządzenia mikroprocesorowe, programowo realizujące funkcje sterownika. Wykorzystanie rozwiązania mikroprocesorowego wiąże się z realizacją sterowników w formie pojedynczego urządzenia o budowie modułowej, umieszczonego w obszarze skrzyżowania, w którym centralnie realizowane są procesy sterowania ruchem.

Ciągły wzrost poziomu intensywności ruchu pojazdów w miastach powoduje konieczność realizacji, w czasie rzeczywistym,

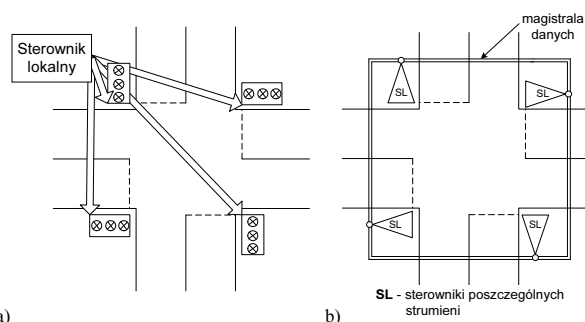
coraz bardziej rozbudowanych algorytmów sterowania, oraz obsługi coraz większej ilości urządzeń pomiarowych. Pojedyncze układy mikroprocesorowe stają się niewystarczające do zapewnienia oczekiwanego poziomu obsługi, rozwiązaniem jest zwielokrotnianie układów mikroprocesorowych lub zastosowanie szybkich i wydajnych układów realizujących przetwarzanie w sposób sprzętowy. Jest to doskonałe miejsce do zastosowań układów programowalnych [2].

Zastosowanie układów FPGA w sterownikach lokalnych umożliwia realizację koncepcji sterownika o strukturze rozproszonej.

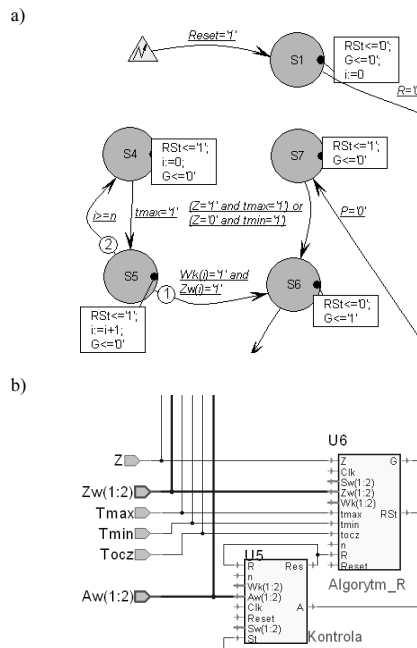
2. Koncepcja sterownika ruchu drogowego o strukturze rozproszonej

Stosowane obecnie sterowniki lokalne, niezależnie od realizowanego algorytmu sterowania, mają strukturę skupioną. Oznaczającą to, że do poszczególnych sygnalizatorów (strumieni ruchu) sygnały sterujące są rozprowadzane z jednego urządzenia sterującego.

W szafie takiego sterownika znajdują się bloki realizujące algorytmy sterowania, kontroli bezpieczeństwa, obsługi detektorów, oraz grupy wykonawcze sygnalizacji świetlnej. Z grup wykonawczych mieszczących się w szafie sterownika do sygnalizatorów, znajdujących się na poszczególnych strumieniach ruchu, prowadzone są przewody elektryczne zasilające poszczególne żarówki (rys. 1a). Średniej wielkości skrzyżowanie wymaga w tym przypadku prowadzenia kilkudziesięciu przewodów ze sterownika do poszczególnych sygnalizatorów. W przypadku, gdy na poziomie sterownika lokalnego odbywa się obsługa detektorów ruchu, to sygnały z wszystkich detektorów też doprowadzane są do danego sterownika. Okablowanie skrzyżowania stanowi znaczący element kosztu instalacji sterownika sygnalizacji świetlnej na skrzyżowaniu.



Rys. 1. Sterownik lokalny o strukturze: a) skupionej; b) rozproszonej
Fig. 1. The local traffic controller: a) with centralized structure; b) with dispersed structure



Rys. 5. Fragmenty wyspecjalizowanego sterownika ruchu: a) w FSM; b) w BDE
 Fig. 5. Fragments of traffic streams controller: a) in FSM; b) in BDE

Wyspecyfikowane układy poddano gruntownej weryfikacji poprawności działania. Wykorzystano metody testowania, specjalnie opracowane i dostosowane do testowania układów sterowników ruchu drogowego zrealizowanych w strukturach FPGA [4], opierające się na obserwacji i analizie odpowiedzi układu na wymuszenia testowe, zarówno na przebiegach czasowych jak i w poszczególnych edytorach programu Active-HDL. Dla zapewnienia pełnej weryfikacji pracy układu, pokrycia testami wszystkich funkcji układu, zastosowano narzędzie Code Coverage. W pełni przetestowany model sterownika poddano syntezie i implementacji.

Do syntezy i implementacji układu sterownika wykorzystano narzędzie ISE firmy Xilinx. Syntezy sterownika dokonano w układzie FPGA serii Spartan 3 (XC3S200FT256). Uzyskane po implementacji wyniki przedstawione są w tabeli 1.

Tab. 1. Wykorzystanie zasobów użytego układu FPGA
 Tab. 1. FPGA's used resources

Struktura logiczna	XC3S200FT256
Wyprowadzeń	24 (13%)
Błoków Slice	77 (4%)
Komórek LUT 4 wej	142 (3%)
Przerzutników	48 (1%)
Maksymalna częstotliwość pracy	204,541 MHz

Po procesie syntezy i implementacji przetestowano sterownik ruchu z uwzględnieniem czasów propagacji użytej struktury programowalnej. Po zweryfikowaniu poprawności układu, możliwe jest jego prototypowanie w zestawie uruchomieniowym Spartan-3, zawierającym układ FPGA (XC3S200FT256).

5. Prognoza niezawodności sterownika o strukturze rozproszonej

Prognozowanie niezawodności, wyznaczenie współczynnika MTBF dla specjalizowanego sterownika strumieni zrealizowanego na układach programowalnych, przeprowadzono dwiema metodami:

- metodą opartą na MIL-HDBK 217;
- wykorzystując parametr FIT [uszkodzeń/ 10^9 godziny], parametr intensywności uszkodzeń struktury programowalnej, wyznaczany i podawany po przez firmę Xilinx, w co kwartalnych raportach niezawodnościowych.

Metoda oparta na MIL-HDBK 217 pozwala wyznaczyć parametr intensywności uszkodzeń λ na podstawie szeregu parametrów:

$$\lambda = (C_1\pi_T + C_2\pi_E)\pi_Q\pi_L \quad (1)$$

gdzie: C_1, C_2 - współczynniki złożoności struktury krzemu, ilości wyprowadzeń; $\pi_T, \pi_E, \pi_Q, \pi_L$ - współczynniki stresu temperatury otoczenia, środowiska, jakości elementu, dojrzałości procesu produkcyjnego. Wyznaczając poszczególne parametry, otrzymano $\lambda = 0,27325 \cdot 10^{-6}$ [h].

Wykorzystując zależność (2) wyznaczono parametr $MTBF$ sterownika o strukturze rozproszonej zrealizowanego w układzie Spartan3:

$$MTBF = \frac{1}{\lambda} = \frac{1}{0,27325 \cdot 10^{-6}} \approx 3,66 \cdot 10^6 h. \quad (2)$$

Metoda oparta na parametrze intensywności uszkodzeń FIT pozwala bezpośrednio wyznaczyć średni czas pomiędzy uszkodzeniami $MTBF$. Według producenta układów parametr intensywności uszkodzeń FIT dla wybranej struktury FPGA dla układu Spartan3 produkowanego w technologii 0,09 μm wynosi $FIT_{Spartan3} = 3$ [uszkodzeń/ 10^9 godziny].

Parametr $MTBF$ sterownika ruchu w układach Spartan3:

$$MTBF = \frac{1}{FIT} = \frac{1}{3 \cdot 10^{-9}} \approx 333,3(3) \cdot 10^6 h. \quad (3)$$

Różnica w otrzymanych wynikach, na korzyść metody opartej na FIT , wynika z faktu, że metoda MIL 217 jest starszą metodą. Parametry niezawodnościowe wyznaczane w oparciu o nią zależą głównie od ilości wyprowadzeń układu, w mniejszym zaś stopniu od jego zaawansowania technologicznego. Metoda oparta o FIT bazuje na rzeczywistych parametrach intensywności uszkodzeń, wyznaczonych w wyniku testów konkretnych struktur FPGA. Jej wyniki są, więc bardziej zbliżone do rzeczywistości. Wartość parametru $MTBF$ sterownika potwierdza zalety jego realizacji w strukturach programowalnych.

6. Wnioski

Opracowana koncepcja sterowania rozproszonego w połączeniu z zastosowaniem układów programowalnych pozwoli na realizację prostych kompaktowych sterowników strumieni z możliwością umieszczenia ich w komorach sygnalizatorów. Taka realizacja sterowników ruchu drogowego znacznie obniża koszt instalacji sygnalizacji świetlnej na skrzyżowaniu.

Analiza niezawodnościowa sterowników realizowanych w układach FPGA, wykazała przewagę, w tej dziedzinie, tego typu rozwiązań nad rozwiązaniami mikroprocesorowymi. Wyznaczone parametry niezawodnościowe układów FPGA, rzędu $MTBF=333,3(3) \cdot 10^6$ [h], pokazują, że układy te prędzej zestarzeją się moralnie niż nastąpi ich rzeczywiste zużycie.

7. Literatura

- [1] M. Leško, J. Guzik: Sterowanie ruchem drogowym. Sterowniki i systemy sterowania i nadzoru ruchu. Wydawnictwo Politechniki Śląskiej, 2000.
- [2] T. Łuba, K. Jasiński, B. Zwierzchowski: Specjalizowane układy cyfrowe w strukturach PLD i FPGA. WKŁ, 1997.
- [3] P. Kawalec, K. Firląg: Koncepcja sterowników lokalnych ruchu drogowego o strukturze rozproszonej. Politechnika Radomska, Prace Naukowe – Transport nr 1(15)2002, Radom, 2002.
- [4] P. Kawalec, K. Firląg: Testowanie układów sterowania ruchem drogowym w strukturach FPGA. Politechnika Radomska, Prace Naukowe – Elektryka nr 1 (9) 2005, Radom, 2005.