

Piotr KAWALEC¹, Dariusz KOLIŃSKI²

¹POLITECHNIKA WARSZAWSKA, WYDZIAŁ TRANSPORTU

²BIURO AUTOMATYKI I TELEKOMUNIKACJI CENTRALI PKP PLK SA

Synteza i analiza niezawodnościowa urządzeń sterowania ruchem kolejowym zrealizowanych w układach FPGA

Dr inż. Piotr KAWALEC

Ukończył studia na Wydziale Elektroniki Instytutu Transportu w Leningradzie w 1975 r., obronił pracę doktorską w 1979 r. w Instytucie Elektrotechnicznym w Leningradzie. Jest adiunktem na Wydziale Transportu Politechniki Warszawskiej. Jego zainteresowania naukowe to automatyka, elektronika, technika cyfrowa i ich zastosowanie w układach i systemach sterowania i teleinformatyki stosowanych w transporcie.



e-mail: pka@it.pw.edu.pl

Mgr inż. Dariusz KOLIŃSKI

Ukończył studia na Wydziale Transportu Politechniki Warszawskiej w 2005 r. Jest starszym specjalistą w Biurze Automatyki i Telekomunikacji Centrali PKP PLK S.A. Jego zainteresowania naukowe to automatyka, elektronika, sterowanie ruchem kolejowym, optymalizacja funkcji sterowania.



e-mail: d.kolinski@pkp.com.pl

Streszczenie

W artykule przedstawiono nową metodę budowy specjalizowanych sterowników obiektowych dla potrzeb sterowania ruchem kolejowym. Na przykładzie samoczynnej sygnalizacji przejazdowej przedstawiono wymagania bezpieczeństwa i niezawodnościowe stawiane takim sterownikom. Przeprowadzono syntezę sterownika obiektowego zrealizowanego z wykorzystaniem układów FPGA oraz podano metodykę wyznaczania parametrów niezawodnościowych i wyznaczono szybkość działania prototypu sterownika.

Słowa kluczowe: sterowanie ruchem kolejowym, niezawodność, układy FPGA.

Synthesis and reliability analysis of railway control system realized with FPGA

Abstract

This article describes new method of the dedicated object-oriented controllers designing for railway control. Reliability and safety requirement (Fig. 1) of railway crossing are showed. Synthesis (Tab. 1) and methods of defining reliability parameters and timing parameters object-oriented controllers' realised (Fig. 3, Fig. 4) in FPGA are.

Keywords: railway control, reliability, FPGA.

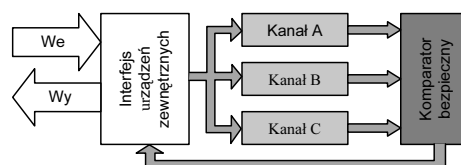
1. Wprowadzenie

Samoczynna sygnalizacja przejazdowa (ssp) to zespół urządzeń samoczynnie sterujących ruchem drogowym na przejeździe kolejowym [1]. Niezależnie od liczby urządzeń zewnętrznych, najistotniejszym problemem do rozstrzygnięcia przed rozpoczęciem projektowania jest przejęcie sposobu zapewnienia bezpieczeństwa [2] oraz określenie dyspozycyjności urządzeń.

Dotychczas eksploatowane ssp na kolejach polskich pracują jako układy dwukanałowe, włączające ssp w trybie 1 z 2 a wyłączając w trybie 2 z 2. Rozwiązanie to po uszkodzeniu jednego z kanałów prowadzi do awaryjnego załączenia ssp i konieczności wprowadzania ograniczeń prędkości jazdy pociągów na przejeździe. Z tego względu niezbędne jest utrzymywanie w stałej gotowości personelu obsługi technicznej do usuwania awarii. Znacznie większe skutki takiego uszkodzenia występują, gdy do jego usunięcia musi przyjechać serwis producenta ssp. Takie rozwiązania powodują obniżenie poziomu bezpieczeństwa, natomiast użytkownicy dróg tracą zaufanie do niesprawnych urządzeń ssp. Spostrzeżenia te były powodem przyjęcia trójkanałowego modelu sterowania (rys. 2) dla projektowanej w układach FPGA ssp.

Zasadniczym stanem pracy jest tryb 3 z 3 a uszkodzenie jednego z kanałów powoduje przejście do stanu usterki

bezpiecznej z zapewnieniem wymaganego poziom bezpieczeństwa (tryb pracy 2 z 2). W stanie tym nie zachodzi konieczności wprowadzania ograniczeń prędkości, a serwis będzie miał czas na usuwanie zaistniałego uszkodzenia.



Rys. 1. Trójkanałowa struktura urządzeń ssp
Fig. 1. Three-channel structure of the ssp devices

Uszkodzenie kanałów powoduje przejście do stanu awarii i zachowania ssp jak w rozwiązaniach dotychczasowych. Specyfikację i weryfikację najbardziej rozbudowanej postaci ssp dla linii dwutorowej przeprowadzono w pracowni techniki cyfrowej Wydziału Transportu Politechniki Warszawskiej [3].

2. Synteza i implementacja kanału ssp i komparatora w układach FPGA

Do syntezy i implementacji wykorzystano pakiet ISE firmy Xilinx, wybierając układy z rodziny Spartan II układów FPGA. Do realizacji kanału ssp wybrano układ XC2S30 VQ100, a dla komparatora wybrano układ XC2S100 VQ144. Przy czym kryterium decydującym w obu przypadkach była liczba wejść i wyjść układu, natomiast drugorzędym kryterium był procent wykorzystanych zasobów [4].

Wyniki syntezy i implementacji przedstawiono w tab. 1.

3. Wyznaczenie maksymalnego czasu przetwarzania dla ssp

Jako optymalny okres przyjęto sumę czasu propagacji w kombinacyjnej części układu oraz minimalnego okresu zegara taktującego. Takie rozwiązanie zapewni rozpoczęcie nowego przetwarzania sygnałów wejściowych po zakończeniu pracy układów kombinacyjnych, co ma istotne znaczenie przy stosowaniu sprzężeń sygnałów. Zatem optymalne okresy zegara dla kanału i komparatora wynoszą:

$$T_{opt_A} = t_{SYSTEM_A} + t_{LOGI_A} = 10,631 + 9,188 = 19,819[ns], \quad (1)$$

$$T_{opt_K} = t_{SYSTEM_K} + t_{LOGI_K} = 10,183 + 13,385 = 23,568[ns]. \quad (2)$$

gdzie:

- T_{opt_A} – optymalny okres zegara układu realizującego funkcje kanału (XC2S30),
 T_{opt_K} – optymalny okres zegara układu realizującego funkcje komparatora (XC2S100),
 t_{SYSTEM_A} – minimalny okres zegara dla układu realizującego funkcje kanału,
 t_{SYSTEM_K} – minimalny okres zegara dla układu realizującego funkcje komparatora,
 t_{LOGI_A} – maksymalny czas przetwarzania sygnału na części kombinacyjnej układu realizującego funkcje kanału,
 t_{LOGI_K} – maksymalny czas przetwarzania sygnału na części kombinacyjnej układu realizującego funkcje komparatora.

Tab. 1. Wyniki syntezy i implementacji kanału ssp i komparatora
 Tab. 1. The results of synthesis and implementation of the ssp channel and comparator

Typ układu	XC2S30			XC2S100		
	Kanał ssp			Komparator		
	Zasoby		% wykorzystania	Zasoby		% wykorzystania
wykorzystane	dostępne	wykorzystane		dostępne		
Konfigurowalne bloki logiczne (CLB)	360	432	83	904	1200	75
Przerzutniki	257	864	29	627	2400	26
Uniwersalne 4 wejściowe bloki logiczne (LUT)	638	864	73	1615	2400	67
Wejścia-wyjścia(IOB)	57	64	89	81	96	84
Sygnały zegarowe	2	4	50	1	4	25
Wyznaczone parametry czasowe [ns]						
Minimalny okres zegara taktującego	10,631			10,183		
Minimalny czas podania sygnału na wejściu przed taktem zegara	9,036			10,386		
Maksymalny czas opóźnienia sygnału na wyjściu po takcie zegara	10,766			10,252		
Maksymalnym opóźnienie na ścieżce kombinacyjnej	9,188			13,385		

Ponieważ przyjęto, że dla ssp będzie jeden zegar systemowy, zatem o maksymalnej częstotliwości zegara decyduje dłuższy z obliczonych okresów, jest to w tym przypadku okres komparatora.

$$f_{SYSTEM_SSP} = \frac{1}{T_{OPT_K}} = \frac{1}{23,586} = 42,43 [MHz]. \quad (3)$$

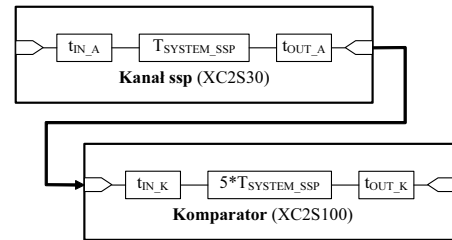
Do dalszych obliczeń przyjęto częstotliwość zegara systemowego 40 MHz, co oznacza okres zegara systemowego T_{SYSTEM_SSP} wynoszący 25 ns.

Do wyznaczenia maksymalnego czasu realizacji funkcji sterujących, ssp (rys. 2) niezbędna jest znajomość architektury zastosowanych układów FPGA oraz przyjętego sposobu realizacji funkcji sterujących w zastosowanych układach. Stąd też w zależności (4) dla komparatora okres zegara występuje pięciokrotnie z uwagi na sposób realizacji sterowania w układzie usuwania pojedynczych przekłamań.

Maksymalny czas realizacji funkcji sterujących wynosi:

$$T_{PD_SSP} = t_{IN_A} + T_{SYSTEM_SSP} + t_{OUT_A} + t_{IN_K} + 5 \cdot T_{SYSTEM_SSP} + t_{OUT_K} = 9,036 + 25 + 10,766 + 10,386 + 5 \cdot 25 + 10,252 = 190,44 [ns] \quad (4)$$

Można, zatem przyjąć, że maksymalny czas wysterowania dowolnego wyjścia ssp od podania sygnału sterującego na wejście nie przekroczy 200 ns.



Rys. 2. Model czasów realizacji funkcji sterujących ssp zbudowanych z układów FPGA

Fig. 2. The model of the Times of realisation of the ssp controlling functions builds in FPGA devices

4. Wyznaczenie prognozowanej intensywności uszkodzeń układów oraz prawdopodobieństwa uszkodzeń

Przy wyznaczaniu intensywności uszkodzeń parametrycznych (λ_p) uwzględnione zostały wszystkie parametry produkcyjne i eksploatacyjne. Są nimi: wielkość układu, rodzaj obudowy, liczba wyprowadzeń, rodzaj produkcji i stopień jej opanowania, temperatura i środowisko pracy, rodzaj układu (liniowy, cyfrowy). Dla obu układów FPGA (XC2S30 i XC2S100) przyjęto jednakowe warunki środowiskowe i produkcyjne (tab. 2). Do obliczeń przyjęto warunki środowiskowe typowe dla urządzeń srk zabudowanych w pomieszczeniach nie klimatyzowanych.

Tab. 2. Wartości współczynników charakteryzujących warunki środowiskowe i sposób produkcji

Tab. 2. The values of the factors characterising the environmental conditions and the production technology

Symbol współczynnika	Wartość dla układu		Uwagi
	XC2S30	XC2S100	
C_1	0,0136	0,0272	Układy posiadają odpowiednio 30k i 100k bramek przelazeniowych
C_2	0,0405	0,0600	Obudowy układów hermetyczne
π_T	0,98	0,98	Temperaturę złącza określono jako temperaturę otoczenia plus 13 stopni. ($T_J=83^\circ C$)
π_E	2,0	2,0	Dla ssp warunki środowiskowe przyjmuje się G_F – naziemne, stałe pomieszczenia bez klimatyzacji, z niewielkimi narażeniami na drgania mechaniczne
π_Q	1,0	1,0	Wartość współczynnika charakteryzująca jakość produkcji w klasie B
π_L	1,05	1,05	Produkcja układów jest opanowana – trwa dłużej niż 2 lata

Obliczenia prognozowanej intensywności uszkodzeń parametrycznych przeprowadzono na podstawie relacji

i parametrów podanych w [5]. Intensywność uszkodzeń zastosowanych układów FPGA obliczana jest z zależności (5):

$$\lambda_{ukladu} = (C_1 \cdot \pi_T + C_2 \cdot \pi_E) \cdot \pi_Q \cdot \pi_L [10^{-6} h^{-1}]. \quad (5)$$

gdzie:

λ_{ukladu} – prognozowana intensywność uszkodzeń układu programowalnego,

C_1 – współczynnik odzwierciedlający liczbę bramek przeliczeniowych,

C_2 – współczynnik typu obudowy oraz liczby wyprowadzeń,

π_E – współczynnik wpływu środowiska,

π_T – współczynnik wpływu temperatury złącza (T_j),

π_Q – współczynnik jakości produkcji,

π_L – współczynnik opanowania produkcji.

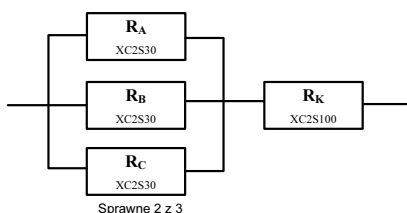
Zatem, intensywność uszkodzeń układów po uwzględnieniu współczynników wynosi:

$$\lambda_{XC2S30} = 0,1 \cdot 10^{-6} [h^{-1}], \quad (6)$$

$$\lambda_{XC2S100} = 0,15 \cdot 10^{-6} [h^{-1}]. \quad (7)$$

Z uwagi na sprzętowy charakter pracy układów programowalnych wyznaczone wartości intensywności uszkodzeń układów, oznaczają końcowe wyniki, albowiem w układach tych sterowanie nie jest realizowane za pomocą oprogramowania jak w rozwiązaniach mikroprocesorowych.

Wyznaczenie funkcji niezawodności dla trójkanałowej ssp jest kolejnym etapem obliczeń istotnych podczas eksploatacji, albowiem istotne jest określenie zdolności urządzenia do spełniania postawionych mu zadań, w określonych dla niego warunkach. Do wyznaczenia niezawodności zastosowany został rozkład wykładniczy, dla którego parametrem charakterystycznym jest obliczona powyżej intensywność uszkodzeń. Określona postać niezawodnościowa ssp (rys. 3) pozwala wyznaczyć niezawodność pracy całej ssp do wystąpienia uszkodzenia niebezpiecznego.



Rys. 3. Struktura niezawodnościowa zaprojektowanej ssp z układów FPGA
Fig. 3. The reliability structure of the ssp realized in FPGA devices

Zatem funkcje niezawodności poszczególnych kanałów mają postać:

$$R_A(t) = R_B(t) = R_C(t) = R_{XC2S30}(t) = e^{-\lambda_A t} [h^{-1}]. \quad (8)$$

Natomiast funkcja niezawodności poprawnej pracy kanałów:

$$R_{ABC}(t) = \sum_{i=1}^n \frac{n!}{k!(n-k)!} [R_A(t)]^k \cdot [1 - R_A(t)]^{n-k}. \quad (9)$$

gdzie:

$R_{ABC}(t)$ – funkcja niezawodności pracy 2 z 3 kanałów,

$R_A(t)$ – funkcja niezawodności pracy pojedynczego kanału,

n – liczba wszystkich kanałów,

k – wymagana liczba kanałów sprawnych.

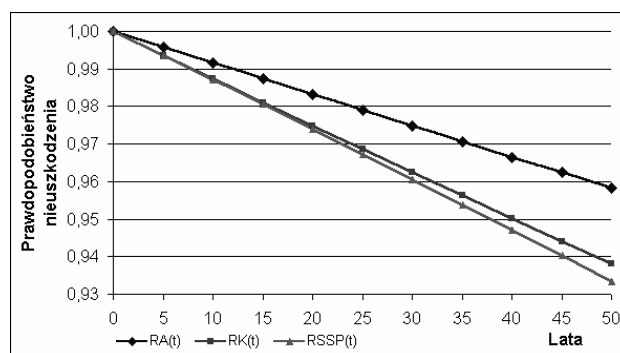
Aby uznać ssp za sprawną, wymagana jest poprawna praca, co najmniej dwóch z trzech kanałów oraz poprawna praca komparatora. Zatem po rozwiązaniu zależności (9) uzyskujemy:

$$R_{ABC}(t) = 3[R_A(t)]^2 - 2[R_A(t)]^3. \quad (10)$$

Po podstawieniu funkcja niezawodności ssp będzie mieć postać:

$$R_{SSP}(t) = R_{ABC}(t) \cdot R_K(t) = (3e^{-\lambda_A t} - 2e^{-\lambda_A t}) \cdot e^{-\lambda_A t}. \quad (11)$$

Na podstawie powyższych zależności wyznaczono wartości funkcji niezawodności kanału, komparatora i całej ssp w okresie 50 lat eksploatacji i przedstawiono je graficznie (rys. 4). Niewielka odległość między przebiegiem funkcji niezawodności komparatora i całej ssp potwierdza poprawność przyjętej koncepcji trójkanałowego przetwarzania.



Rys. 4. Wykresy funkcji niezawodności w okresie pierwszych 50 lat eksploatacji
Fig. 4. The graph of the reliability function in the first 50 years operating period

5. Wnioski

Wyznaczone parametry czasowe oraz niezawodnościowe ssp zaprojektowanej po raz pierwszy z zastosowaniem układów FPGA są znacznie lepsze od parametrów rozwiązań dotychczas stosowanych. Intensywność uszkodzeń jest ponad dziesięciokrotnie mniejsza a czas przetwarzania ponad tysiącrotnie krótszy od rozwiązań obecnie stosowanych. Tak korzystne parametry czasowe wynikają ze współbieżnego przetwarzania sygnałów, natomiast bardzo dobre parametry niezawodnościowe wynikają ze sprzętowej realizacji algorytmu sterowania.

6. Literatura

- [1] P. Kawalec, D. Koliński: Algorytmizacja funkcji samoczynnych sygnalizacji przejazdowych z wykorzystaniem wspomaganie komputerowego. Politechnika Radomska, Prace Naukowe – Transport nr 1 (17) 2003, Radom, 2003, str. 255 – 260.
- [2] Wymagania bezpieczeństwa dla urządzeń sterowania ruchem kolejowym, wymagania opracowane przez CNTK, Warszawa 1997.
- [3] P. Kawalec, D. Koliński: Analiza i synteza trójkanałowej samoczynnej sygnalizacji przejazdowej w strukturach FPGA. Politechnika Warszawska, Prace Naukowe – Transport, z. 56, OWPW, Warszawa, 2006, str. 61 – 85.
- [4] P. Kawalec, D. Koliński, J. Mocki: Zastosowanie programowalnych struktur logicznych w projektowaniu urządzeń sterowania ruchem kolejowym. Problemy kolejnictwa, Nr 140, CNTK, Warszawa, 2005, str. 66 – 88.
- [5] Military handbook: reliability prediction of electronic equipment, USA Departament Of Defense, MIL 217F (02.12.1991), Notice 1 (10.07.1992), Notice 2 (28.02.1995)