

Ryszard SZPLET, Kamil KLEPACKI

WOJSKOWA AKADEMIA TECHNICZNA, INSTYTUT TELEKOMUNIKACJI

## Precyzyjny konwerter czasowo-cyfrowy wykorzystujący metodę skracania impulsu zrealizowany w układzie FPGA

Dr inż. Ryszard SZPLET

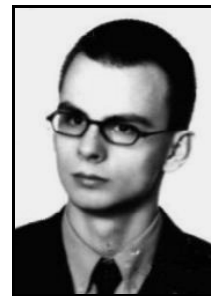
Ukończył studia na Wydziale Elektroniki Wojskowej Akademii Technicznej. W 1997 r. obronił pracę doktorską. Odbył staż naukowy na Uniwersytecie w Oulu (Finlandia). Jest adiunktem w Instytucie Telekomunikacji WAT. Jego zainteresowania naukowe dotyczą precyzyjnej metrologii czasu i projektowania układów cyfrowych z użyciem układów programowalnych i specjalizowanych.



e-mail: rszplet@wel.wat.edu.pl

Kamil KLEPACKI

Jest studentem V roku Wydziału Elektroniki Wojskowej Akademii Technicznej, gdzie studiuje na specjalności Systemy Cyfrowe w trybie indywidualnym. Jego zainteresowania to zastosowanie układów FPGA w telekomunikacji i projektowanie układów ASIC. W 2006 r. odbył tym zakresie kurs specjalistyczny dotyczący projektowania mikroelektronicznych układów analogowych.



e-mail: kamil.klepacki@gmail.com

### Streszczenie

W artykule przedstawione są projekt i wyniki badań konwertera czas-liczba o rozdzielczości 75 ps i zakresie pomiarowym 5.5 ns. Konwerter został zrealizowany w układzie programowalnym Spartan3 firmy Xilinx. Do konwersji czasowo-cyfrowej zastosowano metodę skracania impulsu. W konwerterze wykorzystano cyfrowy detektor zboczy impulsu, który umożliwia kontrolowanie wartości rozdzielczości i niezależnia mierzonego czasu trwania impulsu od niekorzystnego wpływu linii transmisyjnych i programowalnych matryc połączeniowych.

**Słowa kluczowe:** precyzyjna metrologia czasu, konwerter czas-liczba, skracanie impulsu.

### Precise time-to-digital converter based on pulse-shrinking implemented in FPGA device

#### Abstract

This paper describes design and test results of the time-to-digital converter with 75 ps resolution and 5.5 ns measurement range. The converter is implemented in a single programmable device from family Spartan3 (Xilinx). The pulse-shrinking method is used for time-to-digital conversion. Digital pulse-edges detector is applied to control of the conversion resolution and to do measured width time of pulse independent from disadvantageous influence of transmission lines and programmable switch matrixes.

**Keywords:** precise time metrology, time-to-digital converter, pulse-shrinking.

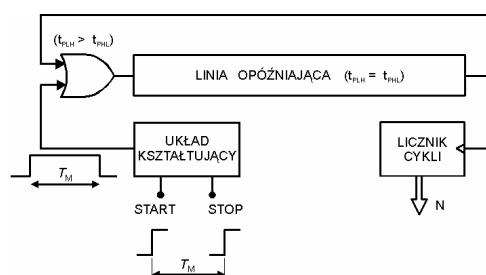
### 1. Wstęp

Wśród metod pomiarowych stosowanych obecnie do precyzyjnych pomiarów odcinka czasu dominują metody cyfrowe, które w odróżnieniu od stosowanych wcześniej metod analogowych stwarzają możliwość realizacji kompletnego układu pomiarowego w postaci scalonej. Najczęściej stosowaną metodą pomiarową jest bezpośrednia konwersja czasowo-cyfrowa z użyciem dyskretnej linii kodującej [1]. Pozwala ona uzyskiwać względnie wysokie rozdzielczości, na poziomie kilkunastu ps [2], przy stosunkowo krótkim czasie konwersji. Naturalna tendencja zwiększania rozdzielczości konwerterów z jednoczesnym utrzymaniem, bądź nawet zwiększaniem zakresu pomiarowego powoduje, że linie kodujące stają się coraz dłuższe, czyli zawierają coraz większą liczbę elementów opóźniających [3]. Dłuższe linie są wrażliwsze na zmiany temperatury otoczenia i napięcia zasilającego a uzyskanie dobrej liniowości konwersji, czyli jednakowych czasów propagacji wszystkich elementów oraz opóźnień między-elementowych jest praktycznie niemożliwe. Zatem konieczne staje się skracanie linii i stosowanie bardziej zaawansowanej metody konwersji dwustopniowej [4 – 6] lub zwielokrotnianie linii kodującej [7]. Jednakże są to metody znacznie bardziej złożone układowo, stwarzające wiele problemów projektowych i implementacyjnych.

Innymi, cyfrowymi metodami pomiarowymi, które przy względnie prostej realizacji układowej dają możliwość uzyskania teoretycznie dowolnie małych rozdzielczości są metoda noniusza [8] i metoda skracania impulsu. Druga z wymienionych metod była dotychczas wykorzystywana w scalonych konwerterach realizowanych jedynie jako układy specjalizowane ASIC (*Application Specific Integrated Circuit*) [9, 10], gdyż tylko ta technologia zapewnia możliwość niezależnego i względnie dokładnego regulowania czasów propagacji układu dla obydwu zboczy impulsu (regulacja rozdzielczości konwertera) oraz pozwala na realizację względnie długich pętli opóźniających (ustalenie zakresu pomiarowego). Jest to jednak technologia stosunkowo droga z długim cyklem projektowo-wykonawczym. Najnowsze programowalne matryce bramkowe FPGA (*Field Programmable Gate Array*) zawierają m.in. linie do realizacji szybkich przeniesień arytmetycznych (*carry chain*), które charakteryzują się stosunkowo zbliżonymi czasami opóźnień dla zboczy narastającego i opadającego. Pomimo braku możliwości elektrycznego regulowania wartości tych czasów, można na drodze eksperymentalnej tak skonfigurować pętlę opóźniającą z użyciem linii *carry chain*, aby zapewniała względnie wysoką rozdzielczość (poniżej 100 ps) i zakres pomiarowy (co najmniej 5 ns) pozwalający na zastosowanie konwertera w kompletnym liczniku czasu.

### 2. Pomiar odcinka czasu metodą skracania impulsu

Uproszczony schemat układu konwertera opartego na metodzie skracania impulsu jest pokazany na rys. 1.



Rys. 1. Uproszczony schemat konwertera wykorzystującego metodę skracania impulsu

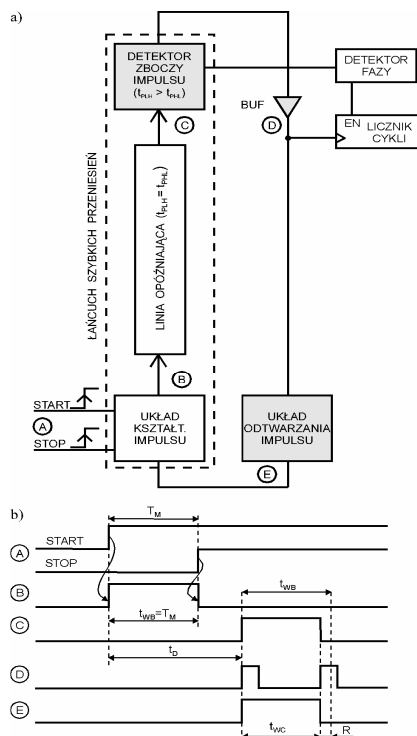
Fig. 1. Simplified diagram of the time-to-digital converter based on pulse shrinking method

Impulsy wejściowe START i STOP, oznaczające odpowiednio początek i koniec mierzonego odcinka czasu  $T_M$ , wykorzystywane są w układzie kształtującym do wytworzenia impulsu o czasie trwania równym czasowi mierzonego odcinka. Impuls ten podawany jest na wejście pętli, zawierającej bramkę OR oraz linię opóźniającą złożoną z buforów nieodwracających. Bufory w pętli powinny być zaprojektowane w taki sposób, aby czasy propagacji

dla zboczy narastającego i opadającego były jednakowe. Dzięki temu czas trwania transmitowanego przez linię sygnału nie ulega zmianie. Natomiast znajdująca się w pętli bramka OR powinna charakteryzować się czasem propagacji  $t_{PLH}$  dłuższym od czasu  $t_{PHL}$ . Powoduje to, że czas trwania impulsu wejściowego jest po każdej transmisji przez bramkę skracany o wartość różnicy ( $t_{PLH} - t_{PHL}$ ). Impuls wejściowy krąży w pętli do całkowitego zaniknięcia, a liczba cykli  $N$  jest zapamiętywana w liczniku cykli. Mierzony czas trwania  $T_M$  można obliczyć jako  $T_M = N \times R$ , gdzie  $R = (t_{PLH} - t_{PHL})$  oznacza rozdzielczość. Zakres pomiarowy konwertera jest proporcjonalny do liczby elementów w pętli i ich czasów propagacji.

### 3. Projekt konwertera czas-liczba

Schemat blokowy zaprojektowanego konwertera jest pokazany na rys. 2a. Praktyczna realizacja konwertera odbywała się dwuetapowo. Najpierw w układzie programowalnym zaimplementowano prostszą wersję przetwornika, zawierającą układ kształtowania impulsu, linię opóźniającą, detektor fazy i licznik cykli.



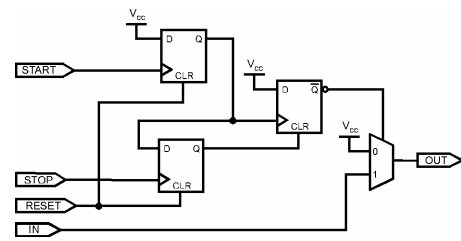
Rys. 2. Schemat blokowy (a) oraz przebiegi (b) w konwerterze czas-liczba wykorzystującym metodę skracania impulsu (bloki zacieniowane dodano w drugim etapie realizacji konwertera)

Fig. 2. Block diagram (a) and waveforms (b) in the time-to-digital converter based on pulse shrinking method (shaded blocks were added in the second stage of the design)

W układzie XC3S400 serii Spartan3 (Xilinx), wybranym do realizacji konwertera czasowo-cyfrowego, linie *carry chain* zbudowane są z multiplekserów 2x1. Multipleksery te charakteryzują się w przybliżeniu jednakowymi czasami propagacji dla obydwu zboczy impulsu, przez co nadają się do realizacji linii opóźniającej projektowanego konwertera. Ponieważ każdy łańcuch zawiera 128 multiplekserów o średnim czasie propagacji około 50 ps, jest więc linią o opóźnieniu około 6.4 ns. Taka właśnie linia została użyta w projekcie konwertera (rys. 2a).

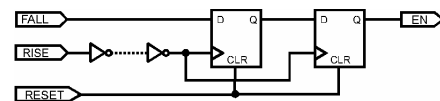
Zadaniem układu kształtowania impulsu (rys. 3) jest wytworzenie na wyjściu OUT impulsu o czasie trwania  $t_{WB}$  proporcjonalnym do mierzonego odcinka czasu  $T_M$  pomiędzy sygnałami wejściowymi START i STOP (rys. 2b, przebiegi A i B). Impuls ten jest następnie podawany na wejście linii opóźniającej. W celu zminimalizowania długości i liczby segmentów ścieżek transmisyjnych oraz liczby programowalnych matryc połączeniowych, które mogłyby wpływać na czas trwania propagowanego impulsu, układ

kształtowania został zaprojektowany z użyciem multipleksera 2x1, który jest zarazem pierwszym elementem linii opóźniającej.



Rys. 3. Schemat układu kształtowania impulsu  
Fig. 3. Schematic of the pulse forming circuit

Detektor fazy, pokazany na rys. 4, wytwarza sygnał zezwolenia EN dla licznika cykli i wstrzymuje zliczanie kiedy odcinek czasu pomiędzy zboczami skracanego impulsu, reprezentowanymi parą sygnałów na wejściach RISE i FALL, osiągnie minimalną dopuszczalną wartość. Wartość ta jest odwrotnie proporcjonalna do opóźnienia wnoszonego przez inwertery w torze sygnału RISE. W celu zminimalizowania prawdopodobieństwa wystąpienia zjawiska metastabilności, mogącego powodować błędy detekcji, w układzie detektora użyto dwóch przerzutników działających jako synchronizator podwójny.



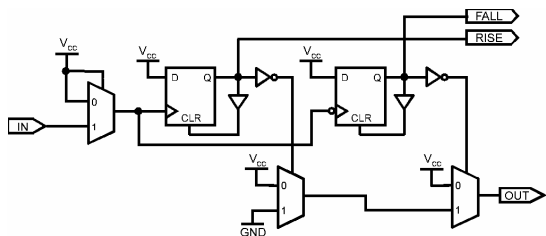
Rys. 4. Schemat detektora fazy  
Fig. 4. Schematic of the phase detector

Licznik cykli zlicza liczbę obiegów mierzonego impulsu w pętli do momentu osiągnięcia przez impuls minimalnego czasu trwania. Ponieważ zakres pomiarowy konwertera powinien wynosić co najmniej 5 ns a zakładana rozdzielczość nie powinna być gorsza niż 100 ps, to zakres licznika nie może być mniejszy niż 50. Aby zapewnić poprawne działanie układu w sytuacji kiedy rzeczywisty zakres pomiarowy jest większy a wartość rozdzielczości mniejsza niż zakładane, zastosowano 10-bitowy szeregowy licznik dwójkowy, który z nadmiarem spełnia postawione wymagania.

Opisaną wersję konwertera czasowo-cyfrowego zaimplementowano w układzie Spartan3 i poddano badaniom eksperymentalnym. Na podstawie wyników badań ustalono, że w pętli występuje duże niezrównoważenie sumarycznych czasów propagacji  $t_{PLH}$  i  $t_{PHL}$ . Skutkiem tego uzyskana wartość rozdzielczości jest stosunkowo duża i wynosi około 142 ps. Największe skracanie impulsu, propagującego się w pętli, następuje w programowalnych matrycach połączeniowych (*switch matrix*) wykorzystanych do połączenia segmentów ścieżek zamykających pętlę. Dalsze badania układu wykazały, że także wieloelementowa linia opóźniająca powoduje skracanie impulsu.

W celu zminimalizowania wpływu elementów pętli, znajdujących się poza linią opóźniającą, na czas trwania propagującego się w pętli impulsu, pierwotny projekt konwertera uzupełniono o cyfrowy detektor zboczy impulsu, układ odtwarzania impulsu oraz bufor globalny BUF (rys. 2a, bloki zacieniowane).

Detektor zboczy impulsu (rys. 5), umieszczony na końcu linii opóźniającej, przetwarza mierzony impuls na dwa, pojawiające się na wyjściach równoległych RISE i FALL oraz szeregowym OUT w odstępie równym czasowi  $t_{WC}$  trwania impulsu (rys. 2b, przebiegi C i D). Zatem poza linią opóźniającą, informacja o mierzonym odcinku czasu przenoszona jest obecnie nie przez dwa zbocza jednego impulsu ale przez narastające zbocza dwóch kolejnych impulsów. Można się więc spodziewać, że elementy pętli poza linią opóźniającą będą jednakowo opóźniać obydwa impulsy i tym samym nie będą mieć wpływu na rozdzielczość układu. Wartość ta może być jednak regulowana w samym detektorze zboczy impulsu, poprzez dobór opóźnień w torach propagacji sygnałów RISE i FALL, reprezentujących zbocza mierzonego impulsu.



Rys. 5. Schemat detektora zboczy impulsu  
Fig. 5. Schematic of the pulse-edges detector

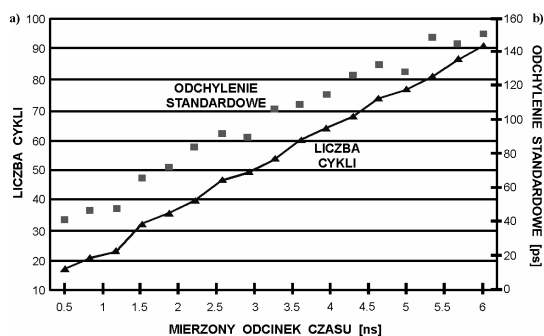
Aby zminimalizować liczbę programowalnych matryc połączeniowych w pętli i zmniejszyć segmentację ścieżek, w układzie konwertera zastosowano bufor globalny BUF oraz globalne linie transmisyjne. Z użyciem tych linii, impulsy z wyjścia detektora zboczy impulsu przekazywane są bezpośrednio na wejście układu otwierania impulsu. Układ ten wykonuje działanie odwrotne do detektora zboczy i otwiera pojedynczy impuls (rys. 2b przebiegi D i E), wprowadzany następnie na wejście linii opóźniającej. W najprostszym przypadku układ otwierania może być zrealizowany jako pojedynczy przerzutnik typu T.

Konwerter czasowo-cyfrowy został zaprojektowany z użyciem środowiska programowego ISE v. 8.1i (Xilinx), które umożliwia m.in. rozmieszczenie bloków konwertera w układzie programowalnym. Opracowanie szczegółowego projektu topograficznego układu pomiarowego jest niezbędne dla jego poprawnego działania, a w szczególności dla zapewnienia założonych wartości rozdzielczości i niepewności pomiarowej. Najważniejsze bloki konwertera rozmieszczone zostały w tej samej kolumnie bloków logicznych CLB (Configurable Logic Block) układu programowalnego, w której znajdują się multiplexery łańcucha linii opóźniającej. Zminimalizowano w ten sposób liczbę niezbędnych połączeń pomiędzy blokami konwertera, realizowanych z użyciem programowalnych matryc połączeniowych, co poprawia powtarzalność wyników procesu wytyczania połączeń (routing), a zatem i parametrów konwertera.

#### 4. Wyniki badań eksperymentalnych

W celu określenia podstawowych parametrów opracowanego konwertera przeprowadzono test, polegający na pomiarze liczby cykli w pętli dla różnych wartości mierzonego odcinka czasu  $T_M$ . Dla każdego odcinka czasu wykonano serię 1000 pomiarów.

Na podstawie uzyskanych wyników wyznaczono charakterystykę przetwarzania konwertera (rys. 6a) oraz określono jego zakres pomiarowy, który wynosi 5,5 ns. Średnia rozdzielczość konwertera w tym zakresie wynosi 75 ps i wyznaczona została z następującej zależności  $R = \Delta RNG / \Delta N$ , gdzie  $\Delta RNG$  jest wartością zakresu pomiarowego a  $\Delta N$  oznacza przyrost liczby cykli w pętli, odpowiadający maksymalnej zmianie mierzonego odcinka czasu.



Rys. 6. Charakterystyka przetwarzania (a) i niepewność pomiarowa (b) opracowanego konwertera

Fig. 6. Transfer characteristic (a) and standard uncertainty (b) of the designed converter

Niepewność pomiarowa konwertera nie jest stała w zakresie pomiarowym i rośnie wraz z długością mierzonego odcinka czasu (rys. 6b). Jest to wynikiem wzrostu rozmycia czasowego zboczy mierzonego impulsu, które rośnie proporcjonalnie do liczby elementów uczestniczących w transmisji tego impulsu [11]. Liczba ta jest z kolei proporcjonalna do liczby cykli w pętli, a zatem do czasu trwania mierzonego impulsu. Minimalna wartość odchylenia standardowego, uzyskana dla najkrótszego mierzonego odcinka czasu wynosi 42 ps, a wartość maksymalna wyliczona dla najdłuższego odcinka czasu ma wartość 150 ps.

#### 5. Wnioski

Opracowany konwerter czasowo-cyfrowy wykorzystujący metodę skracania impulsu jest pierwszym tego typu układem zrealizowanym z użyciem programowalnej matrycy bramkowej. Uzyskanie wysokiej rozdzielczości konwertera (75 ps) było możliwe dzięki zastosowaniu cyfrowego detektora zboczy impulsu, niezależniającego mierzonego czasu trwania impulsu od niekorzystnego wpływu linii transmisyjnych i programowalnych matryc połączeniowych. Ponadto układ detektora zboczy, mając decydujący wpływ na różnicę czasów propagacji obydwu zboczy mierzonego impulsu, umożliwia kontrolowanie wartości rozdzielczości konwertera. Duże znaczenie dla osiągnięcia wysokiej rozdzielczości ma także jakość projektu topograficznego konwertera, który powstał jako efekt wielu prób weryfikowanych praktycznie.

Badania eksperymentalne wykazały, że niepewność pomiarowa układu zwiększa się wraz ze wzrostem mierzonego odcinka czasu. Jest to związane ze stosunkowo szybkim wzrostem poziomu rozmycia czasowego zboczy mierzonego impulsu. Jednym ze sposobów obniżenia wartości tego rozmycia, czyli zwiększenia dokładności pomiaru, jest zmniejszenie liczby cykli w pętli. Powoduje to jednak pogorszenie rozdzielczości układu. Innym sposobem ograniczenia rozmycia czasowego może być skrócenie zakresu pomiarowego opracowanego konwertera i zastosowanie konwersji dwustopniowej.

#### 6. Literatura

- [1] J. Kalisz: Review of methods for time interval measurements with picosecond resolution, *Metrologia*, vol. 41 (2004), no. 1
- [2] J. Jansson, A. Mantyniemi, J. Kostamovaara: A delay line based CMOS time digitizer IC with 13 ps single-shot precision, *Proc. IEEE Int. Symp. Circuits and Systems ISCAS*, 2005
- [3] R. Szplet, J. Kalisz, R. Szymanowski: Interpolating Time Counter with 100 ps Resolution on a Single FPGA Device, *IEEE Trans. Instrum. Meas.*, vol. 49, no. 4, 2000
- [4] A. Mantyniemi, T. Rahkonen, and J. Kostamovaara: A high resolution digital CMOS time-to-digital converter based on nested delay locked loops, *Proc. IEEE Int. Symp. Circuits and Systems ISCAS'99*, vol. 2, 1999
- [5] R. Szymanowski, J. Kalisz: Field programmable gate array time counter with two-stage interpolation, *Rev.Sci.Instrum.*, vol. 76, 2005
- [6] R. Szplet, Z. Jachna, J. Kalisz: Scalony licznik czasu o rozdzielczości 50 ps w reprogramowalnym układzie FPGA, *Elektronika*, nr 9, 2006
- [7] M. Zieliński, D. Chaberski, M. Kowalski, R. Frankowski, S. Grzelak: High-resoluion time-interval measuring system implemented in single FPGA device, *Measurement* 35, Elsevier 2004
- [8] R. Szplet, M. Grabowski: Konwerter czas-liczba o rozdzielczości 40 ps w układzie reprogramowalnym, *Pomiary Automatyka Kontrola*, nr 7bis, 2006
- [9] S. Tisa, A. Lotito, A. Giudice, F. Zappa: Monolithic time-to-digital converter with 20ps resolution, *Proc. ESSCIRC'03*, 2003
- [10] P. Chen, S-L. Liu, J. Wu: A CMOS pulse-shrinking delay element for time interval measurement, *IEEE Trans. Circuits and Systems*, vol. 47, no. 4, 2000
- [11] J. McNeill: Jitter in ring oscillators, *IEEE Journal of Solid-State Circuits*, vol. 32, no. 6, 1997