

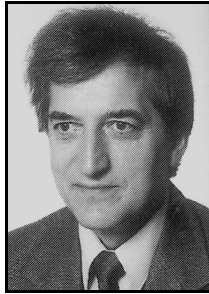
**Krzysztof WAWRYN, Robert SUSZYŃSKI**  
POLITECHNIKA KOSZALIŃSKA, WYDZIAŁ ELEKTRONIKI I INFORMATYKI

## Wykorzystanie układów FPAA do budowy prototypowych przetworników analogowych-cyfrowych $\Sigma\Delta$

Prof. dr hab. inż. Krzysztof WAWRYN

Urodził się 2 maja 1952 r. w Koszalinie. W 1976 uzyskał tytuł mgr inż., w 1985 r. doktora, w 1992 doktora habilitowanego w dziedzinie elektroniki w Politechnice Gdańskiej, w 1998 tytuł profesora nauk technicznych. Pracę naukową i dydaktyczną rozpoczął w 1980 r. w Politechnice Koszalińskiej. Jego zainteresowania naukowe skupiają się wokół projektowania analogowych układów scalonych CMOS, układów z przełączanymi prądami oraz sprzętowej implementacji sieci neuronowych.

e-mail: krzysztof.wawryn@tu.koszalin.pl



### Streszczenie

W artykule omówiono szybki i dający dobre rezultaty sposób weryfikacji projektowanych układów mieszanych, dedykowanych do wykonania w układach VLSI. Metoda wykorzystuje reprogramowalne układy analogowe FPAA, do konfiguracji i kolejnych rekonfiguracji prototypu budowanego systemu analogowo cyfrowego. Jako przykładową realizację zaprezentowano przetwornik analogowo-cyfrowy  $\Sigma\Delta$ . Przedstawiono wybrane etapy projektu, modyfikacje prototypu oraz otrzymane pośrednie i końcowe wyniki pomiarów. Analogowe układy reprogramowalne mogą znaleźć zastosowanie dla szerokiej gamy układów dedykowanych do integracji w mieszanych układach scalonych VLSI.

**Słowa kluczowe:** FPAA, układy mieszane, przetworniki analogowo-cyfrowe.

### Prototyping of $\Sigma\Delta$ analog digital converters using FPAA

#### Abstract

A prototyping method for designing mixed signal systems has been presented in the paper. The method is based on implementation of field programmable analog arrays (FPAA) to configure and reconfigure mixed signal systems. A  $\Sigma\Delta$  analog digital converter (ADC) structure has been used as an example. The circuit characteristics have been measured and then the structure of the converter has been reconfigured to satisfy input specifications.

**Keywords:** FPAA, mixed circuits, digital-analog converters.

## 1. Wprowadzenie

Szybki rozwój technologii VLSI umożliwia wykonywanie układów mieszanych (cyfrowych i analogowych) w jednej obudowie układu scalonego. Coraz większy stopień integracji i upakowania powoduje, iż proces projektowania i ich produkcji, staje się bardziej pracochłonny i kosztowny. Większość narzędzi CAD jest przeznaczonych do projektowania systemów cyfrowych i zawiera moduły symulacji i testowania układów cyfrowych, które najczęściej mogą być wykorzystywane nieefektywnie albo wcale, do symulacji działania analogowych części układu scalonego. Jednocześnie funkcjonowanie układów analogowych przed ich wykonaniem jest zwykle symulowane i weryfikowane z wykorzystaniem programów takich jak SPICE, które nie są efektywne w procesie projektowania układów cyfrowych. Z tych powodów projektowanie i wykonanie prototypów systemów mieszanych jest trudne i obciążone możliwością popełnienia błędów, co z kolei powoduje, iż proces ten jest pracochłonny i kosztowny. Dynamiczny rozwój układów reprogramowalnych wychodzi naprzeciw tym problemom umożliwiając szybsze i bardziej efektywne projektowanie układów mieszanych [1÷3].

Jednym z rozwiązań tego problemu może być wykorzystanie układów reprogramowalnych do budowy prototypów projektowanych układów mieszanych i wstępnej ich weryfikacji. Cyfrowe układy reprogramowalne (CPLD i FPGA) są w chwili obecnej powszechnie stosowane do realizacji prototypowych aplikacji

Dr inż. Robert SUSZYŃSKI

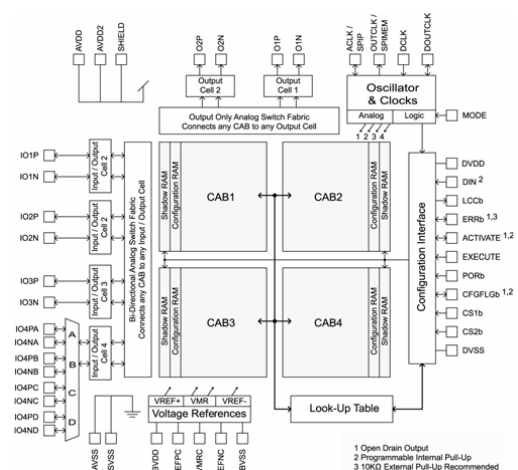
Urodził się 18 lipca 1996 r. w Koszalinie. W 1991 uzyskał tytuł mgr inż. w dziedzinie elektroniki w Politechnice Gdańskiej, a w 1997 r. doktora nauk technicznych w Politechnice Wrocławskiej. Pracę naukową i dydaktyczną rozpoczął w 1991 r. w Politechnice Koszalińskiej. Jego zainteresowania naukowe skupiają się wokół projektowania analogowych układów scalonych CMOS, szybkich przetworników A/C i C/A oraz układów z przełączanymi prądami.

e-mail: roberts@tu.koszalin.pl



systemów cyfrowych oraz produkcji krótkich serii produkcyjnych systemów cyfrowych. Układy reprogramowalne to nadal domena układów cyfrowych, ale pojawiły się również rozwiązania układów reprogramowalnych matryc analogowych (FPAA) o różnorodnej funkcjonalności. Mogą być one z powodzeniem wykorzystywane do szybkiej i efektywnej realizacji prototypów układów analogowych oraz niektórych rodzajów układów mieszanych.

W artykule przedstawiono pomysł realizacji prototypu systemu mieszanego wykorzystującego FPAA, którego walorami jest szybki czas realizacji i mały koszt. Jako przykład realizacji zaprezentowano dwustopniowy przetwornik analogowo-cyfrowy  $\Sigma\Delta$  trzeciego rzędu. Przedstawiono strukturę układu oraz pomierzone parametry i charakterystyki. W projekcie zastosowano reprogramowalną matrycę analogową AN221E04 firmy Anadigm [4], wykorzystującą technologię przełączanych pojemności. Struktura układu jest przedstawiona na rys. 1. Podstawowy blok funkcjonalny CAB zbudowany jest z wzmacniaczy operacyjnych (OA) i dołączonych banków pojemności, konfigurowalnych połączeń, przełączników, układów zegarowych oraz układów wejścia-wyjścia.

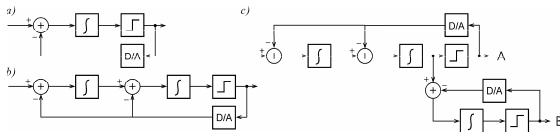


Rys. 1. Struktura układu FPAA AN221E04  
Fig. 1. General structure of the AN221E04 FPAA device

## 2. Przetwornik analogowo-cyfrowy $\Sigma\Delta$

Modulatory Sigma-Delta ( $\Sigma\Delta$ ) są przełączanymi układami analogowymi wykorzystującymi nadpróbkowanie. W układach tych wejściowy sygnał analogowy jest przetwarzany w 1-bitowy cyfrowy przebieg wyjściowy. W ostatnich latach przetworniki analogowo-cyfrowe wykorzystujące modulatory  $\Sigma\Delta$  cieszą się dużą popularnością wśród projektantów układów scalonych, ponieważ oferują wysoką dokładność konwersji analogowo-cyfrowej, wykazując jednocześnie dużą tolerancję na rozrzut i dokładność elementów wchodzących w skład przetwornika. W chwili obecnej produkuje

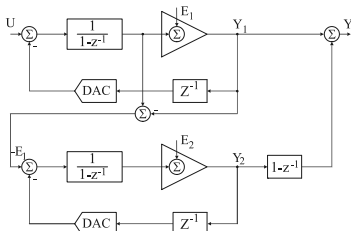
się cały szereg szybkich i o wysokiej rozdzielczości, monolitycznych przetworników  $\Sigma\Delta$  [5÷7]. Topologia tych układów zawiera szereg połączonych integratorów, objętych pętlą sprzężenia zwrotnego. Ilość integratorów określa rząd modulatora. Schematy blokowe modulatorów: pierwszego rzędu, drugiego rzędu i dwustopniowego trzeciego rzędu przedstawiono na rys. 2.



Rys. 2. Modulator  $\Sigma\Delta$ : a) pierwszego rzędu; b) drugiego rzędu; c) dwustopniowy trzeciego rzędu

Fig. 2.  $\Sigma\Delta$  modulator; a) first-order; b) second-order; c) third-order two-stage

Dzięki właściwościom kształtowania szumu, przetwornik  $\Sigma\Delta$  realizuje konwersję sygnału analogowego na cyfrowy oraz usuwa szum kwantyzacji z pasma sygnału. Rys. 3 pokazuje zlinearyzowany model dwustopniowego modulatora  $\Sigma\Delta$  drugiego rzędu.



Rys. 3. Model dwustopniowego przetwornika  $\Sigma\Delta$  drugiego rzędu

Fig. 3. Linearized model of second-order two-stage  $\Sigma\Delta$  ADC

Sygnaly na wyjściu pierwszego stopnia oraz na wyjściu sumarycznym przetwornika mogą być wyrażone jako [8]:

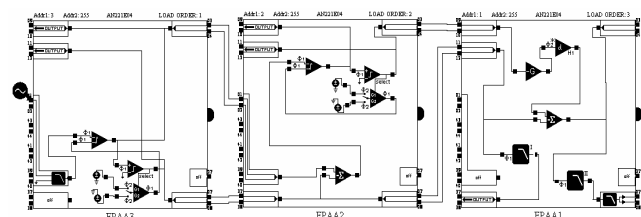
$$Y_1 = U + (1 - z^{-1})E_1 \quad (1)$$

$$Y = U + (1 - z^{-1})^2 E_2 \quad (2)$$

Pierwszy stopień to układ kształtowania szumu rzędu pierwszego, podczas gdy cały modulator stanowi układ kształtowania szumu rzędu drugiego. Drugi stopień usuwa szum kwantyzacji wprowadzany przez stopień pierwszy.

### 3. 12-bitowy przetwornik analogowo-cyfrowy $\Sigma\Delta$

Wykorzystując trzy układy FPAA AN221E04 zaimplementowano wstępny projekt 12-bitowego dwustopniowego przetwornika  $\Sigma\Delta$  rzędu drugiego. Schemat ideowy prototypu przetwornika jest przedstawiony na rys. 4. Układ został skonfigurowany następnie pomierzono jego właściwości i parametry. Dobrano częstotliwość próbkowania  $f_s = 4\text{MHz}$ , co przy częstotliwości sygnału wejściowego  $f_{in} = 1\text{kHz}$  określiło parametr nadpróbkowania  $OSR = 4000$ .

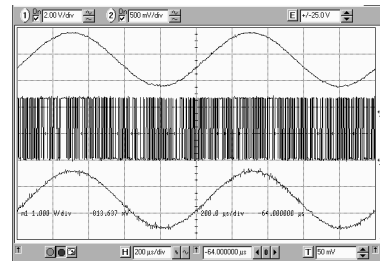


Rys. 4. Realizacja układowa prototypu 12-bitowego dwustopniowego przetwornika  $\Sigma\Delta$  drugiego rzędu

Fig. 4. Circuit realization of the 12-bit second-order two-stage  $\Sigma\Delta$  ADC

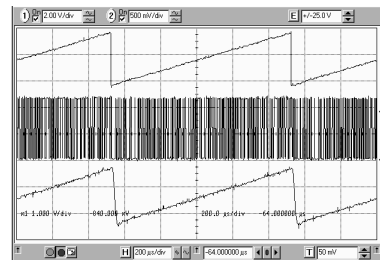
Pomiary przeprowadzono dla dwóch sygnałów wejściowych sinusoidalnego i liniowo narastającego. Amplituda napięciowych

sygnałów wejściowych zawiera się w przedziale  $\pm 3\text{V}$ . Aby uzyskać parametry charakteryzujące dokładność konwersji dokonano rekonstrukcji analogowego sygnału wejściowego z wyjściowego sygnału cyfrowego stosując bikwadratowy filtr dolnoprzepustowy. Rys. 5 i 6 przedstawiają wyniki pomiarów przetwornika uzyskane odpowiednio dla wejściowego sygnału sinusoidalnego oraz liniowo narastającego. Działanie przetwornika ilustruje widmo częstotliwościowe zaprezentowane na rys. 7, uzyskane dla sygnału wejściowego o częstotliwości 1kHz.



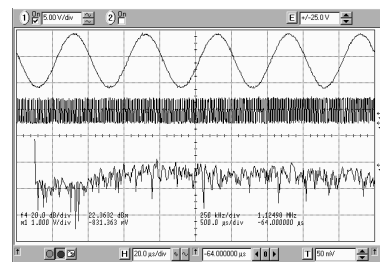
Rys. 5. 12-bitowy dwustopniowy przetwornik  $\Sigma\Delta$  drugiego rzędu; odpowiednio: sinusoidalny sygnał wejściowy, cyfrowy sygnał wyjściowy oraz sygnał analogowy po rekonstrukcji

Fig. 5. Sinusoidal input and output waveforms of the 12-bit second-order two-stage  $\Sigma\Delta$  ADC



Rys. 6. 12-bitowy dwustopniowy przetwornik  $\Sigma\Delta$  drugiego rzędu; odpowiednio: liniowo narastający sygnał wejściowy, cyfrowy sygnał wyjściowy oraz sygnał analogowy po rekonstrukcji

Fig. 6. Linear ramp input and output waveforms of the 12-bit second-order two-stage  $\Sigma\Delta$  ADC



Rys. 7. 12-bitowy dwustopniowy przetwornik  $\Sigma\Delta$  drugiego rzędu; odpowiednio: wejściowy sygnał sinusoidalny, cyfrowy sygnał wyjściowy oraz widmo sygnału wyjściowego

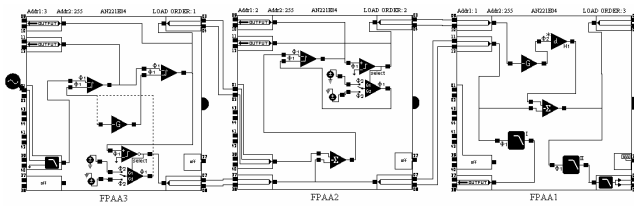
Fig. 7. An output spectrum of the 12-bit second-order two-stage  $\Sigma\Delta$  ADC excited by 1 kHz input signal

Na właściwości przetwornika ma wpływ kształtowanie szumu kwantyzacji w sygnale wyjściowym. Dzięki zastosowaniu reprogramowalnych układów FPAA mamy możliwość rekonfiguracji przetwornika, ulepszenia lub zmodyfikowania jego konstrukcji i szybkiego przeprowadzenia kolejnego testu. Aby poprawić parametry przetwornika w kolejnym kroku w drugim stopniu zastosowano modulator drugiego rzędu, otrzymując w ten sposób dwustopniowy przetwornik  $\Sigma\Delta$  trzeciego rzędu. Implementacja tego układu jest przedstawiona na rys. 8. Wyjście przetwornika może być wyrażone jako:

$$Y = U + (1 - z^{-1})^3 E_3 \quad (3)$$

Układ z rys. 8 realizuje kształtowanie szumu w sygnale wyjściowym rzędu trzeciego. Dzięki temu uzyskuje się usunięcie z cyfrowego sygnału wyjściowego szumu kwantyzacji pierwszego

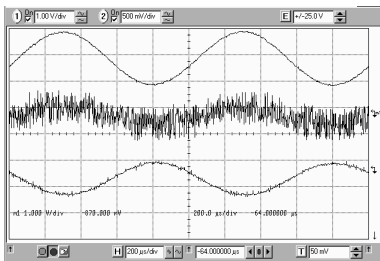
stopnia oraz przesunięcie szumu kwantyzacji drugiego stopnia w kierunku wyższych częstotliwości.



Rys. 8. Realizacja układowa prototypu 12-bitowego dwustopniowego przetwornika  $\Sigma\Delta$  trzeciego rzędu

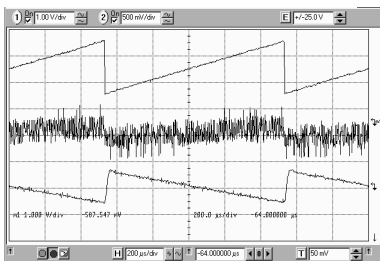
Fig. 8. Circuit realization of the 12-bit third-order two-stage  $\Sigma\Delta$  ADC

Przykładowe wyniki pomiarów dwustopniowego przetwornika  $\Sigma\Delta$  trzeciego rzędu są przedstawione na rysunkach. Rys. 9 przedstawia działanie układu dla sinusoidalnego sygnału wejściowego, a rys. 10 dla liniowo narastającego. Amplituda napięcia wejściowego zawiera się w zakresie  $\pm 3V$ , a częstotliwość wynosi 1kHz. Rekonstrukcja sygnału analogowego z cyfrowego sygnału wyjściowego jest zrealizowana przez bikwadratowy filtr dolnoprzepustowy. Na rys. 11 pokazano cyfrowy sygnał wyjściowy przetwornika drugiego rzędu i jego widmo częstotliwościowe.



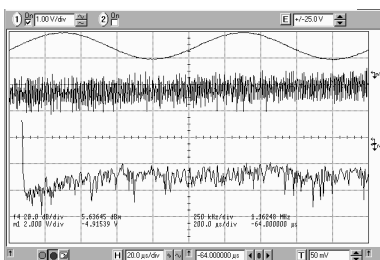
Rys. 9. 12-bitowy dwustopniowy przetwornik  $\Sigma\Delta$  trzeciego rzędu; odpowiednio: sinusoidalny sygnał wejściowy, cyfrowy sygnał wyjściowy oraz sygnał analogowy po rekonstrukcji

Fig. 9. Sinusoidal input and output waveforms of the 12-bit third-order two-stage  $\Sigma\Delta$  ADC



Rys. 10. 12-bitowy dwustopniowy przetwornik  $\Sigma\Delta$  trzeciego rzędu; odpowiednio: liniowo narastający sygnał wejściowy, cyfrowy sygnał wyjściowy oraz sygnał analogowy po rekonstrukcji

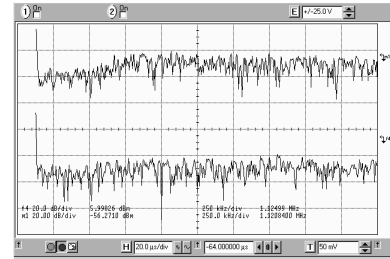
Fig. 10. Linear ramp input and output waveforms of the 12-bit third-order two-stage  $\Sigma\Delta$  ADC



Rys. 11. 12-bitowy dwustopniowy przetwornik  $\Sigma\Delta$  trzeciego rzędu; odpowiednio: wejściowy sygnał sinusoidalny, sygnał wyjściowy oraz widmo sygnału wyjściowego

Fig. 11. An output spectrum of the 12-bit third-order two-stage  $\Sigma\Delta$  ADC excited by 1 kHz input signal

W celu porównania właściwości i parametrów obu badanych przetworników zestawiono ze sobą widma częstotliwościowe otrzymane dla przetworników drugiego i trzeciego rzędu, co pozwoliło na szacunkową ocenę jakości kształtowania szumu przez obydwie modulatory. Pożądane przesunięcie szumu kwantyzacji w kierunku wyższych częstotliwości, leżących poza pasmem sygnału wejściowego, jest uwidocznione na rys. 12. Porównanie wyników otrzymanych dla przetwornika drugiego i trzeciego rzędu pokazuje, zgodnie z oczekiwaniami, lepsze parametry tego drugiego. Ta jakościowa ocena znajduje potwierdzenie w parametrach obu układów uzyskanych na podstawie pomiaru i analizy FFT cyfrowego sygnału wyjściowego.



Rys. 12. Widmo sygnałów wyjściowych przetworników  $\Sigma\Delta$ ; odpowiednio: 12-bitowego dwustopniowego przetwornika drugiego rzędu oraz 12-bitowego dwustopniowego przetwornika trzeciego rzędu

Fig. 12. An output spectrum of the 12-bit second-order two-stage and 12-bit third-order two-stage  $\Sigma\Delta$  ADC

## 4. Podsumowanie

W artykule omówiono szybki i wiarygodny sposób weryfikacji projektowanego układu mieszanego, dedykowanego do wykonania w układach VLSI. Metoda wykorzystuje reprogramowalne układy analogowe FPAA AN221E04 do konfiguracji i kolejnych rekonfiguracji budowanego systemu mieszanego. Dzięki zastosowaniu układów reprogramowalnych wstępny projekt może być wielokrotnie modyfikowany (ulepszany) w celu uzyskania pożądanych parametrów i właściwości. Uzyskiwane rezultaty są wynikami pomiarowymi o dużej wiarygodności, a kolejne etapy projektu weryfikuje się w sposób efektywny pod względem kosztu i czasu realizacji projektu.

Przedstawiony przykład realizacji prototypu przetwornika analogowo-cyfrowego  $\Sigma\Delta$  obrazuje duże możliwości zastosowania reprogramowalnych analogowych układów FPAA, w procesie projektowania, implementacji układowej i szybkiej weryfikacji układów mieszanych. Może to znaleźć zastosowanie dla szerokiej gamy układów analogowych dedykowanych do integracji w mieszanych układach scalonych VLSI.

## 5. Literatura

- [1] L. S. Milor, "A tutorial Introduction to Research on Analog and Mixed-Signal Circuit Testing", IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 45 (10), pp. 1389-1407, 1998.
- [2] M. Burns and G. W. Roberts, "An Introduction to Mixed-Signal IC Testing and Measurement", Oxford University Press, 2000.
- [3] R. Sarahuja, V. Barcons, L. Balado and J. Figueras, "Experimental Test Bench for Mixed-Signal Circuits Based on FPAA Devices. Anadigm <http://www.anadigm.com>.
- [4] R.M. Gray, "Oversampled sigma-delta modulation", IEEE Trans. Commun., Vol. COM-35, pp. 481-489, 1987.
- [5] B. Boser and B. Wooley, "The design of sigma-delta modulation analog-to-digital converters", IEEE J. Solid-State Circuits, Vol. 23, pp. 1298-1308, 1988.
- [6] K. Wawryn and R. Suszyński, "Switched current building blocks for sigma-delta modulators", in Proc. 16th Nat. Conf. "Circuit Theory and Electronic Circuits", pp. 108-113, 1993.
- [7] J. A. Cherry and W. M. Snelgrove, "Continuous-Time Delta-Sigma Modulators for High-Speed A/D Conversion", Kluwer Academic Publishers, Boston/Dordrecht/London, 2000.