

**Tomasz RADOMSKI, Ryszard PEŁKA**

WOJSKOWA AKADEMIA TECHNICZNA, ZAKŁAD TECHNIKI CYFROWEJ

## Precyzyjny, konfigurowalny przetwornik analogowo-cyfrowy implementowany w układzie FPGA

Mgr inż. Tomasz RADOMSKI

Ukończył studia na Wydziale Elektroniki WAT w 2004r. Jest asystentem w Instytucie Telekomunikacji Wydziału Elektroniki WAT. Jego zainteresowania naukowe to cyfrowe przetwarzanie sygnałów z wykorzystaniem układów programowalnych.



e-mail: tomasz.radomski@wel.wat.edu.pl

Prof. dr hab. inż. Ryszard PEŁKA

Ukończył studia na Wydziale Elektroniki Politechniki Warszawskiej, obronił pracę doktorską w 1984r. w Wojskowej Akademii Technicznej. W roku 2004 otrzymał tytuł profesora. Obecnie pełni funkcję Kierownika Zakładu Techniki Cyfrowej WAT. Jego zainteresowania naukowe to projektowanie, optymalizacja i testowanie systemów cyfrowych z układami FPGA i SoC.



e-mail: rpelka@wel.wat.edu.pl

### Streszczenie

W artykule przedstawiono konstrukcję przetwornika analogowo-cyfrowego zaprogramowanego w układzie FPGA Virtex-4. Przetwornik zbudowano w oparciu o modulator delta-sigma pierwszego rzędu i komparator typu LVDS (ang. low voltage differential signaling). Po przebadaniu przetwornika w celu określenia możliwych błędów zostały zaproponowane metody i układy jego korekcji. Zmodyfikowany przetwornik został przedstawiony w artykule. Przedstawiony projekt przetwornika z powodzeniem można zastosować w dowolnym układzie programowalnym wyposażonym w wejścia różnicowe typu LVDS. W artykule podano parametry przetwornika, takie jak rozdzielczość, liniowość, ilość zajmowanych zasobów, przedstawiono zakres zastosowań. Niniejsza publikacja przedstawia szczegółową analizę przetwornika pod kątem osiągnięcia jak największej dokładności i jednocześnie przedstawia w jaki sposób praktycznie go wykorzystywać.

**Słowa kluczowe:** modulacja delta-sigma, FPGA, przetwornik A/C.

### Precision, configurable A/D converter implemented in FPGA device

#### Abstract

In the article we present the architecture of A/D converter implemented in FPGA Virtex-4 device. The converter was built upon of the first order delta-sigma modulator and LVDS (low voltage differential signaling) comparator and examined about possible errors. After analysis of the methods and correction blocks of converter the modified converter was presented. There is a great possibility to use investigated converter in every type of programmable devices with LVDS inputs. The parameters of the examined converter, for example resolution, linearity, used resources and the range of application was presented. This publication presents the converter analysis in the possibility to achieve the biggest accuracy and in the same time how to use it in practice.

**Keywords:** delta-sigma modulation, FPGA, A/D converter.

### 1. Wstęp

W dobie cyfrowego przetwarzania sygnałów i układów typu SoC (ang. SoC - System-on-chip) przetwarzanie sygnałów A/C i C/A wciąż zyskuje na znaczeniu. Konstruktorzy wykorzystujący układy ASIC mogą wykorzystywać gotowe rdzenie przetworników (IP cores) i dołączyć je do swojego projektu. Dla urządzeń produkowanych w małych seriach i urządzeń specjalistycznych wykorzystanie układów ASIC jest z ekonomicznego punktu widzenia nieopłacalne, a czasem niemożliwe. Wykorzystuje się wtedy nowoczesne układy programowalne FPGA dużej pojemności w połączeniu z autonomicznymi przetwornikami. Rozwijająca się coraz szybciej technologia układów FPGA powoli zaciera granicę między tymi układami, a układami ASIC. Producenci układów programowalnych nie wyposażają swoich układów w przetworniki sygnałów cyfrowych bądź analogowych. Wiąże się to trudnością ich integracji ze strukturą cyfrową oraz dość znacznym zwiększeniem kosztu takiego zmodyfikowanego układu.

Okazuje się, że można wykorzystać zaprogramowane w strukturze FPGA modulatory i demodulatory delta-sigma zarówno do przetwarzania C/A i A/C. Modulacja delta-sigma jest popularna wśród konstruktorów układów ASIC. Pozwala ona na uzyskanie przetworników o wysokiej liniowości przy niskim koszcie. W klasycznych przetwornikach typu FLASH osiągnięcie dobrej liniowości wymaga stosowania laserowego strojenia elementów RC. Przetworniki delta-sigma wykorzystujące nadpróbkowanie tego nie wymagają.

Przetworniki C/A zostały wielokrotnie opisane i prezentowane na konferencjach, również przez autorów tego artykułu. Są one stosunkowo łatwe do implementacji. Przetwornik do prawidłowego działania wymaga jedynie zewnętrznego wygładzającego filtra dolnoprzepustowego RC. Przetworniki takie mogą być zaimplementowane praktycznie w każdym układzie programowalnym FPGA i CPLD. Typ wyjścia układu programowalnego nie jest istotny. Możliwe jest wykorzystanie demodulatorów delta-sigma wyższych rzędów.

Przetworniki A/C również są implementowalne w układach programowalnych. Zasadniczą trudnością jest w tym przypadku kwantyzacja sygnału analogowego. Dotychczas stosowano zewnętrzny komparator analogowy. W [1] opisano przetwornik A/C wykorzystujący wejście typu LVDS. Okazuje się, że ten typ wejścia dobrze pracuje również jako zwykły komparator analogowy. Korzystając z tej właściwości autorzy zbudowali przetwornik, którego jedyne zewnętrzne elementy to filtr dolnoprzepustowy RC. W oparciu o tę architekturę zbudowaliśmy i przetestowaliśmy system cyfrowy z przetwornikiem zaimplementowanym w układzie Virtex-4 na płycie uruchomieniowej ML401 firmy Xilinx.

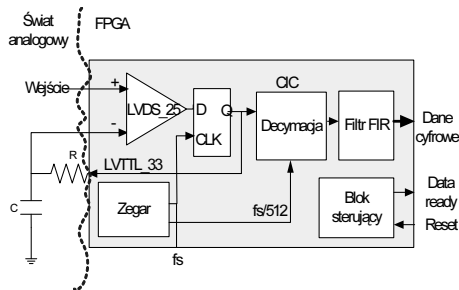
### 2. Pojedynczy stopień konwersji

Przetestowany przetwornik delta-sigma ma architekturę pierwszego rzędu. Komparator wejściowy standardu LVDS<sub>25</sub> sprawdza się jako komparator sygnałów analogowych w zakresie od 0 do 3.2V. Powyżej napięcia 3.2V następuje przesterowanie komparatora. Jako wyjście sprzężenia zwrotnego do filtra dolnoprzepustowego można zastosować na przykład wyjście typu LVTTTL<sub>33</sub>. Na rysunku 1 przedstawiono schemat architektury pojedynczego stopnia konwersji.

Przedstawiony przetwornik można wykorzystać również w układach, które nie są wyposażone w wejścia LVDS. Wówczas można zastosować zewnętrzny, monolityczny komparator analogowy. Przeprowadzone badania nie wykazały polepszenia parametrów przetwornika w porównaniu z komparatorem LVDS.

Wewnętrzny komparator odejmuje od sygnału wejściowego sygnał odniesienia przefiltrowany filtrem dolnoprzepustowym RC. Od stałej czasowej tego filtra zależy poziom tętnień sygnału odniesienia i pasmo przetwarzanych sygnałów. Szybkozmienny sygnał jedno-bitowy zostaje poddany decymacji celem zwiększenia rozdzielczości. Filtr grzebieniowy CIC wykonuje 512-krotną decymację sygnału wyjściowego z przetwornika. Jest to element,

który zajmuje przeważającą część zasobów przetwornika. Następnie sygnał wyjściowy zostaje poddany filtracji dolnoprzepustowej filtrem FIR. Na wyjściu przetwornika otrzymujemy 16-bitowy sygnał o częstotliwości  $f_s/1024$ .



Rys. 1. Architektura pojedynczego stopnia konwersji  
Fig. 1. Single conversion unit architecture

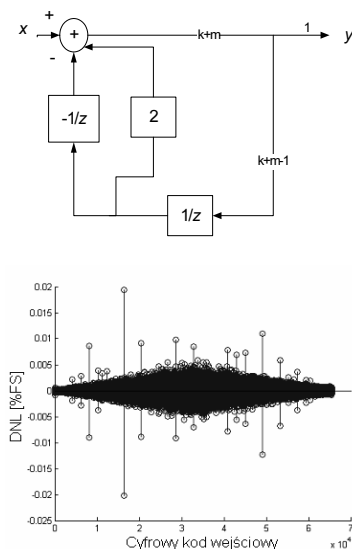
Przetwornik ma układ kontrolny pozwalający na wyzerowanie i wystawiający sygnał gotowości danych do odczytu data ready.

W oparciu o tę architekturę można zbudować przetwornik wielokanałowy z interfejsem równoległym lub szeregowym dopasowanym do reszty systemu cyfrowego.

### 3. Stanowisko pomiarowe

Z powodu powszechnego wykorzystywania przetworników ADC i DAC ich dokładność wpływa na dokładność wielu urządzeń elektronicznych [2]. Krytyczne parametry są określone przez docelową aplikację [3]. Ponieważ parametry przetworników delta-sigma są coraz lepsze ich testowanie stanowi duże wyzwanie.

Do testowania przetworników wykorzystaliśmy zaprojektowany przez nas układ pomiarowy [4]. Przeprowadziliśmy pomiar ENOB (ang. effective number of bits), pomiar offsetu, błędu pełnej skali, DNL (ang. differential nonlinearity) i INL (ang. integral nonlinearity). Pomiar ENOB przeprowadziliśmy wykorzystując zewnętrzny generator sinusoidalny.



Rys. 2. Architektura wzorcowego przetwornika C/A i wykres liniowości DNL  
Fig. 2. Reference D/A converter architecture and DNL diagram

Do testowania liniowości wykorzystaliśmy zbudowany wcześniej przetwornik C/A pracujący w pętli z przetwornikiem testowanym A/C. Taki sposób pozwala na automatyczną korekcję przetwornika w docelowej aplikacji. Ponadto opracowaliśmy wariant architektury przetwornika z automatyczną korekcją liniowości. Na rysunku 2 przedstawiono architekturę i wykres nieli-

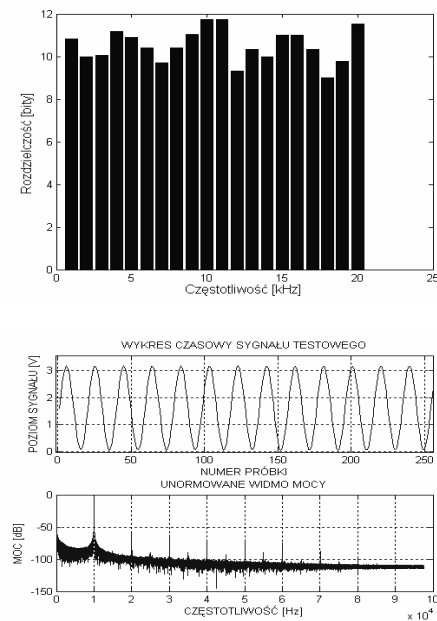
niowości różniczkowej przetwornika C/A drugiego rzędu wykorzystanego w badaniach jako wzorzec sygnału.

Pomiar liniowości testem histogramowym jest czasochłonny, ale jest dokładny. W testach histogramowych bada się przetwornik dla każdego kodu wyjściowego, tzn. w całym zakresie pomiarowym.

Źródło sygnału testowego musi być bardziej liniowe niż badany przetwornik A/C. Zakres akceptowalnej liniowości sygnału testowego zwykle wynosi 10% liniowości badanego przetwornika. Dla przykładu przetwornik C/A o maksymalnym błędzie  $\pm 0.2$  LSB może być wykorzystany do badania przetwornika A/C o błędzie  $\pm 2$  LSB. Jeśli badamy przetwornik 16-bitowy A/C o zakresie przetwarzania 3.3V to jeden LSB wynosi  $50\mu\text{V}$ . Błąd liniowości dla wzorcowego przetwornika C/A musi być mniejszy od  $\pm 5\mu\text{V}$ . Maksymalny błąd liniowości przetwornika C/A z rysunku 2 wynosi  $\pm 0.02\%$  FS (ang. full scale). Jest to wynik niewystarczający. Zastosowaliśmy układ korekcji z tablicą korekcyjną. W ten sposób maksymalny błąd DNL wyniósł  $\pm 0.005\%$  FS.

### 4. Badania eksperymentalne

Wykonanie dokładnych pomiarów wymusiło zastosowanie zewnętrznego zasilania niskoszumnego do płyty ML401. W celu dalszej redukcji zakłóceń stosowaliśmy separator optyczny dla interfejsu RS-232. Taki zabieg zmniejszył trzykrotnie szumy własne układu, które mają decydujący wpływ na pogorszenie rozdzielczości przetwornika. Na rysunku 3 przedstawiono wykres rozdzielczości przetwornika przy podaniu sygnału wejściowego sinusoidalnego o częstotliwości od 0 do 20 kHz i wykres widma sygnału z przetwornika dla częstotliwości  $f_s=10\text{kHz}$ .



Rys. 3. Wykres rozdzielczości przetwornika A/C i wykres widma sygnału sinusoidalnego dla  $f_s=10\text{kHz}$ .

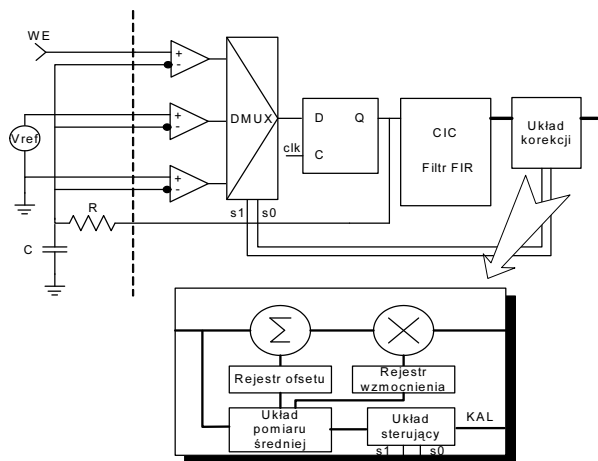
Fig. 3. Resolution diagram of A/D converter and FFT plot for sinusoidal signal  $f_s=10\text{kHz}$

Rozdzielczość takiego przetwornika nie przekracza 12-bitów. Jest to wartość wystarczająca dla wielu aplikacji, np. pomiar napięcia z czujników parametrów środowiskowych. Dla modulatora pierwszego rzędu o częstotliwości pracy  $F_s=100\text{MHz}$  i zakładanej rozdzielczości 12 bitów pasmo przetwarzania przetwornika wynosi 130kHz.

Rozdzielczość przetwornika ograniczają szumy oraz nieliniowość i niedokładność komparatora LVDS.

Przeprowadzono pomiar napięcia offsetu, który wyniósł 21,89830mV. Bez korekcji napięcia offsetu i bez pomiaru napięcia odniesienia nie jest możliwe precyzyjne określenie zmierzonego

napięcia ponieważ wartość zmierzona przez przetwornik zależy od napięcia zasilania. Konieczny jest pomiar tego napięcia lub pomiar napięcia wzorcowego. Napięcie zasilania można wyznaczyć mierząc czas rozładowywania się kondensatora filtra RC. Jednak konieczność pomiaru czasu z dużą rozdzielczością i znajomość parametrów kondensatora i rezystancji rozładowującej eliminuje tę metodę. Prostszy i dokładniejszy sposób jest wykorzystanie precyzyjnego źródła napięcia tak jak w komercyjnych przetwornikach. Na rysunku 4 przedstawiono schemat przetwornika z korekcją offsetu i pomiarem napięcia odniesienia. Dokładność źródła napięcia wpływa bezpośrednio na dokładność określenia zmierzonego sygnału i rozdzielczość przetwornika.



Rys. 4. Przetwornik A/C z korekcją offsetu, wzmacnienia i pomiarem napięcia wzorcowego

Fig. 4. A/D converter with offset and gain error correction and voltage reference measurement

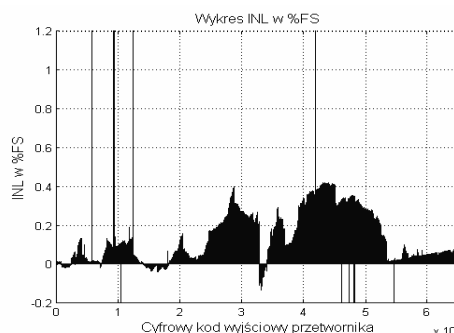
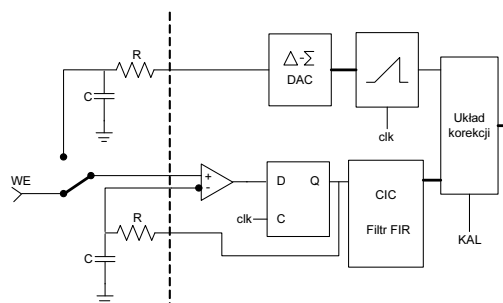
Zasadę korekcji można opisać tak jak krzywą przetwarzania za pomocą wzoru [3]:

$$G \times T[k] + V_{OS} + \varepsilon[k] = Q \times (k - 1) + T_1, \quad (1)$$

gdzie  $G$  oznacza wzmacnienie idealnie równe jedności,  $T[k]$  to wartość wejściowa odpowiadająca przejściu pomiędzy kodem  $k$  i  $k-1$ ,  $V_{OS}$  to wyjściowy offset idealnie równy zeru,  $\varepsilon[k]$  to błąd przetwarzania dla  $k$ -tego przejścia,  $Q$  to idealna szerokość dla jednego kroku przetwarzania,  $T_1$  oznacza idealną wartość odpowiadającą  $T[1]$ .

Układ korekcji zawiera dwa rejestry: rejestr kalibracji offsetu i rejestr kalibracji wzmacnienia, układ sterujący, układ pomiaru średniej, multiplikator i sumator. Pomiar wartości korygujących może być wykonany w dowolnej chwili. Wykonywany jest pomiar dla napięcia wejściowego równego 0V (końcówka wyjściowa zwarta do masy) oraz dla napięcia referencyjnego, np. 3V. W celu minimalizacji wpływu szumu obliczana jest średnia z próby o wielkości 2048. Wartość średnia obliczana jest algorytmem SMA (ang. simple moving average) i zostaje wpisana po pomiarze do odpowiedniego rejestru kalibracji. Do wartości zmierzonej przez przetwornik zostaje dodana wartość z rejestru kalibracji offsetu, a następnie wynik zostaje pomnożony przez wartość rejestru kalibracji wzmacnienia.

Statyczne błędy liniowości przetwornika mogą być w prosty sposób wyeliminowane za pomocą tablicy look-up. Błędy statyczne zależą tylko od wartości mierzonego sygnału. Wykorzystując przetwornik przedstawiony na rysunku 2 zbudowano przetwornik z automatycznym układem pomiaru liniowości. Na rysunku 5 przedstawiono budowę takiego przetwornika i uzyskany wykres INL. Wykres INL wyznaczono po uprzedniej korekcji offsetu i błędzie pełnej skali przetwornika.



Rys. 5. Przetwornik A/C z korekcją liniowości i wykres INL dla całego zakresu przetwarzania

Fig. 5. A/D converter with static linearity correction and its INL diagram

Zasoby zajmowane przez prezentowane warianty przetworników to około kilka procent zasobów układu LX25 Virtex-4. Tak mała zajętość zachęca do konstrukcji przetworników wielokanałowych. Należy zwrócić uwagę na prawidłowy projekt płyty PCB zgodnie z zasadami dla układów typu mixed-signals. Projekt obwodu drukowanego, rozmieszczenie elementów, filtra RC, sposób doprowadzenia sygnału analogowego ma decydujący wpływ na uzyskane parametry [5].

## 5. Wnioski

Przetwarzanie A/C z modulatorami delta-sigma można z powodzeniem zrealizować wykorzystując zamiast zewnętrznego komparatora autonomicznego wejścia typu LVDS. Przetworniki A/C pierwszego rzędu nadają się do przetwarzania sygnałów o pasmie nie przekraczającym kilkunastu MHz. Wykorzystanie całej dostępnej rozdzielczości dla danego pasma jest bardzo trudne ze względu na wpływ szumów systemu, zasilania.

Integracja przetworników w układach programowalnych daje konstruktorom dużą elastyczność w tworzeniu systemów elektronicznych. Układy programowalne stanowią idealną platformę do badań nad cyfrowymi modulatorami i demodulatorami delta-sigma.

## 6. Literatura

- [1] F. Sousa: Taking advantage of LVDS input buffers to implement sigma-delta A/D converters in FPGA, Proc. of the Europ. Conf. on Cir. Theory and Design, Kraków, Polska, str. 217-220, 2003
- [2] T. Kuyel: Linearity Testing Issues of Analog to Digital Converters, in Proc. International Test Conference. IEEE, November 1999, pp. 747-756.
- [3] IEEE Std 1241-2000, IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters
- [4] T. Radomski, R. Pelka: Implementation and testing of delta-sigma DACs and ADCs in modern FPGA devices, ICSES'06, Łódź, 2006
- [5] S. H. Hall, G. W. Hall, J. A. McCall: High-speed digital system design, John Wiley & Sons, Inc, New York, 2000