

Bartosz JAKUBSKI

UNIwersytet Zielonogórski, Instytut Informatyki i Elektroniki

Badania symulacyjne jednofazowego cyfrowego generatora przebiegów sinusoidalnych

Mgr inż. Bartosz JAKUBSKI

Urodzony w 1979 roku. Ukończył kierunek Elektrotechnika w ramach Zintegrowanych Studiów Uniwersytetu Zielonogórskiego i Fachhochschule Giessen-Friedberg w Niemczech w 2003 roku. Od 2004 jest asystentem w Instytucie Informatyki i Elektroniki na Uniwersytecie Zielonogórskim. Interesuje się cyfrowym przetwarzaniem sygnałów i zastosowaniami procesorów sygnałowych.



e-mail: B.Jakubski@iie.uz.zgora.pl

Streszczenie

W artykule zaprezentowano strukturę jednofazowego cyfrowego generatora przebiegów sinusoidalnych o częstotliwościach sieciowych zrealizowanego z zastosowaniem procesora sygnałowego i układu do bezpośredniej syntezy cyfrowej DDS. Opisano opracowany model symulacyjny i sposób symulacji komputerowej. W badaniach uwzględniono układ do bezpośredniej syntezy cyfrowej o tradycyjnej strukturze oraz układ do pośredniej syntezy cyfrowej z podwójnym całkowaniem (ang. Dual-slope Integration DDS), który charakteryzuje niskimi fluktuacjami fazy w generowanym sygnale. W wyniku symulacji uzyskano charakterystyki błędów częstotliwości wyjściowej oraz widma częstotliwościowe sygnału wyjściowego.

Słowa kluczowe: generator cyfrowy, bezpośrednia synteza cyfrowa, Dual-slope Integration DDS, jitter.

Simulating testing of the single-phase digital generator of sinus courses

Abstract

The structure of the digital single-phase generator of sinus-courses for network frequencies was presented in the article. He was realized with the use of signal processor and chip to the Direct Digital Synthesis (DDS). Worked out simulating models and the way of the computer simulation were described. The DDS was considered in testing about the traditional structure and Dual-Slope Integration DDS. The DLSP DDS can achieve a low-jitter clock output due to generating them more precise time delay. The characters of the errors of the outputs frequency and the frequency spectra of the outputs signal were got in the result of the simulation.

Keywords: digital generator, direct digital synthesis, Dual-slope Integration DDS, jitter.

1. Wstęp

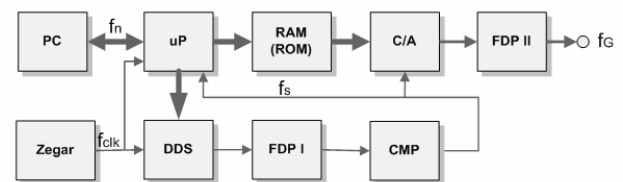
Kalibratory napięć i prądów przemiennych są dokładnymi źródłami napięcia lub prądu przemiennego. Służą one do sprawdzania wskazań przyrządów pomiarowych mierzących wspomniane wielkości. Ważnym układem w kalibratorze odpowiedzialnym za dokładne odtworzenie częstotliwości i kształtu przebiegu jest generator. Właściwości generatorów cyfrowych tj.: prosta konstrukcja (brak częstotliwościowego sprzężenia zwrotnego), możliwość generowania przebiegów odkształconych, prosta adjustacja oraz prosty sprzęg z komputerem PC sprawiają, że są one częściej stosowane w kalibratorach.

2. Struktura jednofazowego generatora cyfrowego

Na rys. 1 została przedstawiona struktura jednofazowego generatora cyfrowego [5], w skład której wchodzi następujące bloki:

- komputer PC,
- generator częstotliwości zegarowej f_{clk} ,

- układ bezpośredniej syntezy cyfrowej DDS,
- mikroprocesor sygnałowy μP ,
- pamięć RAM(ROM),
- przetwornik cyfrowo-analogowy C/A,
- filtry dolnoprzepustowe FDP I i FDP II,
- detektor przejścia przez zero zbudowany na komparatorze CMP,



Rys. 1. Schemat blokowy jednofazowego generatora cyfrowego
Fig. 1. The block scheme of the single-phase digital generator

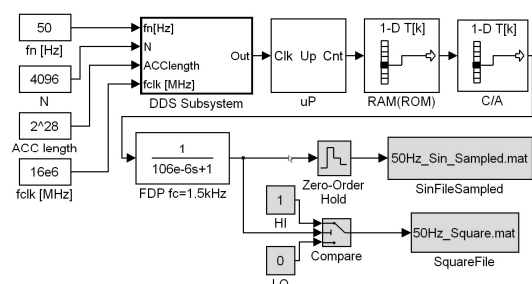
Mikroprocesor w takt częstotliwości próbkowania f_s adresuje pamięć RAM. Zawartość komórki pamięci zaadresowanej przez procesor przepisywana jest do przetwornika C/A, który dokonuje konwersji reprezentacji binarnej wartości próbki na wartość analogową. Filtr dolnoprzepustowy na wyjściu przetwornika C/A wygładza przebieg wyjściowy generatora. Nastawy generatora można wprowadzać za pomocą komputera PC, wyposażonego w odpowiednią aplikację. Częstotliwość próbkowania f_s ustala się na podstawie wzoru:

$$f_s = f_n * N \quad (1)$$

gdzie: f_s – częstotliwość próbkowania, f_n – nastawa częstotliwości sygnału wyjściowego, N – liczba próbek przypadająca na jeden okres przebiegu.

3. Model symulacyjny generatora cyfrowego

Na potrzeby symulacji w programie Symulink opracowano model symulacyjny generatora cyfrowego, który jest przedstawiony na rys. 2.

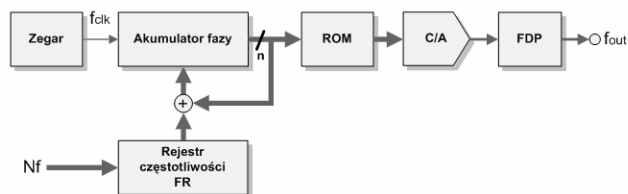


Rys. 2. Model symulacyjny jednofazowego generatora cyfrowego
Fig. 2. The simulating model of the single-phase digital generator

Blok *DDS Subsystem* (rys. 2) jest odpowiednikiem bloków DDS, FDP I i CMP z rys. 1. W celu ułatwienia modelu symulacyjnego (rys. 2) przyjęto, że nastawy do bloku *DDS Subsystem* przekazywane są bezpośrednio, a nie za pośrednictwem mikroprocesora μP , jak ma to miejsce na schemacie blokowym z rys. 1. Dodatkowo w modelu symulacyjnym na wyjściu generatora dodano bloki umożliwiające późniejszą analizę sygnału wyjściowego. Za pomocą bloków *Zero-Order Hold* i *SinFileSampled* zapisano

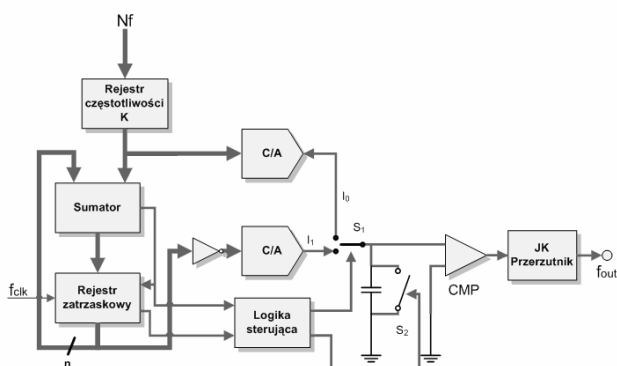
na dysku próbki przebiegu wyjściowego, które wykorzystano do analizy widmowej. Bloki *HI*, *LO* i *Compare* realizują funkcję detektora przejścia przez zero, formując przebieg prostokątny o częstotliwości równej częstotliwości wyjściowej generatora. Momenty przejść przez zero zapisywane są na dysku przez blok o nazwie *SquareFile*, tym samym umożliwiając analizę błędów częstotliwości wyjściowej generatora.

Układy do bezpośredniej syntezy cyfrowej o strukturze jak na rys. 3 odtwarzają dokładnie częstotliwość średnią, jednakże charakteryzują się wysokim jitterem fazy generowanych sygnałów.



Rys. 3. Schemat blokowy układu DDS
Fig. 3. The block scheme of the DDS

Schemat blokowy na rys. 4 przedstawia układ bazujący na teorii bezpośredniej syntezy cyfrowej, w którym zredukowano jitter fazy [7] w porównaniu do tradycyjnego układu DDS. Jest to tzw. układ do bezpośredniej syntezy cyfrowej z podwójnym całkowaniem (ang. Dual-slope Integration DDS).



Rys. 4. Schemat blokowy układu DDS z podwójnym całkowaniem
Fig. 4. The block scheme of the Dual-slope Integration DDS

4. Wyniki badań symulacyjnych

Opracowano modele symulacyjne obu układów DDS i wykorzystano je w badaniach generatora cyfrowego. Wszystkie badania symulacyjne zostały przeprowadzone z zastosowaniem pakietu MATLAB. Oprócz modelu symulacyjnego zostały napisane skrypty, które zautomatyzowały badania, zmieniając odpowiednio nastawy i parametry symulacji. Przeprowadzono badania modeli układów do bezpośredniej syntezy cyfrowej bez całkowania i z podwójnym całkowaniem. Na podstawie wzoru (2) wyznaczono drżenie okresu (Period jitter)[10] sygnału wyjściowego obu układów.

$$\tau_j = \tau_n - \tau_{ave} \quad (2)$$

gdzie: τ_{ave} – długoterminowa średnia okresu sygnału wyjściowego, τ_n – okres n -tego okresu sygnału wyjściowego.

W tabeli 1 zaprezentowano przykładowe wartości $|\tau_{jmax}|$ dla trzech różnych częstotliwości.

Przebadano model generatora cyfrowego z zastosowaniem tradycyjnego układu DDS (rys. 3) oraz układu DDS z podwójnym całkowaniem (rys. 4). Oba rodzaje generatorów badane były przy

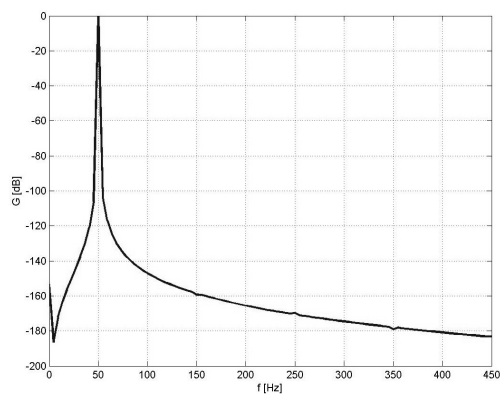
zachowaniu tych samych warunków, tzn. parametry analizatora, częstotliwości taktowania i rozdzielczości nastaw częstotliwości były takie same. W wyniku symulacji uzyskano widma częstotliwościowe sygnału wyjściowego oraz wykresy błędów częstotliwości wyjściowej obydwu generatorów.

Tab. 1. Porównanie drżenia okresów sygnałów wyjściowych z układów DDS i DLSP DDS

Tab. 1. Comparison of period jitter of output signals from DDS and DLSP DDS

Lp.	f_{out} [kHz]	DDS		DLSP DDS	
		τ_{ave}	$ \tau_{jmax} $	τ_{ave}	$ \tau_{jmax} $
1.	204,8	4,882838 μ s	3,069ns	4,882813 μ s	93,043ps
2.	409,6	2,441408 μ s	1,487ns	2,441407 μ s	46,241ps
3.	1638,4	0,610369 μ s	3,782ns	0,610351 μ s	12,481ps

Na rys. 5 pokazano wynik analizy widmowej sygnału wyjściowego z generatora przy częstotliwości wyjściowej równej 50Hz. Wynik analizy jest identyczny dla obu rodzajów generatorów, tj. dla generatora zbudowanego w oparciu o tradycyjny DDS i DDS z podwójnym całkowaniem. Stąd wniosek, że występujący jitter w układach DDS nie ma zauważalnego wpływu na widmo częstotliwościowe sygnału wyjściowego z generatora w zakresie częstotliwości sieciowych.

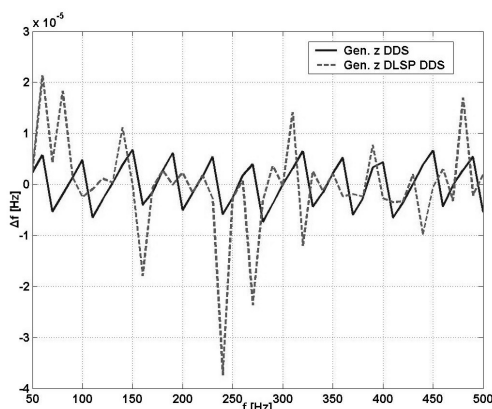


Rys. 5. Analiza widmowa sygnału wyjściowego generatora dla $f = 50$ Hz
Fig. 5. The FFT analysis of the output signal from generator for $f = 50$ Hz

Następnie na podstawie przejść przez zero sygnału wyjściowego zbadano wartość błędów bezwzględnych częstotliwości. Charakterystyki błędów częstotliwości wyznaczono jako średnią z dziesięciu okresów przebiegu wyjściowego z generatora, z krokiem 10Hz, w paśmie od 50Hz do 500Hz.

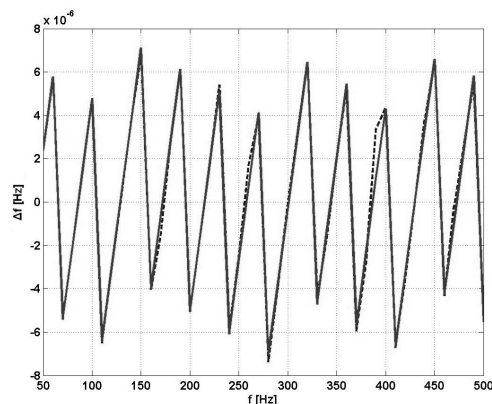
Linia ciągła na rys. 6 przedstawia błąd częstotliwości sygnału wyjściowego generatora zbudowanego w oparciu o tradycyjny układ do bezpośredniej syntezy cyfrowej, tzw. DDS, natomiast linię przerywaną uzyskano w wyniku badań generatora zbudowanego z zastosowaniem układu do bezpośredniej syntezy cyfrowej z podwójnym całkowaniem. Z załączonego wykresu widać, że większymi błędami częstotliwości wyjściowej odznacza się układ z podwójnym całkowaniem. Cechą układu DDS z podwójnym całkowaniem jest możliwość odtwarzania z małym błędem okresu chwilowego. Błąd ten jest jednak pomnażany przez liczbę próbek przypadających na jeden okres sygnału wyjściowego generatora, w wyniku czego błąd częstotliwości wyjściowej generatora osiąga znaczące wartości. Tradycyjne układy DDS odtwarzają bardzo dokładnie wartość średnią okresu. Ta właściwość sprawia, że błąd częstotliwości wyjściowej generatora może być nawet kilkukrotnie mniejszy w porównaniu z generatorem zbudowanym z zastosowaniem układu z podwójnym całkowaniem. Użycie w generatorze cyfrowym układu do bezpośredniej syntezy cyfrowej z podwójnym całkowaniem sprawia, że sygnał wyjściowy jest próbkowany w równomiernych odstępach czasu, co teoretycznie mogłoby wpłynąć na spadek zniekształceń w sygnale wyjściowym.

Jednak, jak to wykazały symulacje, w paśmie częstotliwości sieciowych właściwość ta nie ma zauważalnego znaczenia. Jitter w sygnale wyjściowym z układu DDS ma również bardzo mały wpływ na błąd częstotliwości wyjściowej generatora. Na rys. 7 pokazano wyniki symulacji generatora cyfrowego dla dwóch konfiguracji układu do bezpośredniej syntezy cyfrowej. Jeden z modeli zmodyfikowano tak, aby uzyskać kilkakrotnie mniejszy jitter (linia ciągła), zachowując jednak tę samą rozdzielczość nastaw częstotliwości dla obu badanych modeli.



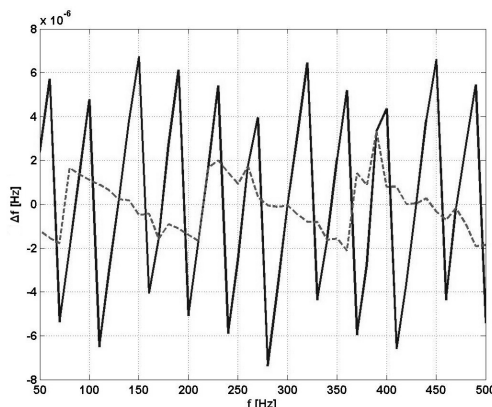
Rys. 6. Charakterystyki błędów częstotliwości sygnału wyjściowego zbadanych generatorów cyfrowych

Fig. 6. The error of the outputs frequency of examined generators



Rys. 7. Błąd częstotliwości wyjściowej dla generatorów, w których zastosowano układy DDS o różnych wartościach jitter'a w sygnale wyjściowym

Fig. 7. The error of the outputs frequency for the generators in which DDS was applied about various values of jitter in the outputs signal



Rys. 8. Błąd częstotliwości wyjściowej dla generatorów, w których zastosowano układy DDS o różnych rozdzielczościach nastaw częstotliwości

Fig. 8. The error of the outputs frequency for the generators in which DDS was applied about various values of frequency resolution

Błąd częstotliwości wyjściowej generatora zależy od rozdzielczości nastaw częstotliwości układu do bezpośredniej syntezy cyfrowej. Zbadano model generatora cyfrowego dla pewnej rozdzielczości nastaw częstotliwości. Następnie zmodyfikowano parametry układu do bezpośredniej syntezy cyfrowej, zwiększając rozdzielczość nastaw czterokrotnie.

Na rys. 8 przedstawiony jest rezultat symulacji. Liną przerywaną oznaczono błąd częstotliwości wyjściowej generatora, w którym zwiększono rozdzielczość nastaw częstotliwości. Z wykresu widać, że błąd maksymalny częstotliwości zmalał około dwukrotnie. Wszystkie uzyskane charakterystyki błędów częstotliwości mają charakter nieliniowy, co może utrudnić adjustację częstotliwości.

5. Podsumowanie

W nowoczesnych konstrukcjach kalibratorów napięć i prądów przemiennych coraz częściej stosuje się generatory cyfrowe. W artykule zaprezentowano schemat blokowy generatora zbudowanego z użyciem procesora i układu do bezpośredniej syntezy (*ang. Direct Digital Synthesis*). Ponieważ jednak układ DDS cechuje się fluktuacją fazy w sygnale wyjściowym (*ang. phase jitter*), należało sprawdzić wpływ tego efektu na parametry sygnału wyjściowego z generatora. Do badań wzięto pod uwagę układ DDS o tradycyjnej strukturze (rys. 3) oraz układ DDS z podwójnym całkowaniem (rys. 4), w którym jitter udało się zmniejszyć kilkakrotnie. W wyniku badań symulacyjnych generatora jednofazowego uzyskano charakterystyki widmowe sygnału wyjściowego oraz błędy częstotliwości wyjściowej. Uzyskane charakterystyki widmowe dla obu generatorów są identyczne i można z nich wnioskować, że jitter nie ma zauważalnego wpływu na zniekształcenia sygnału w paśmie częstotliwości sieciowych. Z charakterystyki z rys. 6 można wywnioskować dwa istotne fakty. Błąd częstotliwości wyjściowej generatora z zastosowaniem układu DDS z podwójnym całkowaniem jest znacznie większy jak dla rozwiązania z tradycyjnym układem DDS. Obie charakterystyki błędów mają charakter nieliniowy, co może utrudnić adjustację częstotliwości generatora. Na podstawie wyników badań widać również, że jitter nieznacznie wpływa na błąd częstotliwości wyjściowej generatora. Większy wpływ na ten błąd ma rozdzielczość nastaw częstotliwości. Z badań wynika, że występujący jitter w sygnale z układów do bezpośredniej syntezy cyfrowej nie ma znaczącego wpływu na zniekształcenia i błędy częstotliwości sygnału wyjściowego z generatora.

6. Literatura

- [1] Rudy von de Plassche: Scalone przetworniki analogowe-cyfrowe i cyfrowo-analogowe, WKŁ, 2001.
- [2] Wesołowski P.: Programmable polyphase AC generator system, Politechnika Zielonogórska, 1996.
- [3] Jakubski B., Wiszniewski J.: Model cyfrowego generatora sygnałów sinusoidalnych, Uniwersytet Zielonogórski, Zielona Góra 2003.
- [4] Jakubski B., Wiszniewski J.: Wielokanałowy generator sygnałów programowalnych, Elektronika Praktyczna, 6/2005, str. 10-16, 7/2005, str. 33-36.
- [5] Kluger A.: Dwusygnałowy, programowalny generator funkcyjny, XXXI-sza Międzyuczelniana Konferencja Metrologów, materiały konferencyjne str. 291, Białystok 1999.
- [6] Cooper H.: Why complicate frequency synthesis?, Electronic Design, July 1974.
- [7] Hsin-Chuan Chen, Jen-Shiun Chiang: A low-jitter phase-interpolation DDS using dual-slope integration, IEICE Electronics Express, Vol.1 No.12, 333-338.
- [8] Zs. Pápay: Numerical Distortion in Single-Tone DDS, IEEE Instrumentation and Measurement Technology Conference, 2001
- [9] J. Tierney, C. M. Rader, B. Gold: A digital frequency synthesizer, IEEE Trans. Audio Electroacoust., vol. 19, pp. 48-57, Mar. 1971.
- [10] Chandler D.: Phase Noise and Voltage Controlled Crystal Oscillators, <http://www.sss-mag.com/pdf/vcxophasejitter.pdf>
- [11] Jouko Vankka, Kari Halonen: Direct Digital Synthesizers – Theory, Design and Applications, Kluwer Academic Publishers, Boston, 2001.