

Stanisław KUTA, Witold MACHOWSKI, Jacek JASIELSKI

AKADEMIA GÓRNICZO-HUTNICZA, WYDZIAŁ ELEKTROTECHNIKI, AUTOMATYKI, INFORMATYKI I ELEKTRONIKI
KATEDRA ELEKTRONIKI

Niskonapięciowe analogowe bloki funkcjonalne realizowane w oparciu o inwertery CMOS

Prof. dr hab. inż. Stanisław KUTA

Uzyskał stopnie magistra inżyniera i doktora inżyniera w dyscyplinie elektronika w AGH, odpowiednio w 1965 i 1973 roku. Stopień doktora habilitowanego w dyscyplinie elektronika uzyskał na Wydziale Automatyki i Informatyki PŚ w Gliwicach, w 1985 roku. Od 1965 roku pracuje na Wydziale Elektrotechniki, Automatyki Informatyki i Elektroniki AGH, w Katedrze Elektroniki. W 1997 roku uzyskał tytuł naukowy profesora. Jego zainteresowania dotyczą mikroelektroniki, analogowych i cyfrowych układów i systemów elektronicznych.

e-mail: kuta@agh.edu.pl



Dr inż. Witold MACHOWSKI

Otrzymał dyplom magistra inżyniera elektronika w roku 1986 a stopień doktora nauk fizycznych w 1993 w Akademii Górniczo-Hutniczej w Krakowie. Od 1992 roku jest pracownikiem Wydziału Elektrotechniki, Automatyki, Informatyki i Elektroniki AGH w Katedrze Elektroniki. Jego aktywność zawodowa koncentruje się wokół mikroelektroniki a w szczególności problematyki projektowania układów analogowych w technologii CMOS. Jest autorem lub współautorem ponad 50 publikacji w tym 2 książki.

e-mail: machowski@agh.edu.pl



Dr inż. Jacek JASIELSKI

Uzyskał stopnie magistra inżyniera i doktora inżyniera w dyscyplinie elektronika w Akademii Górniczo-Hutniczej, odpowiednio w 1988 i 1998 roku. Od 1988 roku pracuje na Wydziale Elektrotechniki, Automatyki Informatyki i Elektroniki AGH, w Katedrze Elektroniki. Jego zainteresowania naukowe dotyczą analogowych i cyfrowych układów i systemów elektronicznych. Jest autorem około 30 publikacji, w tym 2 książki.

e-mail: jasielsk@agh.edu.pl



Streszczenie

W artykule opisano wybrane rozwiązania układowe liniowych i nieliniowych niskonapięciowych analogowych bloków funkcjonalnych zrealizowanych w oparciu o inwertery CMOS (lub ich niewielkie modyfikacje). Rozwiązania te charakteryzują się tym, że w obwodzie zasilania występuje zawsze stos dwóch komplementarnych tranzystorów MOS, zatem są to układy pozwalające na stosowanie najniższych z możliwych napięć zasilających – takich samych jak układy cyfrowe. Podano przykłady syntezy filtrów czasu ciągłego w trybie prądowym (C- G_m) o dowolnych transmitancjach, wzmacniaczy operacyjnych ze sprzężeniem prądowym, konwejerów prądowych drugiej i trzeciej generacji oraz przedstawiono najbardziej reprezentatywny i uniwersalny układ nieliniowy – czterokwadrantowy układ mnożący. Symulacje przeprowadzono w programie SPICE dla modelu BSIM3v3 w technologii 0,35um z AMS.

Słowa kluczowe: CMOS, analogowe bloki funkcjonalne, układy mieszane, układy niskonapięciowe.

Low-Voltage Analog Functional Blocks Based on CMOS Inverters

Abstract

The paper describes the CMOS implementation of low-voltage linear and non-linear elementary analog circuit blocks realized on inverters (eventually their very small modifications). The characteristic feature of presented circuit solutions is only two transistor stacks in-between supply rails, therefore the circuits in question are suited for the lowest possible supply and are simultaneously fully compatible with digital part. A synthesis procedure for continuous time analog filters with arbitrary characteristics, current feedback amplifiers as well as second and third generation current conveyors is presented. The most representative and versatile nonlinear circuit block – a four-quadrant multiplier has also been constructed using inverter-like circuit elements. SPICE simulation results for 0.35 um process parameters from AMS are presented.

Keywords: CMOS, Analog Building Blocks, Mixed Mode, Low Voltage.

1. Wprowadzenie

W procesie rozwoju systemów mikroelektronicznych do najbardziej efektywnych i zaawansowanych należą architektury typu SoC (ang. *System on Chip*), w których wszystkie elementy składowe projektowanego systemu (bloki cyfrowe; CPU, pamięć, interfejsy we./wy., i inne oraz bloki analogowe; przedwzmacniacze, filtry, ADC, DAC i inne) zostają zintegrowane w jednym układzie scalonym typu ASIC (ang. *Application Specific Integrated Circuit*). Przy projektowaniu systemu SoC dąży się do właściwego zrównoważenia pomiędzy komponentami programowymi i sprzętowymi (analogowymi i cyfrowymi) w celu zapewnienia wymagań pracy systemu oraz kosztów realizacji. Tak zrealizowany system może posiadać małe gabaryty fizyczne; dzięki czemu możliwe jest projektowanie urządzeń przenośnych takich jak telefony komórkowe, PDA, palmtop, itp., charakteryzuje się większą wydajnością pracy poprzez zintegrowanie składowych systemu, zredukowanym poborem mocy, a także krótkim czasem realizacji projektu. W procesie projektowania systemu SoC, nazywanym zintegrowanym projektowaniem sprzętu i oprogramowania (ang. *hardware-software codesign*), system poddawany jest podziałowi na program i sprzęt dopiero w końcowej fazie procesu projektowego, gdy znane są wszystkie możliwości i ograniczenia pracy systemu dla zdefiniowanej architektury sprzętowej (w podejściu tradycyjnym podział ten dokonywany jest w fazie początkowej projektu).

Wiodącą rolę we współczesnych technologiach systemów mikroelektronicznych odgrywają architektury CMOS, dzięki możliwościom polepszania ich parametrów elektrycznych, przy równoczesnym zmniejszaniu poboru mocy. Projektowanie analogowych układów CMOS w systemach SoC jest na ogół trudniejsze niż układów cyfrowych, ponieważ wymaga pokonania większej ilości różnych ograniczeń. Wiąże się to z jednej strony z dużą różnorodnością bloków analogowych, o coraz to wyższych wymaganiach w zakresie ich funkcjonalności i uzyskiwanych parametrów, z drugiej zaś strony w technologii CMOS dysponujemy stosunkowo niewielkim zestawem dostępnych elementów wykorzystywanych do realizacji tych bloków. Zestaw ten składa się z komplementarnych tranzystorów MOS (których transkonduktancje są o ponad rząd wielkości mniejsze niż ich odpowiedników bipolarnych, przy tych samych wymiarach), kondensatorów o niewielkich pojemnościach (praktycznie do kilku pF), rezystorów o niedokładnych i małych wartościach rezystancji (od kilku Ω do kilku k Ω) - zajmujących przy tym bardzo dużą powierzchnię (stosowane są bardzo sporadycznie w układach), niewielkich indukcyjności (stosowanych w zakresie bardzo wielkich częstotliwości) oraz „lateralne” i „wertikalne” tranzystory bipolarne, sporadycznie stosowane w niektórych układach nie znajdujących swoich odpowiedników CMOS.

Bardzo istotnymi parametrami, decydującymi o możliwości dalszego skalowania tranzystorów MOS (tj. odpowiedniego zmniejszania ich wymiarów), a także wpływającymi na parametry elektryczne tranzystorów, jak i na moce rozpraszane w układzie w czasie jego normalnej pracy oraz w stanie „czuwania” (ang. *chip standby power*), są: napięcie zasilające V_{DD} i napięcie progowe tranzystorów V_T .

Analogowe układy CMOS z reguły wymagają stosowania wyższych napięć zasilających niż układy cyfrowe. Bardzo często realizowane są one w oparciu o różne modyfikacje układowe symetrycznej pary różnicowej ze sprzężeniem źródłowym, co wynika głównie z jej symetrycznej struktury, możliwości symetrycznego lub niesymetrycznego sterowania, symetrycznego lub niesymetrycznego wyjścia, dużego tłumienia sygnałów wspólnych (*CMRR*), dużego tłumienia zmian napięć zasilających (*PSRR*) oraz kompensacji parzystych harmonicznych na wyjściu różnicowym. Przy zastosowaniu zbyt niskiego napięcia zasilającego (w praktyce, gdy: $V_{DD} \leq 4V_T$) następuje degradacja quasi-liniowego obszaru pracy pary różnicowej, wyrażająca się dużą nieliniowością charakterystyk przejściowych. Dzieje się tak dlatego, że obwód zasilania obejmuje zawsze stos co najmniej trzech lub więcej tranzystorów, a w ścieżce sygnałowej występują zwykle co najmniej trzy napięcia progowe V_T . Jak wynika z tabeli 1, w której przedstawiono kolejne etapy rozwoju technologii CMOS [1, 2], wraz ze zmniejszaniem długości kanału tranzystora L_{min} występuje nieco szybsze obniżanie dopuszczalnego napięcia zasilania V_{DD} (określanego przez grubość warstwy tlenku podbramkowego T_{ox}) niż napięcia progowego V_T .

Tab. 1. Rozwój technologii CMOS [1, 2]

(^o) Dla uproszczenia przyjęto: $V_{Tn} = V_{Tp} = V_T$

Tab. 1. CMOS technology evolution [1, 2]

(^o) It has been assumed: $V_{Tn} = V_{Tp} = V_T$

| L_{min} [um] | V_{DD} [V] | T_{ox} [nm] | $V_T^{(o)}$ [V] |
|----------------|--------------|---------------|-----------------|
| 3,0 | 5,0 | 700 | 1,5 |
| 2,5 | 5,0 | 600 | 1,2 |
| 1,0 | 5,0 | 250 | 0,95 |
| 0,8 | 5,0 | 200 | 0,85 |
| 0,5 | 3,3 | 135 | 0,73 |
| 0,35 | 3,3 | 100 | 0,59 |
| 0,25 | 2,5 | 60 | 0,52 |
| 0,18 | 1,8 | 50 | 0,42 |
| 0,12 | 1,2 | 42 | 0,32 |
| 0,10 | 1,2 | 36 | 0,31 |
| 0,07 | 0,9 | 30 | 0,30 |

Zakładając, że napięcie zasilające analogowe układy CMOS zrealizowane w oparciu o parę różnicową spełnia warunek: $V_{DD\ min} > 4V_T$, to w oparciu o dane z tabeli 1, dla technologii z napięciem progowym $V_T \cong 0,6V$ (dla $L_{min} = 0,35\ \mu m$) minimalna wartość napięcia zasilania $V_{DD} \cong 2,5\ V$. Potwierdzeniem tego mogą być wybrane projekty niskonapięciowych układów CMOS w trybie prądowym, przedstawione w pracy [7]. Dla współczesnych głęboko-submikronowych technologii ($L_{min} < 0,1\ \mu m$) warunek $V_{DD\ min} > 4V_T$ daje większą wartość minimalnego napięcia zasilającego od dopuszczalnej wartości tego napięcia $V_{DD\ max}$.

Analogowe układy CMOS zrealizowane w oparciu o inwertery CMOS (lub ich niewielkie modyfikacje) wymagają minimalnego napięcia zasilającego $V_{DD\ min} > 2V_T$, co np. dla technologii z napięciem progowym $V_T \cong 0,6V$ (dla $L_{min} = 0,35\ \mu m$) daje minimalną wartość napięcia zasilania $V_{DD} \cong 1,5\ V$, a dla głęboko-submikronowych technologii wartość minimalnego napięcia zasilającego $V_{DD\ min}$ jest zawsze mniejsza od dopuszczalnej wartości tego napięcia $V_{DD\ max}$, związanej z niebezpieczeństwem przebi-

cia tlenku podbramkowego. Wykorzystując zatem do budowy układów analogowych inwertery CMOS, ze względu na napięcie zasilające otrzymujemy pełną kompatybilność części analogowej i cyfrowej w systemie SoC.

Chociaż pomysł budowy bloków analogowych w oparciu o inwertery CMOS nie jest nowy [3, 4, 5], to należy podkreślić, że przedstawione w niniejszej pracy układy są oryginalnymi i nowymi rozwiązaniami autorów (prezentowanymi wcześniej na krajowych i międzynarodowych konferencjach), tworzącymi szeroki zestaw liniowych i nieliniowych analogowych bloków funkcjonalnych. Układy te są w pełni symetryczne i pracują w trybie prądowym. Posiadają podobne parametry jak ich odpowiedniki realizowane w oparciu o parę różnicową, tj. charakteryzują się dużym tłumieniem sygnałów wspólnych (*CMRR*), dużym tłumieniem zmian napięć zasilających (*PSRR*), a na ich wyjściach różnicowych występuje kompensacja parzystych harmonicznych.

2. Układy elementarne do budowy bloków funkcjonalnych

a) Transkonduktor

Zlinearyzowany transkonduktor zrealizowano w postaci zrównoważonego układu różnicowego na dwóch inwerterach CMOS sterowanych symetrycznym napięciem różnicowym, w oparciu o koncepcję opracowaną przez B. Nauta [3, 4]. Jego schemat przedstawiono na rys. 1, na którym pokazano, w jak prosty sposób można wykonać operację odejmowania prądów wyjściowych inwerterów, wykorzystując w tym celu odwracający wzmacniacz prądowy w postaci komplementarnych luster prądowych.

Inwertery sterowane są symetrycznie napięciem różnicowym o przeciwnych znakach, tzn. inwerter pierwszy napięciem $V_C + u_{id}/2$, zaś drugi napięciem $V_C - u_{id}/2$.

Aby zapewnić zerowe prądy wyjściowe obu inwerterów, przy zerowym napięciu u_{id} , napięcie sztucznego zera V_C , wytworzone przez prosty dzielnik tranzystorowy, należy dobrać o wartości:

$$V_C = \frac{\sqrt{\frac{\beta_p}{\beta_n}}(V_{DD} + V_{Tp}) + V_{SS} + V_{Tn}}{1 + \sqrt{\frac{\beta_p}{\beta_n}}} \quad (1)$$

co przy dopasowaniu tranzystorów:

$$\beta_n = \beta_p = \beta \quad \text{oraz} \quad V_{Tn} = -V_{Tp} = V_T$$

upraszcza się do postaci:

$$V_C = \frac{V_{DD} + V_{SS}}{2} \quad (2)$$

Przy symetrycznym, różnicowym sterowaniu inwerterów, prąd wyjściowy transkonduktora wynosi:

$$I_o = I_{o1} - I_{o2} = u_{id} [\beta_p (V_{DD} - V_C + V_{Tp}) + \beta_n (-V_{SS} + V_C - V_{Tn})] \quad (3)$$

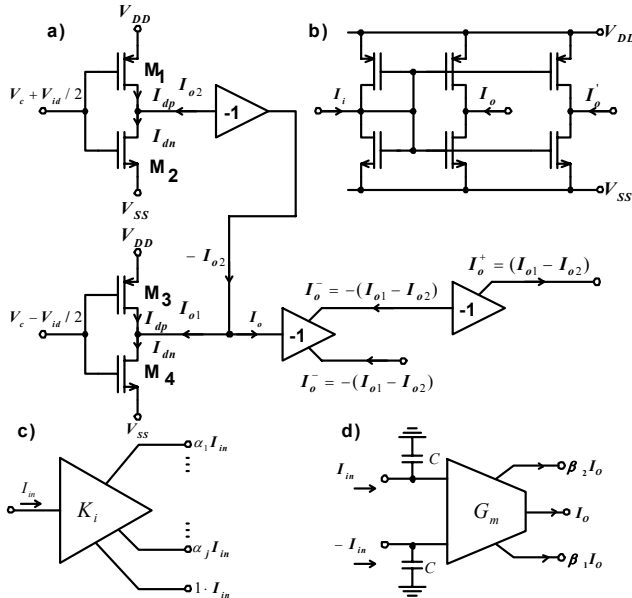
Zakładając, że tranzystory są dopasowane (zależność 2), otrzymujemy

$$I_o = u_{id} \beta (V_{DD} - V_{SS} + 2V_T) \quad (4)$$

Niezależnie od tego, czy tranzystory są dopasowane, czy też nie, prąd różnicowy I_o jest proporcjonalny do różnicowego napięcia sterującego u_{id} , czyli układ jest zlinearyzowanym transkonduktorem.

Na rys. 1b przedstawiono schemat ideowy odwracającego wzmacniacza prądowego, zrealizowanego w postaci prostych komplementarnych luster prądowych. Przy identycznych parach

tranzystorów M_1 , M_2 i M_3 , M_4 otrzymujemy wzmocnienie $k_i = -1$. Zależnie od potrzeb, prąd wyjściowy I_o może być zwielokrotniony, a oprócz tego przeskalowany, za pomocą wielokrotnych, odpowiednio przeskalowanych luster prądowych.

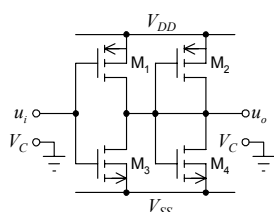


Rys. 1. a) Zrównoważony transkonduktor na dwóch inwerterach CMOS; b) odwracający wzmacniacz prądowy (przeciwsobne, zwielokrotnione lustro prądowe); c) symbol zwielokrotnionego i skalowanego lustra prądowego; d) symbol integratora w trybie prądowym ze zwielokrotnionymi i skalowanymi wyjściami prądowymi
Fig. 1. a) Balanced transconductor based on two CMOS inverters; b) inverting current amplifier (push-pull, multiple output) current mirror; c) a symbol used for multiple output scaleable current mirror; d) a symbol used for current mode integrator with multiple, scaleable outputs

Symbol takiego zwielokrotnionego i przeskalowanego lustra (wzmacniacza) prądowego przedstawiono na rys. 1c. Jeżeli pomiędzy wejściami transkonduktora, a jego masą zmiennoprądową dołączymy jednakowe pojemności, to otrzymamy symetryczny integrator w trybie prądowym. Jego symbol przedstawiono na rys. 1d. W układzie tym prąd wejściowy I_{in} ładuje pojemność całkowitą do napięcia V_{in} , które transkonduktor G_m przetwarza na prąd wyjściowy I_o . Filtry wykorzystujące ten typ integratora są układami w trybie prądowym.

b) Wzmacniacz napięciowy o wzmocnieniu $k_u = -1$

Wzmacniacz odwracający o wzmocnieniu $k_u = -1$ zrealizowano w układzie wzmacniacza inwerterowego CMOS z obciążeniem aktywnym w postaci komplementarnych tranzystorów w połączeniu diodowym (obciążeniem jest inny inwerter CMOS, w którym wejście i wyjście są ze sobą zwarte) (rys. 2).



Rys. 2. Wzmacniacz odwracający o wzmocnieniu $k_u = -1$
Fig. 2. Inverting voltage amplifier with unity gain $k_u = -1$

Wzmocnienie napięciowe układu wynosi:

$$k_{u0} = \frac{u_o}{u_{id}} = -\frac{g_{m1} + g_{m2}}{g_{m3} + g_{ds3} + g_{m4} + g_{ds4}} \quad (5)$$

Jeżeli tranzystory M_1 , M_3 i M_2 , M_4 są dopasowane, to $k_{u0} \approx -1$.

3. Przykład syntezy filtra czasu ciągłego w trybie prądowym

Wykorzystując opisane wyżej bloki elementarne, dokonamy syntezy dolnoprzepustowego filtra eliptycznego szóstego rzędu, o następującej charakterystyce:

- częstotliwość graniczna 10 MHz,
- wzmocnienie w paśmie przepustowym 0 dB,
- fluktuacje wzmocnienia w paśmie przepustowym 0,5 dB,
- tłumienie w paśmie zaporowym 70 dB,
- współczynnik nachylenia charakterystyki 1,5.

Charakterystyka ta może być aproksymowana zależnością:

$$H(s) = \frac{K_i \prod_i (s^2 + \omega_{si}^2)}{\prod_i (s^2 + a_i s + b_i)} \quad (6)$$

o współczynnikach wyszczególnionych w tabeli 2.

Tab. 2. Współczynniki funkcji aproksymującej wyrażenie (6)
Tab. 2. Coefficients approximating the expression (6)

| i | K_i | a_i | b_i | ω_{si}^2 |
|-----|-----------|-----------|-----------|-----------------|
| 1 | 0,2755171 | 0,1136720 | 1,0196198 | 2,3692888 |
| 2 | 0,2755171 | 0,3834607 | 0,6746729 | 3,9270510 |
| 3 | 0,0413276 | 0,6535014 | 0,2089492 | 25,8272418 |

Filtr ten może być zrealizowany w postaci kaskadowego połączenia trzech sekcji bikwadratowych (rys. 3a), ze współczynnikami określonymi zależnościami [7]:

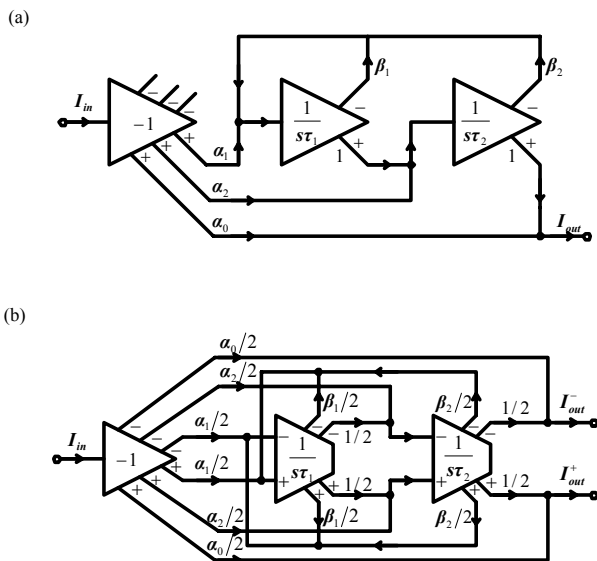
$$H(s) = \frac{A_2 s^2 + A_1 s + A_0}{s^2 + B_1 s + B_0} = \frac{N(s)}{D(s)} \quad (7)$$

$$\left. \begin{aligned} B_0 &= \beta_n \\ B_j &= \prod_{i=1}^j \tau_{n-j+i} \beta_{n-j} \quad \text{dla } j = n, n-1, \dots, 1 \end{aligned} \right\} \quad (8)$$

$$\left. \begin{aligned} A_n &= \alpha_0 \prod_{i=1}^n \tau_i \\ A_j &= \alpha_0 \prod_{i=1}^j \tau_{n-j+i} \beta_{n-j} + \sum_{i=0}^{n-j-1} \left(\alpha_{n-i} \prod_{k=0}^{j-1} \tau_{n-j+i+k} \right) \beta_{n-j-1+i}; \\ j &= n-1, n-2, \dots, 1 \\ A_0 &= \alpha_0 \beta_n + \sum_{i=0}^{n-1} \alpha_{n-i} \beta_{n-1-i} \end{aligned} \right\} \quad (9)$$

W docelowym, zmodyfikowanym układzie, jak na rys. 3b, każdy z transkonduktorów sterowany jest symetrycznie: na wejście odwracające podawane są ujemne prądy z wyjść transkonduktorów, zaś na wejścia nieodwracające - dodatnie. Współczynniki skalowania luster prądowych na wyjściach transkonduktorów są dzielone przez 2, dzięki czemu uzyskujemy tę samą wartość wej-

ściowego napięcia różnicowego na wejściu transkonduktora (jak w układzie na rys. 3a).



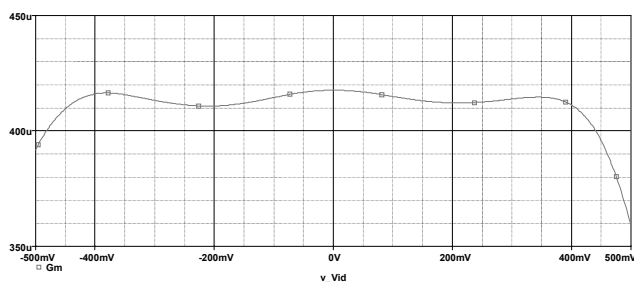
Rys. 3. a) Ogólna architektura uniwersalnej sekcji bikwadratowej w trybie prądowym [7], b) uniwersalna sekcja bikwadratowa o symetrycznych wejściach

Fig. 3. a) General architecture of universal current mode biquad section [7]; b) universal biquad with symmetrical outputs

Wyniki symulacji

Elementarne bloki funkcjonalne jak i całą architekturę filtra poddano symulacjom za pomocą programu SPICE, używając parametrów modelu BSIM3.3 dla technologii 0,35 μm oferowanej przez firmę Austria Microsystems (AMS).

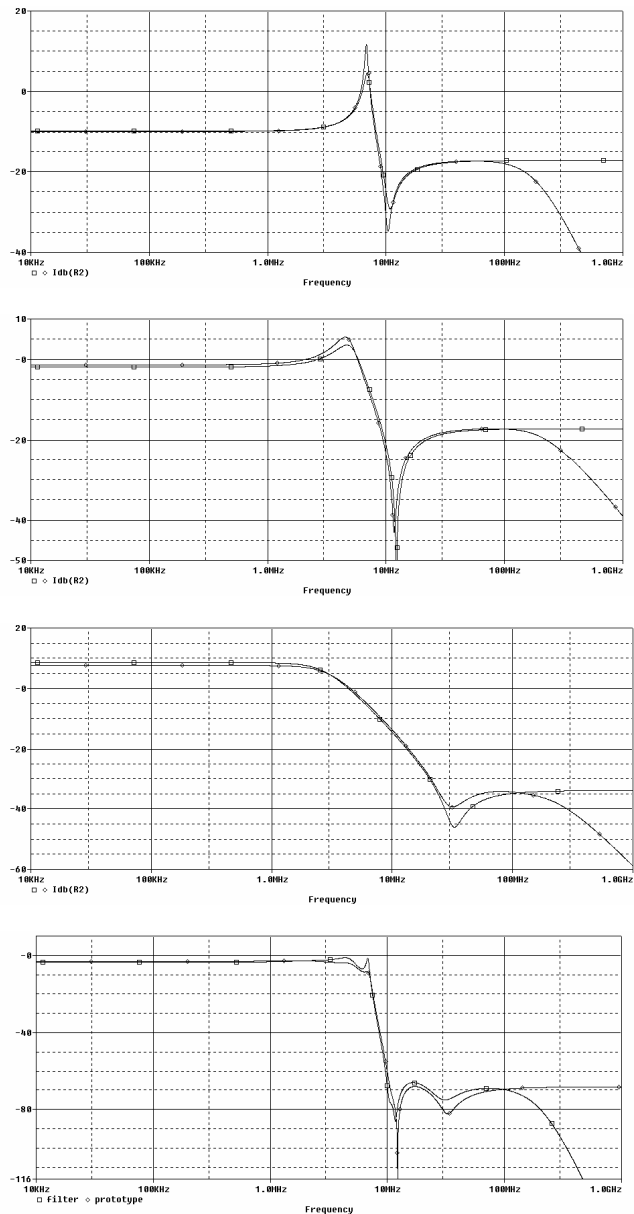
Na rys. 4 przedstawiono wyniki symulacji transkonduktancji układu z rys. 1a. Zmiany transkonduktancji są mniejsze niż 2,5 % wartości nominalnej w zakresie napięć wejściowych od -450 do 450 mV.



Rys. 4. Wyniki symulacji wartości transkonduktancji
Fig. 4. Simulated results of transconductance value

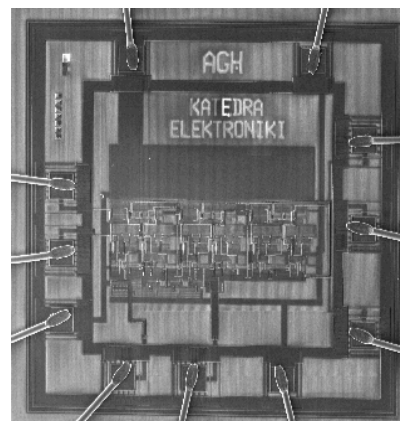
Na rys. 5 pokazano charakterystyki wszystkich trzech sekcji bikwadratowych oraz ich połączenia kaskadowego tworzącego filtr wynikowy. Biorąc pod uwagę uwarunkowania praktyczne (np. rozmiary kanałów tranzystorów nie mogą być dowolne, lecz są zbiorem wartości dyskretnych stosownie do tzw. „grid’u” technologicznego) nie da się uzyskać dokładności współczynników do siódmego miejsca po przecinku jak to ma miejsce w tabeli 2 – w praktyce osiągalna jest precyzja dwu- trzycyfrowa. Tym niemniej końcowe charakterystyki bardzo nieznacznie odbiegają od przebiegu funkcji prototypu.

Na rys. 6 przedstawiono mikrofotografię wykonanego układu.



Rys. 5. Wyniki symulacji charakterystyki trzech sekcji bikwadratowych filtru oraz wynikowej charakterystyki kaskady odniesione do charakterystyk prototypu

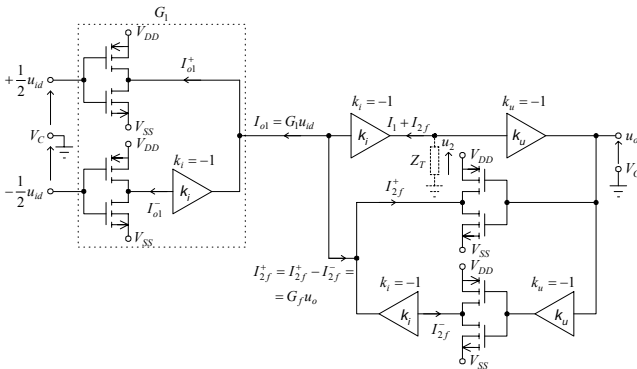
Fig. 5. Simulation results of three biquad sections and final cascade's frequency response related to its RLC prototype



Rys. 6. Mikrofotografia prototypowego filtra eliptycznego szóstego rzędu
Fig. 6. Microphotograph of the sixth order elliptic filter prototype

4. Niskonapięciowy wzmacniacz ze sprzężeniem prądowym

Na rys. 7 przedstawiono schemat blokowy wzmacniacza ze sprzężeniem prądowym w układzie odwracającym. W układzie tym, w miejsce rezystancji tworzących obwód sprzężenia zwrotnego, zastosowano zlinearyzowane transkonduktory G_1 , $\frac{1}{2}G_f$, w postaci zrównoważonych układów różnicowych na dwóch inwerterach CMOS i wzmacniaczy prądowych o wzmacnieniu $k_i = -1$ (przeciwsobnych luster prądowych).



Rys. 7. Schemat blokowy wzmacniacza ze sprzężeniem prądowym
Fig. 7. Schematic diagram of current feedback amplifier

Wzmocnienie wzmacniacza z zamkniętą pętlą sprzężenia zwrotnego określone jest zależnością:

$$k_{uf} = \frac{u_o}{u_{id}} = -\frac{G_1 R_T k_i k_u}{1 + G_f R_T k_i k_u} \cdot \frac{1}{1 + j \frac{\omega}{\omega_g (1 + G_f R_T k_i k_u)}} = -\frac{G_1}{G_f} \cdot \frac{1}{1 + j \frac{\omega}{\omega_g}} = k_{uf0} \cdot \frac{1}{1 + j \frac{\omega}{\omega_g}} \quad (10)$$

gdzie:

$$\omega_{gf} \cong \omega_g G_f R_T k_i k_u \quad (10.1)$$

$$Z_T = \frac{R_T}{1 + j \frac{\omega}{\omega_g}}; \quad \omega_g = \frac{1}{R_T C_T} \quad (10.2)$$

Z_T jest transimpedancją wzmacniacza transimpedancyjnego, którą tworzy wzmacniacz prądowy o wzmacnieniu $k_i = -1$ wraz z impedancją węzła Z . Impedancją tego węzła stanowi równoległe połączenie impedancji wyjściowej wzmacniacza prądowego $k_i = -1$, impedancji wejściowej wzmacniacza napięciowego $k_u = -1$ oraz pojemności C_T dołączonej do węzła Z .

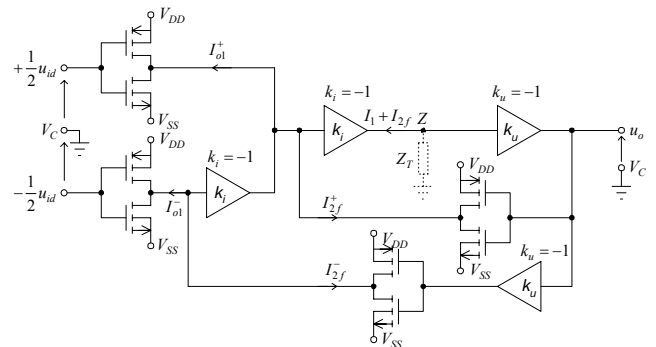
Dla dużej wartości transimpedancji Z_T , $G_f Z_T k_i k_u \gg 1$, wzmocnienie układu z zamkniętą pętlą sprzężenia zwrotnego wynosi:

$$k_{uf0} = -\frac{G_1}{G_f} \quad (11)$$

Jak wynika ze wzoru (10), przedstawiony wzmacniacz charakteryzuje się typową właściwością wzmacniacza ze sprzężeniem prądowym, tj. możliwością niezależnej regulacji wzmocnienia i pasma przenoszenia.

Górną częstotliwość graniczną wzmacniacza ω_{gf} możemy dobrać niezależnie za pomocą transkonduktancji G_f , zapewniając jej maksymalną wartość dla dowolnego wzmocnienia, a następnie przez dobór wartości transkonduktancji G_1 uzyskujemy wymaganą wartość wzmocnienia k_{uf0} .

Układ z rys. 7 może być przekształcony do prostszej postaci, jak na rys. 8, poprzez wyeliminowanie jednego wzmacniacza prądowego $k_i = -1$. W układzie przekształconym transkonduktor G_f w torze sprzężenia zwrotnego dalej pozostaje układem różnicowym na dwóch inwerterach CMOS, sterowanym na wejściu różnicowo: $+u_o$, $-u_o$.

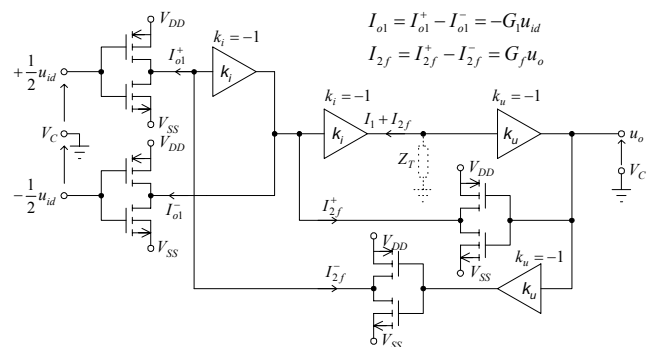


Rys. 8. Przekształcony schemat blokowy odwracającego wzmacniacza ze sprzężeniem prądowym
Fig. 8. Modified schematic diagram of inverting current feedback amplifier

Na rys. 9 przedstawiono konfigurację nieodwracającą wzmacniacza ze sprzężeniem prądowym, szczególnie przydatną np. do budowy dokładnego wtórnika napięciowego.

Wzmocnienie wzmacniacza nieodwracającego określone jest tą samą zależnością co dla wzmacniacza odwracającego, tylko ze znakiem „+”

Dla $G_1 = G_f$ otrzymujemy wtórnik napięciowy o wzmocnieniu $k_{uf0} = 1$ i bardzo małej rezystancji wyjściowej.



Rys. 9. Nieodwracający wzmacniacz ze sprzężeniem prądowym
Fig. 9. Non-inverting current feedback amplifier

Wyniki symulacji:

Podstawowe parametry wzmacniacza odwracającego z rys. 8 zestawiono w tabeli 3 (do symulacji wykorzystano model BSIM3.3 dla technologii 0,35μm AMS).

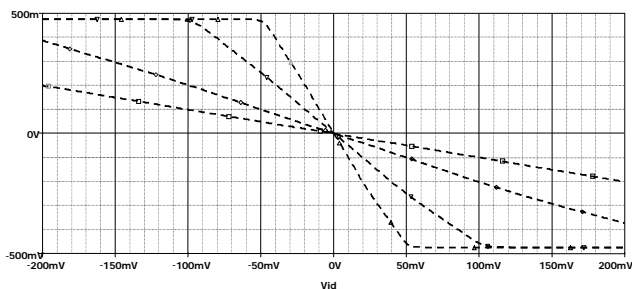
Wyznaczony zakres dynamiczny wzmacniacza jest stosunkiem średniokwadratowej wartości napięcia wyjściowego, przy założonym współczynniku zniekształceń nieliniowych 1%, do średniokwadratowej wartości napięcia szumów e_{out}^2 w paśmie wzmacniacza.

Charakterystyki przejściowe DC wzmacniacza: $u_o = f(u_{id})$, dla trzech różnych wartości wzmocnienia: $k_{uf0} = -1, -2, -5, -20$, przedstawiono na rys. 10. Dla tych samych wartości wzmocnień, na rys. 11 przedstawiono amplitudowe charakterystyki AC: $k_{uf0} = f(f)$. Różne wartości wzmocnienia wzmacniacza uzyskano poprzez dobór trzech różnych wartości transkonduktancji G_1 , przy stałej wartości transkonduktancji G_f .

Tab. 3. Parametry wzmacniacza odwracającego, dla $k_{uf0} = -1$

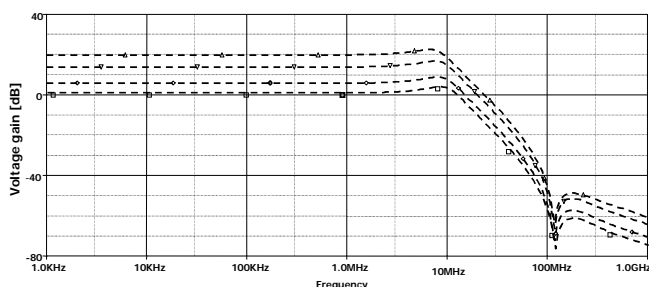
Tab. 3. Inverting amplifier parameters for $k_{uf0} = -1$

| Parametr | Wartość |
|--|----------------------------|
| Napięcie zasilania | $V_{DD}=1,5[V]$ |
| Pobór mocy, przy $R_L = \infty$ | $P_C=0,184[mW]$ |
| Wzmocnienie przy otwartej pętli sprzężenia zwrotnego | 66[dB] |
| Rezystancja wyjściowa wzmacniacza | $R_o=8,8[\Omega]$ |
| Częstotliwość graniczna wzmacniacza | $f_{gf}=14,2 [MHz]$ |
| Tłumienie sygnałów wspólnych CMRR | 56,5 [dB] |
| Współczynnik zniekształceń nieliniowych, przy $u_{o\max} = 200 \text{ mV}$ | 0,97 % |
| Średniokwadratowa wartość napięcia szumów na wyjściu wzmacniacza | $\sqrt{e^2} = 220 [\mu V]$ |
| Zakres dynamiczny wzmacniacza | 60 [dB] |



Rys. 10. Charakterystyki przejściowe wzmacniacza $u_o = f(u_{id})$

Fig. 10. Transfer characteristics of the amplifier $u_o = f(u_{id})$



Rys. 11. Charakterystyki częstotliwościowe wzmacniacza z rys. 8: $k_{uf0} = f(f)$

Fig. 11. Frequency response of the amplifier from Fig.8: $k_{uf0} = f(f)$

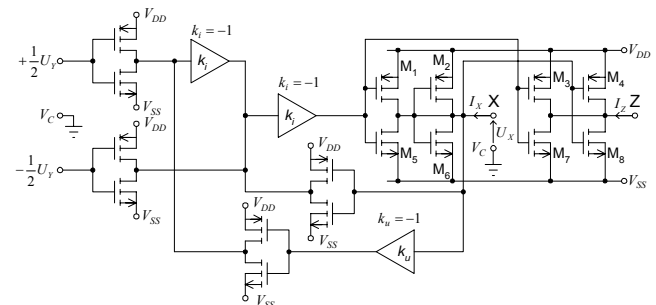
5. Konwejeje prądowe drugiej i trzeciej generacji

Na rys. 12 przedstawiono schemat ideowy konwejera CCII

drugiej generacji, realizujący funkcje układowe:

$$\begin{bmatrix} I_Y \\ U_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm k & 0 \end{bmatrix} \begin{bmatrix} U_Y \\ I_X \\ U_Z \end{bmatrix} \quad (12)$$

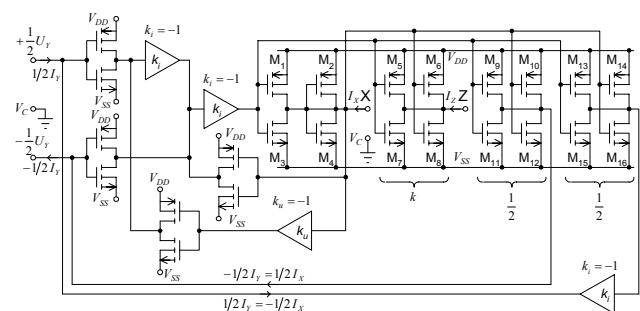
Jako wtórnik napięciowy zastosowano nieodwracający wzmacniacz ze sprzężeniem prądowym z rys. 9 (o wzmocnieniu: $k_{uf0} = 1$), zaś jako wzmacniacz prądowy o wzmocnieniu $k_i = -1$ układ z rys. 1b. Gdy pary tranzystorów $M_1 - M_5, M_2 - M_6, M_3 - M_7, M_4 - M_8$ są dopasowane, to współczynnik przenoszenia prądu konwejera $k = I_Z/I_X = 1$. Współczynnik ten może być zmieniony poprzez odpowiednie przeskalowanie prądów. Stosując dodatkowy wzmacniacz prądowy o wzmocnieniu $k_i = 1$ możemy otrzymać konwejer odwracający o wzmocnieniu $-k$, lub z wyjściem komplementarnym $\pm k$.



Rys. 12. Konwejer prądowy drugiej generacji CCII
Fig. 12. A second generation current conveyor (CCII)

Na rys. 13 przedstawiono schemat ideowy konwejera CCIII trzeciej generacji, realizujący funkcje układowe:

$$\begin{bmatrix} I_Y \\ U_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & -1 & 0 \\ 1 & 0 & 0 \\ 0 & \pm k & 0 \end{bmatrix} \begin{bmatrix} U_Y \\ I_X \\ U_Z \end{bmatrix} \quad (13)$$



Rys. 13. Konwejer prądowy trzeciej generacji CCIII
Fig. 13. A third generation current conveyor (CCIII)

W układzie tym należy wielokrotnie i odpowiednio przeskalować próbkowany prąd I_X , w celu wytworzenia prądu $I_Y = -I_X$. Ponieważ w naszym rozwiązaniu wejście Y jest symetrycznym wejściem różnicowym, sterowanym różnicowo, dlatego konieczne jest wytworzenie prądu $+1/2 I_X$ (podawanego na wejście „-”Y) oraz prądu $-1/2 I_X$ (podawanego na wejście „+”Y). Na rysunku zaznaczono współczynniki skalowania wymiarów tranzystorów wielokrotnionego lustra prądowego, w stosunku do wymiarów

W/L tranzystorów próbujących prąd I_X . Wszystkie wzmacniacze prądowe o wzmacnieniu -1 na rys. 13 są elementarnymi układami z rys. 1b. Stosując wzmacniacz prądowy o wzmacnieniu $k_i = 1$ (na wyjściu Z) możemy otrzymać konwejer odwracający o wzmacnieniu $-k$, lub z wyjściami komplementarnymi $\pm k$. Cała architektura obu konwejerów składa się z podstawowych struktur najprostszych inwerterów CMOS.

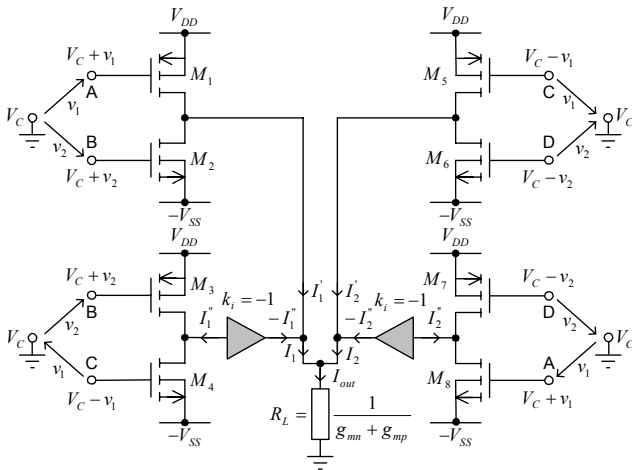
Symulacje podstawowych parametrów zaprojektowanych konwejerów, dla modelu BSIM3v3 w technologii 0,35 μ m z AMS, zestawiono w tabeli 4.

Tab. 4. Podstawowe parametry konwejerów
Tab. 4. Basic conveyors' parameters

| Parametr | Wartość |
|------------------------------------|-------------------|
| Napięcie zasilania | 1,5 [V] |
| Pobór mocy konwejera CCII | 0,23 [mW] |
| Pobór mocy konwejera CCIII | 0,25 [mW] |
| Rezystancja wyjściowa na wejściu X | 4,5[Ω] |
| Dynamiczna rezystancja wyjścia Z | 1,45[M Ω] |

6. Czterocwiartkowy układ mnożący

Nową koncepcję czterocwiartkowego układu mnożącego [9] oparteo o technikę kwadraturową, składającego się z czterech odpowiednio sterowanych inwerterów CMOS i dwóch wzmacniaczy prądowych o wzmacnieniu $k_i = -1$, przedstawiono na rys. 14.



Rys. 14. Ogólna koncepcja układu mnożącego na inwerterach CMOS
Fig. 14. General concept of multiplying circuit based on CMOS inverters

Zakładając, że wszystkie tranzystory $M_1 \div M_8$ w układzie z rys. 14 pracują w obszarze nasycenia oraz przyjmując prosty model kwadratowej zależności prądu drenu i_D od napięcia u_{GS} tranzystora w tym obszarze, poszczególne prądy w układzie, zgodnie z oznaczeniami na rysunku, można zapisać jako:

$$I_1 = I_1' + I_1'' = \frac{\beta_p}{2}(V_{DD} - V_C - v_1 + V_{Tp})^2 - \frac{\beta_n}{2}(V_C + v_2 - V_{SS} - V_{Tn})^2 - \frac{\beta_p}{2}(V_{DD} - V_C - v_2 + V_{Tp})^2 + \frac{\beta_n}{2}(V_C - v_1 - V_{SS} - V_{Tn})^2 \quad (14)$$

$$I_2 = I_2' + I_2'' = \frac{\beta_p}{2}(V_{DD} - V_C + v_1 + V_{Tp})^2 - \frac{\beta_n}{2}(V_C - v_2 - V_{SS} - V_{Tn})^2 - \frac{\beta_p}{2}(V_{DD} - V_C + v_2 + V_{Tp})^2 + \frac{\beta_n}{2}(V_C + v_1 - V_{SS} - V_{Tn})^2 \quad (15)$$

Wykorzystując zależności (14) i (15) oraz dokonując prostych przekształceń, możemy wyznaczyć prąd wyjściowy w układzie:

$$I_{out} = I_1 + I_2 = (\beta_n + \beta_p)(v_1 - v_2)(v_1 + v_2) \quad (16)$$

Podstawiając:

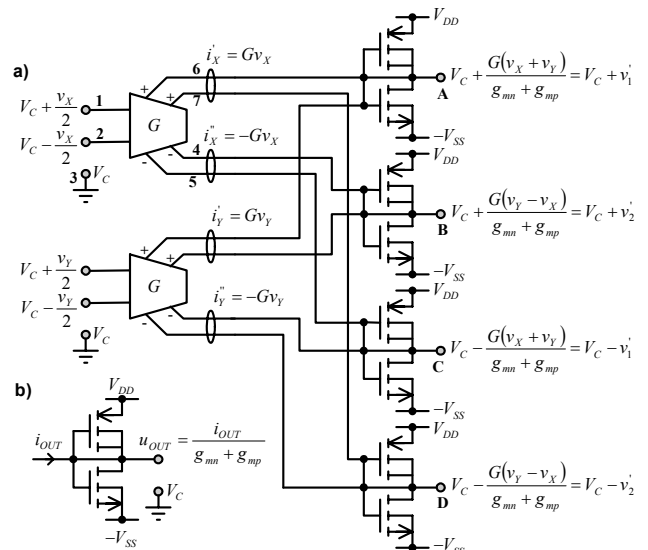
$$\left. \begin{aligned} v_1 - v_2 &= v_X \\ v_1 + v_2 &= v_Y \end{aligned} \right\} \Rightarrow \begin{aligned} v_1 &= \frac{v_X + v_Y}{2} \\ v_2 &= \frac{v_Y - v_X}{2} \end{aligned} \quad (17)$$

otrzymujemy:

$$\left. \begin{aligned} i_{OUT} &= (\beta_n + \beta_p)v_X v_Y \\ u_{OUT} &= i_{OUT} R_L = (\beta_n + \beta_p)R_L v_X v_Y \end{aligned} \right\} \quad (18)$$

Zgodnie z otrzymanymi zależnościami (17) i (18), dla pełnego skompletowania czterokwadrantowego układu mnożącego należy jeszcze zrealizować sumę i różnicę napięć wejściowych v_X , v_Y w postaci prostej i zanegowanej (tego wymaga symetryczne sterowanie układu na rys. 14) oraz dokonać konwersji prądu wyjściowego i_{OUT} na napięcie wyjściowe u_{OUT} . Operacje te w bardzo prosty sposób można zrealizować stosując układy pracujące w trybie prądowym. Napięcia wejściowe v_X , v_Y zostają przetworzone na proporcjonalne do tych napięć prądy wyjściowe, dodatnie lub ujemne $i_{X,Y} = \pm Gv_{X,Y}$, w zrównoważonych transkonduktorach o zwielokrotnionych wyjściach prądowych (rys. 1).

Odpowiednie kombinacje sum dodatnich lub ujemnych prądów z wyjść transkonduktorów zostają przetworzone na napięcia potrzebne do sterowania układu mnożącego jako spadki napięć na dynamicznych rezystancjach dzielników tranzystorowych, utworzonych przez komplementarne tranzystory w połączeniu diodowym (rys. 15a). Spoczynkowe punkty pracy tych dzielników zostały tak dobrane, aby napięcia wyjściowe dzielników odpowiadały wymaganej wartości napięcia V_C sztucznego zera. W identyczny sposób dokonywana jest konwersja prądu wyjściowego i_{OUT} układu mnożącego na napięcie wyjściowe (rys. 15b).



Rys. 15. a) Realizacja sum i różnic napięć wejściowych v_X , v_Y w postaci prostej i zanegowanej, b) Konwersja prądu wyjściowego i_{OUT} na napięcie wyjściowe v_{OUT}

Fig. 15. a) Circuitry for obtaining sums and differences v_X , v_Y in stright and inverted form; b) Conversion of the output current i_{OUT} to the output voltage v_{OUT}

Podstawiając otrzymane na wyjściach przetworników prąd-napięcie wartości napięć:

$$\left. \begin{aligned} v_1 &= \frac{G(v_X + v_Y)}{g_{mn} + g_{mp}}; v_2 = \frac{G(v_Y - v_X)}{g_{mn} + g_{mp}} \\ v_{OUT} &= \frac{i_{OUT}}{g_{mn} + g_{mp}} \end{aligned} \right\} \quad (19)$$

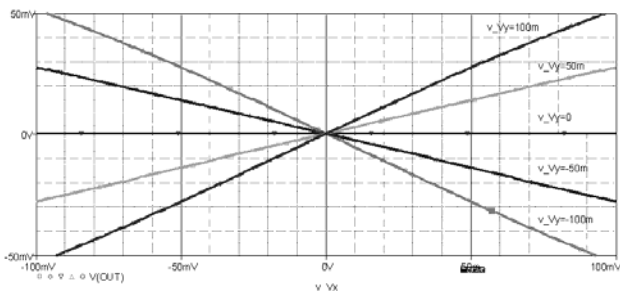
do równań (16) i (17), otrzymujemy:

$$v_{OUT} = \frac{2Gv_X}{g_{mn} + g_{mp}} \cdot \frac{2Gv_Y}{g_{mn} + g_{mp}} \cdot \frac{1}{g_{mn} + g_{mp}} = k_m v_X v_Y \quad (20)$$

Stąd stała mnożenia otrzymanego układu mnożącego wynosi

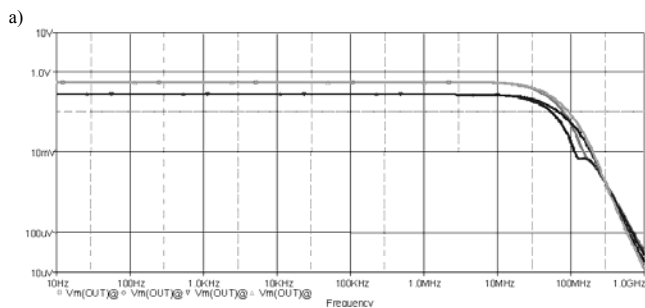
$$k_m = (\beta_n + \beta_p) \frac{4G^2}{(g_{mn} + g_{mp})^3} \quad (21)$$

Wyniki symulacji

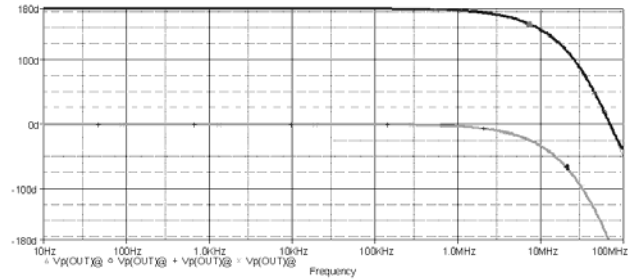


Rys. 16. Rodzina charakterystyk przejściowych: $v_{OUT} = f(v_Y)$, przy $v_X = \text{const}$.

Fig. 16. Transfer characteristics family $v_{OUT} = f(v_Y)$ with $v_X = \text{const}$



b)



Rys. 17. Charakterystyki częstotliwościowe: amplitudowa i fazowa układu mnożącego

Fig. 17. Magnitude and phase frequency response of the multiplier

Układ został zaprojektowany przy zastosowaniu napięcia zasilającego $V_{DD} = 1,5V$ w technologii AMS $0,35\mu m$. Na rys.16 przedstawiono rodzinę charakterystyk przejściowych: $v_{OUT} = f(v_Y)$, przy $v_X = \text{const}$, zaś na rys. 17 charakterystyki częstotliwościowe: amplitudową i fazową, wyznaczone dla tych samych wartości drugiego z napięć, co przy wyznaczaniu charakterystyk przejściowych.

7. Wnioski końcowe

Opisane w artykule liniowe i nieliniowe niskonapięciowe rozwiązania układowe, zbudowane w oparciu o inwertery CMOS, mogą być zasilane najniższym z możliwych napięciem zasilającym – takim samym jak układy cyfrowe. Tworzą one szeroki zestaw najważniejszych analogowych bloków funkcjonalnych, są układami symetrycznymi i posiadają podobne parametry jak ich odpowiedniki realizowane w oparciu o pary różnicowe. Na szczególną uwagę zasługuje czteroćwiartkowy układ mnożący, który wydaje się być rozwiązaniem konkurencyjnym w stosunku do innych, znanych w literaturze rozwiązań układów mnożących CMOS, ze względu na jego mały stopień skomplikowania, liniowość charakterystyk przejściowych, szerokopasmowość, możliwość pracy w trybie prądowym lub napięciowym, a także niespotykane w innych rozwiązaniach niskie napięcie zasilania. Na bazie tego układu mnożącego można zbudować prawie wszystkie znane nieliniowe układy operacyjne oraz modulatory i detektory stosowane w odbiornikach radiokomunikacyjnych.

8. Literatura

- [1] Semiconductor Industry Association; International Technology Roadmap for Semiconductors: Process Integration, Devices and Structures, 1999 edition and 2002 update
- [2] K. Bult; Analog Design in Deep Sub-Micron CMOS, ESSCIRC 2000 26th European Solid-State Circuits Conference Stockholm, Sweden, 19-21 September 2000
- [3] B. Nauta, E. Seevinck; Linear CMOS transconductance element for VHF filters Electronic Letters, vol. 25 pp. 448-450, 1989
- [4] P. Andreani, S. Martison; On the use of Nauta's Transconductor in Low-Frequency CMOS gm-C Bandpass Filters, IEEE Trans. on Solid. State Circuits, vol. 37 pp. 114-124, 2002.
- [5] S. P. Singh, J. V. Hanson, J. Vlach; High Frequency Analog Signal Processing Circuits Based on a CMOS Transconductor, IEEE Proceedings of 33rd Midwest Symposium on Circuits and Systems, Calgary, 1991, pp.261-264.
- [6] W. Machowski, J. Jasielski, St. Kuta; „Niskonapięciowe filtry analogowe dla najnowszych technologii CMOS”, Elektronizacja: podzespoły i zastosowania elektroniki. — 2003, nr 10 s. 8–11.
- [7] S. Kuta, W. Machowski, J. Jasielski, G. Deptuch, R. Wydmański, "CMOS Current Mode Filters with Arbitrary Characteristics

- Employing Multiple Loop Feedback Architectures", Proc. of the 6-th MIXDES'99, Kraków, Poland, 17 - 19 June, 1999 pp.357-362.
- [8] W. Machowski, S. Kuta, J. Jasielski; "Low Voltage Current Mode Analog Circuits Based on CMOS Inverters", Proceedings of the ICSES'04, September 13 – 15, 2004 Poznań, pp. 115 – 118.
- [9] W. Machowski, S. Kuta, J. Jasielski, „Four-Quadrant Analog Multiplier Based on CMOS Inverters”, Proceedings of the 13th MIXDES 2006, Gdynia, Poland, 22 – 24 June 2006 pp. 290 –293.

Artykuł recenzowany