

Włodzimierz CHOMA, Maria WRZUSZCZAK
POLITECHNIKA OPOLSKA, INSTYTUT AUTOMATYKI I INFORMATYKI

Pomiary impedancji z wykorzystaniem szybkiego algorytmu równoważenia

Prof. dr hab. inż. Włodzimierz CHOMA

Jest profesorem nadzwyczajnym na Wydziale Elektrotechniki, Automatyki i Informatyki Politechniki Opolskiej. W 1990 r. uzyskał stopień naukowy doktora nauk technicznych, w 2001 r. doktora habilitowanego. Dorobek naukowy obejmuje ponad 100 prac. Jest autorem i współautorem 17 patentów. Problematyka badań naukowych obejmuje zagadnienia cyfrowego przetwarzania sygnałów w systemach pomiarowych.



e-mail: xoma@wp.pl

Dr inż. Maria WRZUSZCZAK

Absolwentka Wydziału Automatyki i Informatyki Politechniki Śląskiej. W roku 1994 uzyskała stopień doktora nauk technicznych w dyscyplinie naukowej elektronika. Jest zatrudniona jako adiunkt na Wydziale Elektrotechniki, Automatyki, i Informatyki Politechniki Opolskiej. Zainteresowania naukowe to cyfrowe układy pomiarowe oraz badania materiałów metodą prądów wirowych.



e-mail: mwzu@po.opole.pl

Streszczenie

W referacie przedstawiono wirtualny algorytm równoważenia napięć lub prądów zmiennych i jego możliwości zastosowań w układach kompensacyjnych w celu skrócenia czasu pomiaru. Jego działanie oraz skuteczność pokazano na przykładzie mikroprocesorowego miernika impedancji.

Słowa kluczowe: pomiary impedancji i admitancji, algorytm równoważenia ac

Impedance measurements applying the fast balancing algorithm

Abstract

The virtual balancing algorithms presented in this paper allow to reduce the processing time by the impedance (admittance) measurement with the microcontroller system. The operation and performance is discussed in a case study of a microprocessor impedance meter.

Keywords: impedance and admittance measurement, AC balancing algorithm

1. Wstęp

Dokonany w ciągu ostatnich lat postęp technologii układów scalonych, pojawienie się szybkich przetworników cyfrowo-analogowych o średniej i dużej rozdzielczości pozwalają na przeanalizowanie z nowych perspektyw możliwości kompensacyjnych układów i systemów pomiarowych. Szczyt rozwoju tego typu przyrządów przypada na lata 60-te, 70-te ubiegłego stulecia. Później ze względu na niewystarczającą szybkość układów kompensacyjnych w cyfrowych systemach pomiarowych były wykorzystywane mierniki bezpośredniego odczytu o stosunkowo niższej dokładności.

Szybkie, precyzyjne przetworniki cyfrowo-analogowe są niezbędnym, ale nie wystarczającym warunkiem zwiększenia szybkości cyfrowych układów kompensacyjnych. Mimo posiadania stabilnego i szybkiego przetwornika zwrotnego w pętli sprzężenia zwrotnego ważnym problemem jest dobór i realizacja szybkich, skutecznych algorytmów równoważenia.

W celu zwiększenia szybkości takie algorytmy przewidują zamianę rzeczywistych kroków stopniowego równoważenia obwodu pomiarowego na symulacyjne poszukiwanie wyników pomiarów przeprowadzone na modelu komputerowym układu. Głównym źródłem zwiększenia szybkości jest zmniejszenie liczby procesów przejściowych spowodowanych komutacjami w obwodzie pomiarowym. Niedokładność powstała w wyniku rozbieżności modelu i rzeczywistego układu eliminuje się w sposób skuteczny poprzez wprowadzenie poprawek w ostatnim kroku równoważenia.

Wirtualne algorytmy równoważenia przedstawione w niniejszym artykule pozwalają zmniejszyć czas kompensacji zapewniając równocześnie dużą dokładność.

W artykule przedstawiono przykład wykorzystania wirtualnego algorytmu w cyfrowym kompensacyjnym mierniku impedancji.

2. Estymacja czasu pomiaru konwencjonalnych kompensacyjnych mierników impedancji

W cyfrowych kompensacyjnych miernikach impedancji sygnał pomiarowy, jednoznacznie powiązany z parametrami badanej impedancji, porównywany jest w obwodzie mostkowym z uformowanymi za pomocą przetworników cyfrowo – analogowych harmonicznymi ortogonalnymi napięciami (prądami). W celu osiągnięcia dużej szybkości przetwarzania w kompensacyjnych układach pomiarowych, decydujące znaczenie ma właściwy wybór algorytmów równoważenia. Przez analogię do przetwarzania analogowo-cyfrowego napięć stałych, można oczekiwać, że dużą szybkość zapewnią algorytmy z kompensacją wagową [1]. Jednak z powodu istnienia silnej współzależności pomiędzy dwoma kanałami pomiaru składowych impedancji rzeczywistej i urojonej, kompensację wagową należy wykonywać na przemian ortogonalnymi sygnałami kompensującymi. Dlatego niezbędna liczba kroków kompensacji dla uzyskania każdego pomiaru będzie równa podwojonej liczbie reprezentacji bitowej m wyników pomiarów [2].

W celu estymacji czasu pojedynczego pomiaru należy uwzględnić ze:

- fazowo-kwadraturowe rozdzielenie napięcia U_x na składowe wymaga czasu co najmniej równego okresowi sygnału pobudzającego $T_o = 1/f$,
- uformowanie sygnału kompensacyjnego odbywa się w czasie nie mniejszym niż jeden okres T_o ,
- na zakończenie procesów przejściowych w obwodzie pomiarowym wywołanych komutacjami lub zmianami sygnałów wejściowych potrzebny jest jakiś czas τ .

Więc czas całego pomiaru w kompensacyjnych miernikach impedancji z kompensacją wagową można oszacować wg wzoru:

$$T_{KW} = 2m\tau + 4m/f = 2m(\tau + 2/f). \quad (1)$$

Ze względu na rozdzielczość, przetwarzanie to powinno być co najmniej dziesięciobitowe. Oszacujemy czas przetwarzania wg wzoru (1) dla przyrządu o rozdzielczości 10 bitów, dla częstotliwości pobudzenia 1 kHz, dla $\tau \approx 1/f$. Estymowany czas pomiaru wyniesie co najmniej 60 ms, tak więc realna częstotliwość pomiarów wynosi jedynie 10-15 pomiarów na sekundę.

3. Struktura cyfrowego kompensacyjnego miernika impedancji i model matematyczny kanału pomiarowego

Na rys. 1 przedstawiono schemat blokowy prezentowanego cyfrowego kompensacyjnego miernika impedancji z wirtualnym

algorytmem równoważenia. Obwód pomiarowy zawiera zaciski wejściowe do których jest podłączony obiekt pomiaru o pewnej admitancji Y_x (odwrotność impedancji), układ sumacyjny-porównawczy prądów, oraz przetwornik „prąd-napięcie” I/U. Sygnał pomiarowy u_x za pomocą kwadraturowych detektorów fazowych DF1 i DF2 rozkładany jest na dwie składowe: synfazową i kwadraturową, po czym wartości składowych są kolejno przetwarzane na sygnały cyfrowe (multiplexer analogowy MXA i przetwornik analogowo-cyfrowy A/C). Wyniki przetwarzania a/c są poprzez magistralę przesyłane do mikrokontrolera MK. Kanał sprzężenia zwrotnego jest realizowany na bazie dwóch przetworników cyfrowo-analogowych C/A1 i C/A2 wraz z dwoma buforami pamięci BP1 i BP2. Oprócz tego, w skład miernika impedancji wchodzi cyfrowy syntezytor ortogonalnych sygnałów harmonicznych, który został zrealizowany na dwóch przetwornikach cyfrowo-analogowych C/A3 i C/A4 oraz rejestrze binarnym RB.

Proces pomiarowy składa się z następujących etapów:

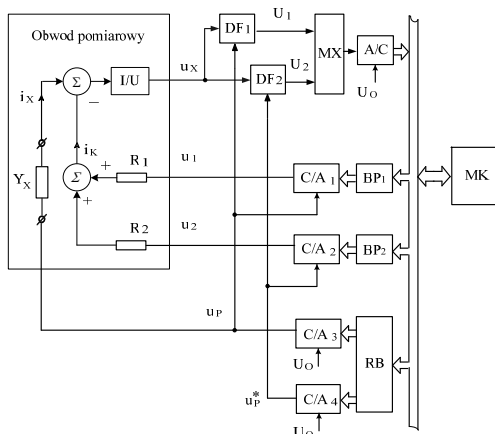
1. wykonanie pomiaru składowych impedancji rzeczywistej i urojonej Y_1, Y_2 w celu określenia ich przybliżonej wartości (przetworzenie składowych Y_1, Y_2 na sygnały cyfrowe M_1, M_2),
2. wykonywanie wirtualnego algorytmu poszukiwania równowagi obwodu pomiarowego (obliczenia metodą iteracyjną wartości cyfrowych „nastaw” N_1, N_2 dla wejść przetworników C/A koniecznych do zrównoważenia układu),
3. wprowadzenie wyliczonych wartości N_1, N_2 do przetworników C/A (etap kompensacji) i sprawdzenie poprawności kompensacji,
4. wprowadzenie poprawek kompensacji jeżeli będzie to potrzebne.

Na samym początku bufor pamięci są wyzerowane ($N_1 = 0$ i $N_2 = 0$), więc na wyjściu przetworników cyfrowo-analogowych C/A brak napięć kompensacji, czyli $u_1 = 0$ i $u_2 = 0$. Komputer z częstotliwością $f_i = 1/T$ zegara zapisuje do rejestru RB L -bitowe wartości reprezentujące sekwencje czasowe funkcji sinus i cosinus. Dlatego na wyjściach przetworników C/A3 i C/A4 są syntetyzowane ortogonalne harmoniczne napięcia wyrażające się wzorami:

$$u_p = U_o \cos(2\pi k T f) = U_o \cos[2^{(l-L)} \pi k], \quad (2)$$

$$u_p^* = U_o \sin(2\pi k T f) = U_o \sin[2^{(l-L)} \pi k], \quad (3)$$

gdzie: $f = 1/2^L T$ – częstotliwość sygnału pobudzenia, 2^L – liczba punktów reprezentacji funkcji sinus i cosinus, k – numer kroku reprezentacji owych funkcji w okresie, U_o – napięcie odniesienia.



Rys. 1. Struktura cyfrowego kompensacyjnego miernika impedancji
Fig. 1. The block diagram of the digital compensation system applied to the impedance measurement

Pod wpływem napięcia pobudzenia u_p w obwodzie z mierzoną admitancją płynie prąd:

$$i_x = Y_x \cdot u_p, \quad (4)$$

który zostaje przekształcony na napięcie:

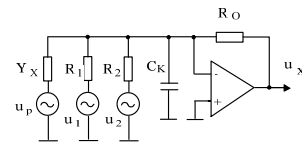
$$u_x = W_{I/U} \cdot i_x = W_{I/U} \cdot Y_x \cdot u_p, \quad (5)$$

gdzie: $W_{I/U}$ – transmitancja przetwarzania „prąd-napięcie”.

Transmitancja $W_{I/U}$ uwzględniająca najbardziej istotne parametry obwodu pomiarowego, którego schemat zastępczy przedstawiono na rys. 2 (gdy $u_1 = 0$ i $u_2 = 0$) ma postać [3]:

$$W_{I/U} = \frac{R_o}{1 + j \frac{f}{f_T} \left[1 + R_o \left(Y_1 + j Y_2 + j 2\pi f C_k + \frac{1}{R_1} + \frac{1}{R_2} \right) \right]}, \quad (6)$$

gdzie: f_T – częstotliwość graniczna wzmacniacza operacyjnego, Y_1 i Y_2 – składowe: rzeczywista i urojona admitancji mierzonej Y_x , C_k – pojemność między przewodem doprowadzającym sygnał i ekranem.



Rys. 2. Schemat zastępczy obwodu pomiarowego
Fig. 2. Block diagram of the input network

Kwadraturowe detektory fazowe wydzielają składowe rzeczywistą i urojoną wejściowego napięcia u_x (rys. 3). Ten etap przetwarzania sygnałów można opisać układem równań [4, 5]:

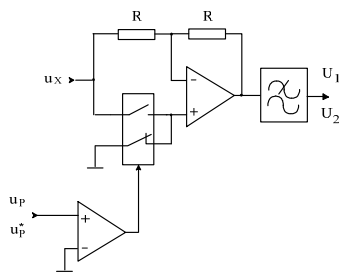
$$\begin{aligned} U_1 &= \operatorname{Re}\{u_x\} \cdot \cos \psi_1 - \operatorname{Im}\{u_x\} \cdot \sin \psi_1, \\ U_2 &= \operatorname{Im}\{u_x\} \cdot \cos \psi_2 + \operatorname{Re}\{u_x\} \cdot \sin \psi_2, \\ \psi_1 &= 2\pi f (t_o + \sqrt{2} \operatorname{Im}\{u_x\} / S), \\ \psi_2 &= 2\pi f (t_o + \sqrt{2} \operatorname{Re}\{u_x\} / S), \end{aligned} \quad (7)$$

gdzie: ψ_1 i ψ_2 – ekwiwalentne pasyżnicze przesunięcia fazowe sygnałów odniesienia detektorów względem faz napięć u_p i u_p^* przy wydzielaniu części rzeczywistej i urojonej, które można nazywać też składowymi synfazową i kwadraturową napięcia u_x , t_o – opóźnienie spowodowane inercją komparatora i kluczy detektorów, S – prędkość zmiany napięcia na wyjściu wzmacniacza operacyjnego (szybkość narastania zbocza).

Napięcia U_1 i U_2 reprezentujące składowe rzeczywistą Y_1 i urojoną Y_2 mierzonej admitancji Y_x poprzez multiplexer analogowy kolejno są podawane na przetwornik A/C, następnie jako sygnał cyfrowy przesyłane do mikrokontrolera. W mikrokontrolerze jako wyniki pomiarów będą zapamiętane następujące wartości:

$$\begin{aligned} M_1 &= \operatorname{Int} \left\{ \frac{U_1}{q} \right\} = \alpha_N Y_1 [1 + \delta_1(Y_1, Y_2, R_o, f_T, S, t_o, \rho)] = \alpha_N Y_1 [1 + \delta_1(\mu, \rho)], \\ M_2 &= \operatorname{Int} \left\{ \frac{U_2}{q} \right\} = \alpha_N Y_2 [1 + \delta_2(Y_1, Y_2, R_o, f_T, S, t_o, \rho)] = \alpha_N Y_2 [1 + \delta_2(\mu, \rho)], \end{aligned} \quad (8)$$

gdzie: $\operatorname{Int} \{ \}$ jest operatorem zaokrąglania argumentu do liczby całkowitej, q – szerokość przedziału kwantowania przetwornika A/C, α_N – nominalna wartość współczynnika przetwarzania kanału pomiarowego, δ_1 i δ_2 – błędy pomiaru składowych rzeczywistej i urojonej Y_x , ρ – zespół drugorzędnych (mniej istotnych) parametrów wpływających, które nie są uwzględnione w modelu kanału pomiarowego na rys. 2. Tak więc liczby M_1 i M_2 stanowią przybliżone wyniki pomiarów składowych impedancji w pierwszej fazie przetwarzania.



Rys. 3. Schemat kwadraturowego detektora fazowego
Fig. 3. Block diagram of the quadrature phase detector

Badania [6] pokazały że ze wzrostem częstotliwości sygnału pobudzenia w wielkościach δ_1 i δ_2 dominują błędy od nieliniowości (interakcja składowych impedancji).

4. Realizacja wirtualnego algorytmu równoważenia obwodu pomiarowego

Sposobem na zwiększenie dokładności układów pomiarowych o nieliniowej charakterystyce jest wykorzystanie stabilnego przetwornika zwrotnego. W omawianym mierniku impedancji (rys. 1) role przetworników zwrotnych spełniają przetworniki C/A_1 i C/A_2 pracujące jako iloczynowe przetworniki c/a [7, 8] z sinusoidalnymi sygnałami odniesienia u_p i u_p^* . Wyróżniającą cechą rozważanego miernika impedancji jest wirtualny sposób uzyskania wejściowych sygnałów N_1 i N_2 przetworników C/A, niezbędnych do zrównoważenia obwodu pomiarowego.

Drugi etap procesu pomiarowego przebiega więc w następujący sposób: symulacyjnie, za pomocą algorytmu iteracyjnego mikrokontrolera poszukuje się takich wartości $N_1 = N_1^{(n)}$ i $N_2 = N_2^{(n)}$, aby poprzez przetworzenie ich na sygnały analogowe zrównoważyć składowe sygnału pomiarowego, czyli aby w ostateczności uzyskać wartości $M_1^{(n)} = M_1$ i $M_2^{(n)} = M_2$ takie, jak na pierwszym rzeczywistym etapie pomiarów.

Przebieg symulacji możemy opisać sekwencją następujących równań:

- estymacja wielkości poszukiwanych Y_1 i Y_2 wielkościami cyfrowymi:

$$Y_1 = N_1^{(1)} \cong M_1 \quad \text{i} \quad Y_2 = N_2^{(1)} \cong M_2, \quad (9)$$

- obliczenie pierwszej imitowanej wartości napięcia wejściowego obwodu pomiarowego:

$$u_x^{(1)} = u_p \frac{R_o(N_1^{(1)} + jN_2^{(1)})}{1 + j \frac{f}{f_T} \left[1 + R_o \left(N_1^{(1)} + jN_2^{(1)} + j2\pi f C_k + \frac{1}{R_1} + \frac{1}{R_2} \right) \right]}, \quad (10)$$

- symulacja według równań (7) procesu wydzielenia ortogonalnych składowych napięcia $u_x^{(1)}$:

$$\begin{aligned} U_1^{(1)} &= \operatorname{Re}\{u_x^{(1)}\} \cdot \cos[2\pi f(t_o + \sqrt{2} \operatorname{Im}\{u_x^{(1)}\}/S)] - \operatorname{Im}\{u_x^{(1)}\} \cdot \sin[2\pi f(t_o + \sqrt{2} \operatorname{Im}\{u_x^{(1)}\}/S)] \\ U_2^{(1)} &= \operatorname{Im}\{u_x^{(1)}\} \cdot \cos[2\pi f(t_o + \sqrt{2} \operatorname{Re}\{u_x^{(1)}\}/S)] + \operatorname{Re}\{u_x^{(1)}\} \cdot \sin[2\pi f(t_o + \sqrt{2} \operatorname{Re}\{u_x^{(1)}\}/S)] \end{aligned} \quad (11)$$

- imitacja przekształcania analogowo-cyfrowego pierwszych przybliżeń iteracyjnych:

$$\begin{aligned} M_1^{(1)} &= \operatorname{Int} \left\{ \frac{U_1^{(1)}}{q} \right\} = \alpha_N N_1^{(1)} [1 + \delta_1^{(1)}(\mu)], \\ M_2^{(1)} &= \operatorname{Int} \left\{ \frac{U_2^{(1)}}{q} \right\} = \alpha_N N_2^{(1)} [1 + \delta_2^{(1)}(\mu)], \end{aligned} \quad (12)$$

- synteza pierwszych poprawek:

$$\Delta N_1^{(1)} = M_1 - M_1^{(1)} \quad \text{i} \quad \Delta N_2^{(1)} = M_2 - M_2^{(1)}, \quad (13)$$

- określenie nowych wartości o większej dokładności:

$$N_1^{(2)} = N_1^{(1)} + \Delta N_1^{(1)} \quad \text{i} \quad N_2^{(2)} = N_2^{(1)} + \Delta N_2^{(1)}, \quad (14)$$

które przybliżają poszukiwane wielkości Y_1 i Y_2 w drugim kroku iteracji.

Ekstrapolując dany algorytm przybliżenia iteracyjnego można zapisać wyrazy dla wyników symulacji w i -tym kroku:

$$N_1^{(i)} = N_1^{(i-1)} + \Delta N_1^{(i)} = N_1^{(i-1)} + [M_1 - M_1^{(i-1)}], \quad (15)$$

$$N_2^{(i)} = N_2^{(i-1)} + \Delta N_2^{(i)} = N_2^{(i-1)} + [M_2 - M_2^{(i-1)}]. \quad (16)$$

Opisany proces poszukiwania równowagi obwodu pomiarowego przebiega wyłącznie w sposób wirtualny jako kilkakrotne obliczenia sekwencji równań (10) ÷ (14) w mikrokontrolerze, czyli bez udziału sprzętowej części miernika. Ten proces należy kontynuować dopóki nie będzie spełniony warunek: $\Delta N_1^{(n)} = 0$ i $\Delta N_2^{(n)} = 0$. Znalezione w n -tej iteracji liczby $N_1^{(n)}$ i $N_2^{(n)}$ zapewniają, że wyniki imitacji procesu pomiarowego na zbudowanym modelu będą równe wartościom (8) uzyskanym w pierwszym, wstępnym etapie pomiarów, czyli $M_1^{(n)} = M_1$ i $M_2^{(n)} = M_2$. W tabelicy 1 podano wartości sygnałów w poszczególnych krokach algorytmu wirtualnego dla częstotliwości pobudzenia 1 MHz.

Tab. 1. Wartości sygnałów w poszczególnych krokach iteracji

i	$u_x^{(i)}$	$U_1^{(i)}$	$U_2^{(i)}$	$\Delta N_1^{(i)}$	$\Delta N_2^{(i)}$	$N_1^{(i)}$	$N_2^{(i)}$
0	1,451+j0,481	1,364	0,913	-	-	-	-
1	1,713+j0,195	1,686	0,796	-322	117	1364	913
2	1,496+j0,510	1,401	0,964	-37	-51	1042	1030
3	1,429+j0,484	1,341	0,904	23	9	1005	978
4	1,456+j0,478	1,369	0,913	-6	0	1028	987
5	1,451+j0,482	1,363	0,913	-1	0	1023	987

W zależności od częstotliwości sygnału pobudzenia będzie potrzebna różna ilość kroków iteracji n (tablica 2).

Tab. 2. Zależność liczby kroków iteracji od częstotliwości sygnału pobudzenia

f kHz	1	2	5	10	20	50	100	200	500	1000
n	1	1	2	2	2	2	2	3	4	5

Po zakończeniu drugiego etapu dokładność pomiaru składowych admittancji jest zwiększona dzięki eliminacji błędów uwzględnionych w modelu kanału pomiarowego. Można więc zapisać:

$$\begin{aligned} N_1^{(n)} &= \alpha_N Y_1 [1 + \delta_1(\rho)], \\ N_2^{(n)} &= \alpha_N Y_2 [1 + \delta_2(\rho)], \end{aligned} \quad (17)$$

gdzie: $\delta_1(\rho)$ i $\delta_2(\rho)$ – ostateczne błędy spowodowane wpływem wielkości zakłócających – czynników nie uwzględnionych w modelu według równań (8).

5. Etap kompensacji i końcowego wprowadzania poprawek

Trzeci etap zaczyna się zapisem liczb $N_1^{(n)}$ i $N_2^{(n)}$ do odpowiednich rejestrów pamięci. Od tej chwili następuje aktywacja kanałów zwrotnych (kompensacji). Przetworniki C/A_1 C/A_2 pra-

cujące w trybie iloczynowym wykonują skalowanie napięć odniesienia $u_p(t)$ i $u_p^*(t)$ według wartości liczb $N_1^{(n)}$ i $N_2^{(n)}$:

$$u_1 = b \cdot u_p \cdot N_1^{(i)} \quad i \quad u_2 = b \cdot u_p^* \cdot N_2^{(i)}, \quad (18)$$

gdzie: b – współczynnik przetwarzania przetworników C/A.

Pod wpływem napięć u_1 i u_2 zostaje wygenerowany prąd kompensacji i_k . Napięcie wyjściowe obwodu pomiarowego w tym etapie można opisać wzorem:

$$\Delta u_x = W_{U/I}(i_x - i_k) = W_{U/I} \left[u_p \left(Y_1 - \frac{b}{R_1} N_1^{(n)} \right) + u_p^* \left(Y_2 - \frac{b}{R_2} N_2^{(n)} \right) \right]. \quad (19)$$

Przyjmijmy, że obwód pomiarowy znajdzie się w stanie pełnej kompensacji jeśli model matematyczny kanału pomiarowego z dokładnością do 1 na najmłodszym bicie będzie odpowiadał rzeczywistemu układowi. Dla wysokich częstotliwości sygnału pobudzenia oraz dla skrajnych wartości zakresowych miernika z powodu ograniczeń modelu obserwuje się niepełne zrównoważenie obwodu pomiarowego. Dzieje się tak między innymi dlatego, że w wyrażeniu (6) nie uwzględniono na przykład impedancji wejściowej i wyjściowej wzmacniacza operacyjnego, niedokładności syntezy źródeł napięć pobudzenia u_p i u_p^* oraz napięć kompensacji u_1 i u_2 . Proces wydzielenia kartezjańskich składowych napięcia u_x opisywany układem równań (7) też jest w pewnym stopniu wyidealizowany, ponieważ nie uwzględnia możliwej nieortogonalności sygnałów odniesienia u_p i u_p^* , oraz odchylenia od 0.5 współczynnika wypełnienia sygnału sterującego kluczami detektora fázowego.

W celu eliminacji wymienionych niedokładności można przewidzieć korekcję astatyczną uzyskanych wyników pomiarów $N_1^{(n)}$ i $N_2^{(n)}$. Żądanie przeprowadzenia korekcji wystawia mikrokontroler na podstawie pomiaru napięcia niezrównoważenia Δu_x (zależność (19)). Wzory opisujące wprowadzenie poprawek mają następującą postać:

$$\begin{aligned} \Delta M_1 &= \alpha_N (1 + \delta_1) [Y_1 - \beta N_1^{(n)}] = -\alpha_N (1 + \delta_1) [\delta_1(\rho) + \delta_\beta], \\ \Delta M_2 &= \alpha_N (1 + \delta_2) [Y_2 - \beta N_2^{(n)}] = -\alpha_N (1 + \delta_2) [\delta_2(\rho) + \delta_\beta], \end{aligned} \quad (20)$$

gdzie: β i δ_β - współczynnik i błąd przetwarzania kanału zwrotnego, $\delta(\rho)$ - błąd od drugorzędnych pasożytniczych parametrów jak w równaniu (8).

W sytuacji dość dużej różnicy pomiędzy modelem matematycznym i układem rzeczywistym może zaistnieć potrzeba przedłużenia wprowadzania poprawek, aż do pełnego zrównoważenia obwodu pomiarowego (w zakresie czułości kanału pomiarowego). W podobny sposób, w ostatnim etapie opisanym równaniami (14), (17) i (18) są eliminowane błędy niedopasowania $\delta_1(\rho)$ i $\delta_2(\rho)$ założonego w mikrokontroler modelu i rzeczywistego układu. Tak więc końcowe wyniki pomiarów można wyrazić następująco:

$$\begin{aligned} N_1 &= N_1^{(n)} + \Delta M_1 = \alpha_N Y_1 (1 - \delta_\beta), \\ N_2 &= N_2^{(n)} + \Delta M_2 = \alpha_N Y_2 (1 - \delta_\beta). \end{aligned} \quad (21)$$

Analiza funkcji przetwarzania – wzory (6) i (21) - wskazuje na to, że w ostateczności, dokładność pomiaru składowych impedancji określona jest poprzez własności metrologiczne kanału zwrotnego, czyli stabilność parametrów przetworników C/A₁ i C/A₂ oraz rezystorów R₁ i R₂.

6. Podsumowanie

Analizując czas przetwarzania przedstawionego miernika impedancji z wirtualnym algorytmem równoważenia należy

podkreślić, że długość pierwszego etapu można skrócić do wartości:

$$t_1 = \tau + 1/f, \quad (22)$$

gdzie: τ – czas niezbędny dla zakończenia procesu przejściowego w obwodzie pomiarowym, f – częstotliwość sygnału pobudzenia.

Długość drugiego etapu będzie zależała od złożoności wybranego modelu, niezbędnej ilości kroków iteracji oraz oczywiście od szybkości przeprowadzenia obliczeń w mikrokontrolerze. Dla przykładu założymy, że na wykonanie drugiego etapu wystarczy jeden okres sygnału pobudzenia:

$$t_2 = 1/f. \quad (23)$$

Przy wystarczająco dokładnym modelu, może nie być potrzebne przeprowadzanie korekcji wyników drugiego etapu. W takim przypadku, czas trzeciego etapu można skrócić do dwóch okresów sygnału pobudzenia, z których pierwszy potrzebny jest do syntezy w kanale zwrotnym napięć kompensacji (14), drugi – na pomiar sygnałów poprawkowych według wzoru (18), czyli:

$$t_3 = \tau + 2/f. \quad (24)$$

Więc czas niezbędny dla pełnego zrównoważenia układu pomiarowego i uzyskania wyników pomiaru można oszacować za pomocą wzoru:

$$T_{WA} = \sum_{i=1}^3 t_i = 2(\tau + 2/f). \quad (25)$$

Na podstawie wzorów (1) i (25) można stwierdzić, że algorytm wirtualny dzięki minimalnemu udziałowi w procesie pomiarowym części sprzętowej miernika w porównaniu z algorytmem z kompensacją wagową pozwala zmniejszyć czas pomiarów składowych impedancji około m – krotnie, gdzie m liczba bitów przetwarzania a/c. Czyli przy przetwarzaniu 10-cio bitowym można zwiększyć szybkość pomiaru ok. 10-cio krotnie. W przypadku istotnej różnicy między modelem i rzeczywistymi parametrami kanału pomiarowego czas pomiaru będzie dłuższy z powodu dodatkowych strat czasu na procesy przejściowe spowodowane komutacjami w obwodzie pomiarowym przy wprowadzeniu rzeczywistych poprawek w bufory pamięci.

7. Literatura

- [1] Yang W.Q., Stott A.L.: Low Value Capacitance Measurements for Process Tomography, Tomographic Techniques, Nr 2, 1993 pp. 107 - 117.
- [2] Oliver B.M., Cage J.M.: Pomiary i przyrządy elektroniczne, WKŁ, Warszawa 1978.
- [3] Choma W. W.: Stworenia ta doslidzenia matematycznij modeli wymiriualnych peretvoriuvacziv "imitans-napruha", Vymiriualna ta obczysliualna technika w technologicznych procesach 1999 Nr 3, s.75-79.
- [4] Choma W. W.: Zmenszenia dynamicznoj pochybky relejnoho fazozcutlyvoho detektora, Wisnyk DU, Lwiwska Politechnika, 1997, Nr 314, s. 32 - 36.
- [5] Lyons R.G.: Wprowadzenie do cyfrowego przetwarzania sygnałów, WKŁ Warszawa 2000.
- [6] Choma W. W. Gawryluk M.O.: Rozrobka algorytmiv korekcji czastotnych pochybok operacyjnych schem, Vymiriualna technika ta metrologia 2001, Nr 58. s.91-94.
- [7] Kulka Z., Libura A., Nadachowski M.: Przetworniki analogowo – cyfrowe i cyfrowo – analogowe, WKŁ Warszawa 1987.
- [8] Plassche R. van de: Scalone przetworniki analogowo – cyfrowe i cyfrowo – analogowe, WKŁ Warszawa 1997.